

注:请把答案依次写在后面答题纸上,注意写清题号后作答。

一、(20 分)设 x=+12.25, y=-48.5, 试用浮点数算法求 x+y, 其中阶码有效数据位为 3 位, 尾数有效数据位为 8 位, 阶码和尾数皆用单符号位补码表示, 舍入处理采用"0 舍 1 入"法。写出运算步骤及结果(要求尾数部分转化成纯小数进行计算)。

二、(15 分) 某半导体存储器,按照字节编址,CPU 地址总线 A15~A0 (低),双向数据总线 D15~D0、读写控制信号 R/W,CS 为片选输入端。

现有下列芯片:

E<sup>2</sup>PROM: 4K×8 位, 8K×8 位, 2K×16 位 EPROM: 4K×8 位, 8K×8 位, 2K×16 位 译码器: 74LS138

## 地址空间分配:

0~3FFFH 为用户程序区,由E<sup>2</sup>PROM组成,最后(最大地址)16K 地址空间为系统程序 工作区,由 EPROM组成。

中国矿业大学 第 1 页 英 4 页

- 1、从上还心力中还并迎出心力以口以行用命(女水心力效取少)。(4分)
- 2、请计算 EPROM 的地址范围 (用 16 进制表示)。(4 分)
- 3、请画出 CPU 与存储器之间的连接图(使用 3-8 译码器)。(7分)。

三、(15分) 某计算机系统中, Cache 容量为 16KB, 行长为 32B, 采用直接相联结构; 主存地址空间大小为 1MB, 按字节编址。要求:

- 1、该 Cache 共有多少行? (3分)
- 2、给出主存的地址格式。(4分)
- 3、若主存地址为 35301H, 且 CPU 访问 cache 命中, 则在该内容调入 cache 的那一行中(Cache 行从 0 开始编号)? (4分)
- 4、若 cache 存储周期 30ns,主存存储周期 130ns,cache/主存系统平均访问时间为 40ns,求 cache 的命中率。 $(4\, \%)$

- 1、磁盘存储器的存储容量是多少? (4分)
- 2、磁盘数据传输率是多少? (4分)
- 3、平均等待时间是多少? (2分)

	10			
RS或RD	选定的寄存器			
100	RO			
01	R1			
1 10	R2			
/ 11	R3			

寻址模式M	有效地址E	说明
00	E = D	
01	E = (D)	直接寻址
10	E=(R1)+D	间接寻址 RI变址寻址
11	E=(PC)+D	相对寻址

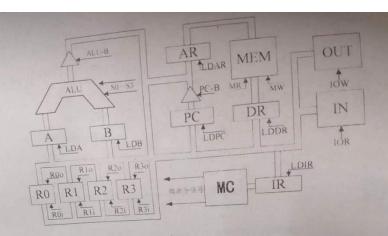
## 几条典型指令如下所示:

助记符	指令格式			指令功能		
MOV RS, RD	0100	RŞ	RD		RS→RD	
LDI D , RD	0110	**	· RD	D	D→RD	
AND RS , RD [	0001	RS	RD	182.	RD&RS → RD	
ADD RS , RD	0000	RS	RD		RD+RS → RD	
LAD M D.RD	1100	M	RD	D	E→RD	
STA M D.RS	1101	М	R9	D	RD→E	

要求:根据以上指令格式和给定的典型指令,给出能实现下列指令功能的指令码(用 进制表示,因存储器为8位,双字节指令分两行书写)。

- 1、将 RO 和 R3 相加结果存储到 R5 (3分)
- 2、将地址为 50H 的存储单元中的数据取到 R2 中 (使用直接寻址方式)。(3分)
- 3、将立即数 20H 存入到 R1 中。(3分)
- 4、将立即数 30H 存入到地址为 60H 的存储单元中(使用变址寻址方式。R2 中的内

容10H)。(6分)



## 要求:

- 1、试说明图中 A、R2、ALU、IR、PC、AR、DR 各部件的名称及其功能。(7分)
- 2、现有加法指令"ADD RO. (R3)", 其中: (R3) 为源操作数, RO 为目的操作数, 微 命令信号 S3~S0 为"1001"时做加法。试画出该加法指令的指令周期流程图、并标注相 应徽命令信号。(10分) 3、MC 是什么部件? 试进一步画出其组成原理框图, 并说明其各部分的功能。(8分)

课堂练习:下图为某模型机的数据通路图。控制信号S3~S0为 "1000"时做加法,S3~S0为"1001"时做减法。指令"ADD R2, [R0]"的功能是将寄存器R2的内容加上以寄存器R0为间接寻址 的主存单元的内容,结果存于寄存器R2中。试画出ADD指令的 指令周期流程图,并标注相应微操作控制信号。

