

注：请把答案依次写在后面答题纸上，注意写清题号后作答。

一、(20 分) 设 $x=+12.25$, $y=-48.5$, 试用浮点数算法求 $x+y$, 其中阶码有效数据位为 3 位, 尾数有效数据位为 8 位, 阶码和尾数皆用单符号位补码表示, 舍入处理采用“0 舍 1 入”法。写出运算步骤及结果 (要求尾数部分转化成纯小数进行计算)。

二、(15 分) 某半导体存储器, 按照字节编址, CPU 地址总线 $A_{15} \sim A_0$ (低), 双向数据总线 $D_{15} \sim D_0$, 读写控制信号 R/\overline{W} , \overline{CS} 为片选输入端。

现有下列芯片:

E^2 PROM: $4K \times 8$ 位, $8K \times 8$ 位, $2K \times 16$ 位

EPROM: $4K \times 8$ 位, $8K \times 8$ 位, $2K \times 16$ 位

译码器: 74LS138

地址空间分配:

$0 \sim 3FFFH$ 为用户程序区, 由 E^2 PROM 组成, 最后 (最大地址) $16K$ 地址空间为系统程序工作区, 由 EPROM 组成。

1、从上述芯片中选择适当芯片设计该存储器 (要求芯片数最少)。(4 分)

2、请计算 EPROM 的地址范围 (用 16 进制表示)。(4 分)

3、请画出 CPU 与存储器之间的连接图 (使用 3-8 译码器)。(7 分)。

三、(15 分) 某计算机系统中, Cache 容量为 $16KB$, 行长为 $32B$, 采用直接相联结构; 主存地址空间大小为 $1MB$, 按字节编址。要求:

1、该 Cache 共有多少行? (3 分)

2、给出主存的地址格式。(4 分)

3、若主存地址为 $35301H$, 且 CPU 访问 cache 命中, 则在该内容调入 cache 的那一行中 (Cache 行从 0 开始编号)? (4 分)

4、若 cache 存储周期 $30ns$, 主存存储周期 $130ns$, cache/主存系统平均访问时间为 $40ns$, 求 cache 的命中率。(4 分)

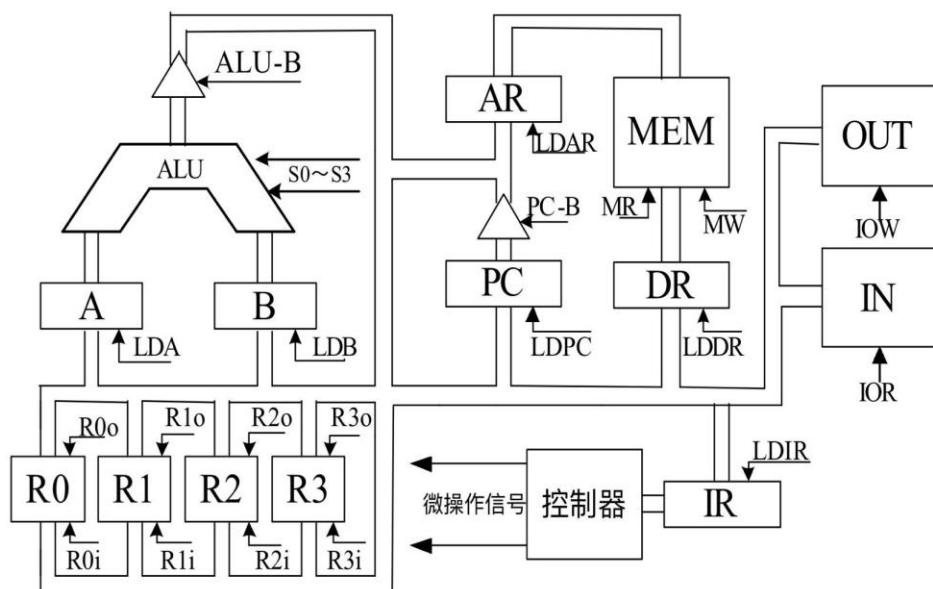
四、(10 分) 某磁盘存储器转速为 6000 转/分钟, 共有 20 个有效记录面, 柱面数为 256 , 扇区数为 32 。假定每个扇区记录 $4KB$, 要求:

1、磁盘存储器的存储容量是多少? (4 分)

2、磁盘数据传输率是多少? (4 分)

3、平均等待时间是多少? (2 分)

课堂练习：下图为某模型机的数据通路图。控制信号S3~S0为“1000”时做加法，S3~S0为“1001”时做减法。指令“ADD R2, [R0]”的功能是将寄存器R2的内容加上以寄存器R0为间接寻址的主存单元的内容，结果存于寄存器R2中。试画出ADD指令的指令周期流程图，并标注相应微操作控制信号。



参考答案：

