**中国矿业大学2016-2017学年第一学期**

**《计算机组成原理》试卷（A卷）答案**

**考试时间：100 分钟考试方式：闭卷**

**一、单项选择题，请把答案依次写在后面答题纸上（每小题1分，共30分）**

1-10 BDCCA ABDCB

11-20 DBADC BABAC

21-30 ACDDA CBCBA

**二、简答题，请把答案依次写在后面答题纸上（每小题5分，共10分）**

1. 简述SRAM与DRAM存储元的存储机理有什么不同？（5分）。

SRAM:用触发器作为存储元；  
DRAM:利用MOS管栅极电容可以存储电荷的原理存储信息，需刷新

1. 简述总线集中式仲裁中计数器定时查询方式的工作原理。（5分）

总线上的任一设备要求使用总线时，通过BR线发出总线请求。总线仲裁器接收到请求信号以后，在BS线为“0”的情况下让计数器开始计数，计数值通过一组地址线发向各设备。每个设备接口都有一个设备地址判别电路，当地址线上的计数智与请求总线的地址设备相一致时，该设备置“1”BS线，获得总线使用权，中止计数查询。

**三、计算题，请把答案依次写在后面答题纸上（每小题10分，共20分）**

1. 已知x=2+010\*0.11011011,y=2+100\*(-0.10101100)，请按浮点数运算方法求x+y。要求在计算过程中浮点数阶码和尾数皆以补码表示，其中阶码以双符号位表示，尾数以单符号位表示，舍入方法采用0舍1入法。（12分）

答： 阶码采用双符号位, 尾数采用单符号位, 则它们的浮点表示分别为

[x]浮= 00 010,　 0.11011011 [y]浮= 00 100,　 1.01010100

(1) 求阶差并对阶

△E = Ex- Ey= [Ex]补+ [-Ey]补= 00 010 + 11 100 = 11 110

即△E为-2, x的阶码小, 应使 Mx右移两位, Ex加2,

[x]浮＝00 100, 0.00110110(11)

其中(11)表示Mｘ右移2位后移出的最低两位数

(2)尾数求和

0.00110110(11)

+ 1.01010100

1.10001010(11)

(3) 规格化处理

尾数运算结果的符号位与最高数值位为同值，应执行左规处理，结果为1.00010101(10)， 阶码为00 011。

(4) 舍入处理

采用0舍1入法处理, 则有:

1.00010101

+ 1

1.00010110

(5) 判断溢出

阶码符号位为00，不溢出，故得最终结果为

x + y = 2011 × (-0.11101010)

1. 某磁盘存储器共有5个磁盘，每片有两个记录面，最上和最下两个面不用，转速为6000转/分，每面磁道数为256道，每道记录信息容量为32768字节。假定每个记录块（扇区）记录1024字节，问：（8分）  
   （1） 磁盘存储器的存储容量是多少？（3分）  
   （2） 磁盘数据传输率是多少？（3分）  
   （3） 平均等待时间是多少？（2分）

答：（1）磁盘容量=8 \* 256 \*32768 =67108864B

（2）传输率D=100 \* 32768 = 3276800字节/秒

（3）平均等待时间T=0.5/100=5ms

**四、分析题，请把答案依次写在后面答题纸上（共25分）**

1. 某机器字长为16位，指令格式如下，其中OP表示操作码，I为间接寻址标志位（状态为0时表示非间址寻址），试分析指令格式及寻址方式特点（5分）

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OP | | | | | | — | I | 源寄存器 | | | | 目标寄存器 | | | |

（1）单字长二地址指令

（2）操作码字段OP可以指定64种操作

（3）具有寄存器直接寻址和寄存器间接寻址方式（考生答 目标寄存器间接寻址或者源寄存器间接寻址都算对）

（4）源寄存器和目的寄存器可以指定16个寄存器

1. 某机字长8位，试用如下所给芯片设计一个存储器，容量为16KB，其中RAM为低地址8KB，ROM为高地址8KB，最低地址为0（RAM芯片类型有：4K\*4位，ROM芯片有：4K\*4位）。

（1）地址线.数据线各为多少根（2分）。

（2）RAM和ROM的地址范围分别为多少（2分）？

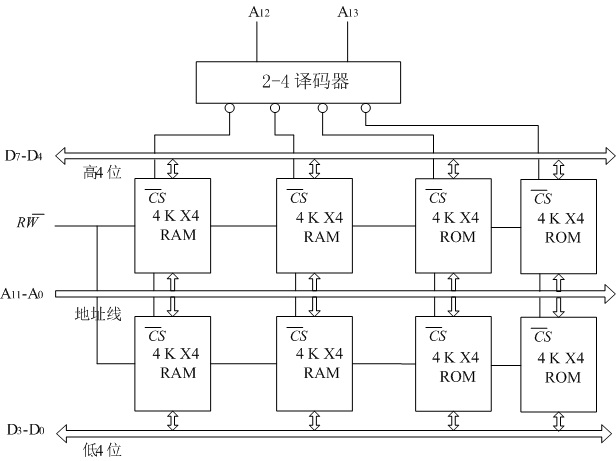
（3）画出存储器结构图及与CPU连接的示意图。（6分）

解：（1）地址线为14根，数据线为8根

（2）RAM的地址范围为：0000H-1FFFH

ROM的地址范围为：2000H-3FFFH

（3）连接图如下所示



1. 设某计算机的Cache采用组相联映像，Cache由64块（每块128字）构成，每组包含4块。主存有4096块，访存地址为字地址。（10分）

(1) 写出主存地址位数和地址格式。（3分）

(2) 写出Cache地址位数和地址格式。（3分）

(3) 画出组相联映像方式示意图。（4分）

区的数量=4096/64=26

组的数量=64/4=24

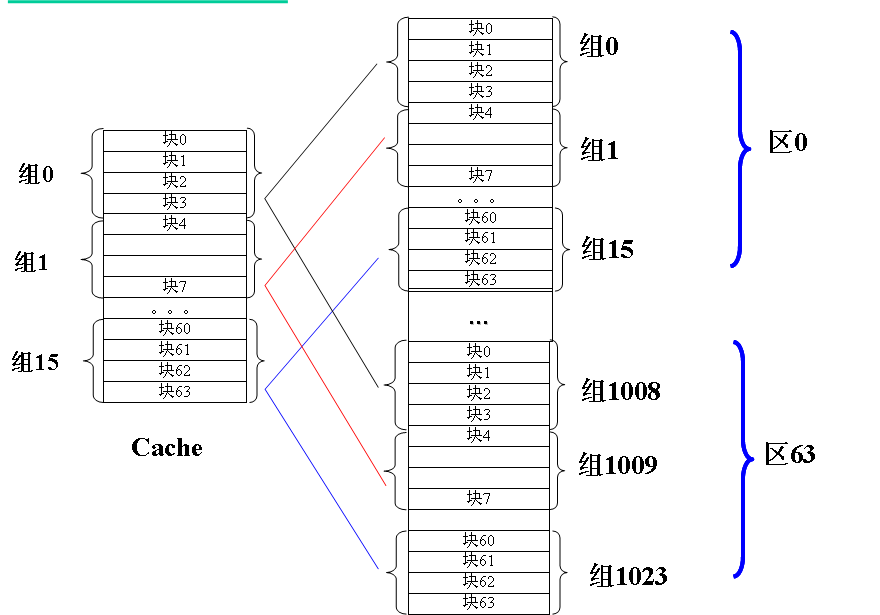
所以主存地址位数为**19**位，cache地址位数为**13**位。主存地址格式如下：

|  |  |  |  |
| --- | --- | --- | --- |
| 18 13 | 12 9 | 8 7 | 6 0 |
| 区号 | 组号 | 块号 | 块内地址 |

Cache地址格式如下：

|  |  |  |
| --- | --- | --- |
| 12 9 | 8 7 | 6 0 |
| 组号 | 块号 | 块内地址 |

映像方式示意图：



**五、综合题，请把答案依次写在后面答题纸上（共15分）**

下图为某模型机的数据通路图。控制信号S3～S0为“1000”时做加法，S3～S0为“1001”时做减法。指令“ADD R2, [R0]”的功能是将寄存器R2的内容加上以寄存器R0为间接寻址的主存单元的内容，结果存于寄存器R2中。

通路图

现要求：

（1）试给出数据通路图中ALU、IR、PC、AR、DR的中文含义及其功能。（5分）

（2）试画出ADD指令的指令周期流程图，并标注相应微操作控制信号。（5分）

（3）假设图中的控制器为微程序控制器，试画出微程序控制器的组成原理框图，并说明其各部分的功能。（5分）

1. （5分，每个1分）

ALU—算术逻辑运算单元：也就是运算器，用来算术运算和逻辑运算

IR-指令寄存器器：保存当前正在执行的指令的指令码

PC-程序计数器：其保持的总是将要执行的下一条指令的地址。由于大多数指令都是按顺序来执行的，所以修改的过程通常只是简单的对PC加1。

AR—地址寄存器：用来保存当前CPU所访问的内存单元的地址（指令地址或操作数地址）

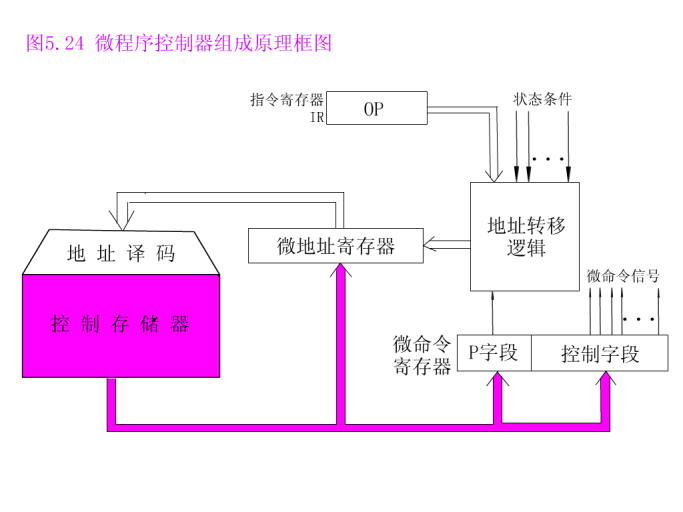
DR—数据（缓冲）寄存器：用来暂存写入内存单元的数据及从内存单元读出的数据

1. （5分，取指微指令1分，间接寻址1分，ADD指令2分，微操作标注1分）



（3）（5分）

① （3分）微程序控制器的组成原理框图



② (2分)微程序控制器主要由控制存储器、微指令寄存器和地址转移逻辑三大部分组成，其中微指令寄存器又分为微地址寄存器和微命令寄存器：

（1）控制寄存器：用来存放实现全部指令系统的微程序。它是一种只读存储器，要求存储器的速度快，读出周期短；读出一条微指令并执行这条微指令的时间总和称为一个指令周期。在串行方式的微程序控制器中，微指令周期就是ROM的工作周期，控制存储器的字长是微指令字的长度，其容量由解释指令系统的微程序数量。

（2）微指令寄存器：存放从控制ROM中取出的一条微指令信息。微地址寄存器存放要访问的下一条微指令的地址。微命令寄存器

保存一条微指令的操作控制字段和判断测试字段的信息。

（3）地址转移逻辑：自动完成修改微地址的任务。微程序一般是顺序执行，地址是在读出微指令的同时给出；当出现条件转移时，则需要地址转移逻辑根据判别测试字段P和执行部件的“状态条件”反馈信息，去修改地址寄存器的内容，并按照此地址去读出下一条指令。