**计算机组成原理试题（一）**

三、名词解释(共10分，每题2分)

1．微操作命令和微操作

2．快速缓冲存储器

3．基址寻址

4．流水线中的多发技术

5．指令字长

四、计算题（5分）

设机器数字长为8位（含1位符号位），设*A*＝，*B*＝，计算[*A**B*]补，并还原成真值。

五、简答题（共20分）

1．异步通信与同步通信的主要区别是什么，说明通信双方如何联络。（4分）

2．为什么外围设备要通过接口与CPU相连？接口有哪些功能？（6分）

六、问答题（共15分）

1．设CPU中各部件及其相互连接关系如下图所示。图中W是写控制标志，R是读控制标志，R1和R2是暂存器。（8分）



（1）假设要求在取指周期由ALU完成 (PC) + 1→PC的操作（即ALU可以对它的一个源操作数完成加1的运算）。要求以最少的节拍写出取指周期全部微操作命令及节拍安排。

（2）写出指令ADD # α（#为立即寻址特征，隐含的操作数在ACC中）在执行阶段所需的微操作命令及节拍安排。

2．DMA接口主要由哪些部件组成？在数据交换过程中它应完成哪些功能？画出DMA工作过程的流程图（不包括预处理和后处理）

七、设计题（10分）

设CPU共有16根地址线，8根数据线，并用作访存控制信号（低电平有效），用作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出CPU与存储器的连接图，要求：

（1）存储芯片地址空间分配为：最大4K地址空间为系统程序区，相邻的4K地址空间为系统程序工作区，最小16K地址空间为用户程序区；

（2）指出选用的存储芯片类型及数量；

（3）详细画出片选逻辑。



（1）主存地址空间分配：

6000H～67FFH为系统程序区；

6800H～6BFFH为用户程序区。

（2）合理选用上述存储芯片，说明各选几片？

（3）详细画出存储芯片的片选逻辑图。

**计算机组成原理试题答案（一）**

三、名词解释(共10分，每题2分)

1．微操作命令和微操作

答：微操作命令是控制完成微操作的命令；微操作是由微操作命令控制实现的最基本操作。

2．快速缓冲存储器

答：快速缓冲存储器是为了提高访存速度，在CPU和主存之间增设的高速存储器，它对用户是透明的。只要将CPU最近期需用的信息从主存调入缓存，这样CPU每次只须访问快速缓存就可达到访问主存的目的，从而提高了访存速度。

3．基址寻址

答：基址寻址有效地址等于形式地址加上基址寄存器的内容。

4．流水线中的多发技术

答：为了提高流水线的性能，设法在一个时钟周期（机器主频的倒数）内产生更多条指令的结果，这就是流水线中的多发技术。

5．指令字长

答：指令字长是指机器指令中二进制代码的总位数。

四、（共5分）

计算题 答：[*A*+*B*]补＝1.1011110， *A*+*B* ＝（-17/64）

[*A*-*B*]补＝1.1000110， *A*-*B* ＝（35/64）

五、简答题（共20分）

1．（4分）答：

同步通信和异步通信的主要区别是前者有公共时钟，总线上的所有设备按统一的时序，统一的传输周期进行信息传输，通信双方按约定好的时序联络。后者没有公共时钟，没有固定的传输周期，采用应答方式通信，具体的联络方式有不互锁、半互锁和全互锁三种。不互锁方式通信双方没有相互制约关系；半互锁方式通信双方有简单的制约关系；全互锁方式通信双方有完全的制约关系。其中全互锁通信可靠性最高。

2．（6分，每写出一种给1分，最多6分）

答：外围设备要通过接口与CPU相连的原因主要有：

（1）一台机器通常配有多台外设，它们各自有其设备号（地址），通过接口可实现对设备的选择。

（2）I/O设备种类繁多，速度不一，与 CPU速度相差可能很大，通过接口可实现数据缓冲，达到速度匹配。

（3）I/O设备可能串行传送数据，而CPU一般并行传送，通过接口可实现数据串并格式转换。

（4）I/O设备的入/出电平可能与CPU的入/出电平不同，通过接口可实现电平转换。

（5）CPU启动I/O设备工作，要向外设发各种控制信号，通过接口可传送控制命令。

（6）I/O设备需将其工作状况（“忙”、“就绪”、“错误”、“中断请求”等）及时报告CPU，通过接口可监视设备的工作状态，并保存状态信息，供CPU查询。

可见归纳起来，接口应具有选址的功能、传送命令的功能、反映设备状态的功能以及传送数据的功能（包括缓冲、数据格式及电平的转换）。

4．（5分）答：

1. 根据IR和MDR均为16位，且采用单字长指令，得出指令字长16位。根据105种操作，取操作码7位。因允许直接寻址和间接寻址，且有变址寄存器和基址寄存器，因此取2位寻址特征，能反映四种寻址方式。最后得指令格式为：

|  |  |  |
| --- | --- | --- |
| 7 | 2 | 7 |
| OP | M | AD |

其中 OP 操作码，可完成105种操作；

M 寻址特征，可反映四种寻址方式；

AD形式地址。

这种格式指令可直接寻址27 = 128，一次间址的寻址范围是216 = 65536。

1. 双字长指令格式如下：

|  |  |  |
| --- | --- | --- |
| 7 | 2 | 7 |
| OP | M | AD1 |
| AD2 | | |

其中 OP、M的含义同上；

AD1∥AD2为23位形式地址。

这种格式指令可直接寻址的范围为223 = 8M。

1. 容量为8MB的存储器，MDR为16位，即对应4M×16位的存储器。可采用双字长指令，直接访问4M存储空间，此时MAR取22位；也可采用单字长指令，但RX和RB取22位，用变址或基址寻址访问4M存储空间。

六、 （共15分）问答题

1．（8分）答：

（1）由于 (PC) + 1→PC需由ALU完成，因此PC的值可作为ALU的一个源操作数，靠控制ALU做＋1运算得到 (PC) + 1，结果送至与ALU输出端相连的R2，然后再送至PC。

此题的关键是要考虑总线冲突的问题，故取指周期的微操作命令及节拍安排如下：

*T*0 PC→MAR，1→R

*T*1 M(MAR)→MDR，(PC) + 1→R2

*T*2 MDR→IR，OP(IR)→微操作命令形成部件

*T*3 R2→PC

（2）立即寻址的加法指令执行周期的微操作命令及节拍安排如下：

*T*0 Ad(IR)→R1 ；立即数→R1

*T*1 (R1) + (ACC)→R2 ；ACC通过总线送ALU

*T*2 R2→ACC ；结果→ACC

2．（7分）答：DMA接口主要由数据缓冲寄存器、主存地址计数器、字计数器、设备地址寄存器、中断机构和DMA控制逻辑等组成。在数据交换过程中，DMA接口的功能有：（1）向CPU提出总线请求信号；（2）当CPU发出总线响应信号后，接管对总线的控制；（3）向存储器发地址信号（并能自动修改地址指针）；（4）向存储器发读/写等控制信号，进行数据传送；（5）修改字计数器，并根据传送字数，判断DMA传送是否结束；（6）发DMA结束信号，向CPU申请程序中断，报告一组数据传送完毕。DMA工作过程流程如图所示



七、设计题（共10分）

答：

（1）主存地址空间分配。（2分）

A15 … A11 … A7 … … A0

最大4K 2K×8位ROM 2片

相邻4K 4K×4位RAM 2片

最小16K 8K×8位RAM 2片（2）根据主存地址空间分配

最大4K地址空间为系统程序区，选用2片2K×8位ROM芯片；（1分）

相邻的4K地址空间为系统程序工作区，选用2片4K×4位RAM芯片；（1分）

最小16K地址空间为用户程序区，选用2片8K×8位RAM芯片。（1分）

（3）存储芯片的片选逻辑图（5分）





**计算机组成原理试题（二）**

三、简答题（共 2题，每题5分， 共10分）

1．什么叫指令？什么叫指令系统？

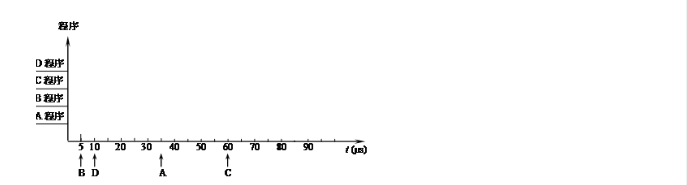
2. 一次程序中断大致可分为哪几个阶段？

四、应用题（共 5 题，每题10 分， 共 50 分）

1. 设某机主频为8MHz，每个机器周期平均含2个时钟周期，每条指令平均有2.5个机器周期，试问该机的平均指令执行速度为多少MIPS？若机器主频不变，但每个机器周期平均含4个时钟周期，每条指令平均有5个机器周期，则该机的平均指令执行速度又是多少MIPS？由此可得出什么结论？

2．设某机有四个中断源A、B、C、D，其硬件排队优先次序为A,B,C,D，现要求将中断处理次序改为D,A,C,B。（1）写出每个中断源对应的屏蔽字。

（2）按下图时间轴给出的四个中断源的请求时刻，画出CPU执行程序的轨迹。设每个中断源的中断服务程序时间均为20s。



3.设机器数字长为8位（含一位符号位），若A = +15，B = +24，求[A+B]补

和[A-B]补并还原成真值。

4. 某机字长16位，存储字长等于指令字长，若存储器直接寻址空间为128字，变址时的位移量为-64~+63,16个通用寄存器可作为变址寄存器。设计一套指令格式，满足下列寻址类型的要求。

（1）直接寻址的二地址指令3条； （2）变址寻址的一地址指令6条； （3）寄存器寻址的二地址指令9条； （4）直接寻址的一地址指令13条。

5．设CPU共有16根地址线，8根数据线，并用-MREQ（低电平有效）作访存控制信号，R/-W作读写命令信号（高电平为读，低电评为写）。现有8片8KX8位的RAM芯片与CPU相连，试回答：

（1）用74138译码器画出CPU与存储芯片的连接图； （2）写出每片RAM的地址范围； （3）根据图（1），若出现地址线A13与CPU断线，并搭接到高电平上,将出现什么后果？

**计算机组成原理试题（二）答案**

三、简答题

1指令是计算机执行某种操作的命令，也就是常说的机器指令。一台机器中所有机器指令的集合，称这台计算机的指令系统。

2答：一次程序中断大致可分为五个阶段。中断请求（1分）中断判优（1分）中断响应（1分）中断服务（1分）中断返回（1分）

 四、应用题

1解：先通过主频求出时钟周期，再求出机器周期和平均指令周期，最后通过平均指令周期的倒数求出平均指令执行速度。计算如下：

时钟周期=1/8MHz=0.125×10-6 =125ns 机器周期=125ns×2=250ns

平均指令周期=250ns×2.5=625ns

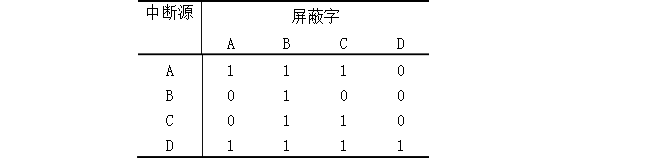
平均指令执行速度=1/625ns=1.6MIPS

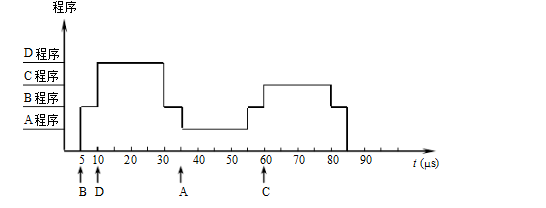
        当参数改变后：机器周期= 125ns×4=500ns=0.5µs  平均指令周期=0.5µs×5=2.5µs

平均指令执行速度=1/2.5µs=0.4MIPS

 结论：两个主频相同的机器，执行速度不一定一样。

2 （1）在中断处理次序改为D > A > C > B后，每个中断源新的屏蔽字如表所示。（5分）

（2）根据新的处理次序，CPU执行程序的轨迹如图所示（5分）



3解：∵ A = +15 = +0001111，B = +24 = +0011000                   ∴ [A]补 = 0,0001111，[B]补 = 0,0011000，[-B]补 = 1,1101000

则[A-B]补 = [A]补 + [-B]补 = 0,0001111                     +1,1101000                       1,1110111

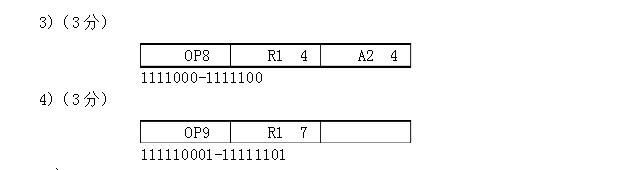
    ∴ [A-B]补 = 1,1110111                                      故  A-B = -0001001 = -9

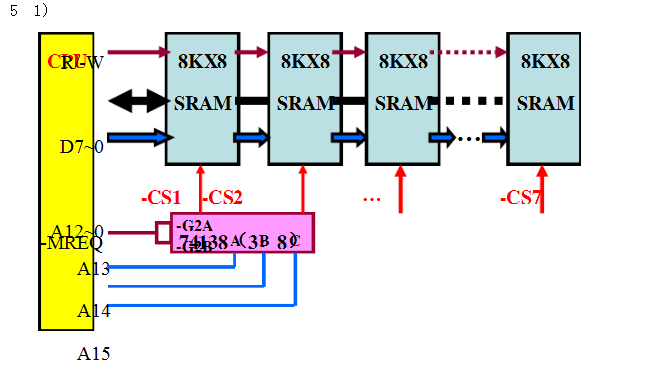
4   1)地址指令格式为（2分）

3

2)（2分）

4





2) 0~8191  8192~16383  16384~24575  24576~32767  32768~40959  40960~49151 49152~57343  57344~65535

3）如果地址线A13与CPU断线，并搭接到高电平上，将会出现A13恒为“1”的情况。此时存储器只能寻址A13=1的地址空间，A13=0的另一半地址空间将永远访问不到。若对A13=0的地址空间进行访问，只能错误地访问到A13=1的对应空间中去。

**计算机组成原理试题（三）**

1. **简答题（每题5分，共20分）**
   1. 一个较完善的指令系统应包括哪几类？
   2. 什么是闪速存储器？它有哪些特点？
   3. 比较水平微指令与垂直微指令的优缺点。
   4. CPU响应中断应具备哪些条件？
2. **应用题（每题5分，共20分）**
3. 已知：X=0.1011,Y=－0.0101,求[X/2]补,[X/4]补, [－X]补, [Y/2]补,[Y/4]补, [－Y]补。
4. 设机器字长为16位，定点表示时，尾数15位，阶符1位。

(1)定点原码整数表示时，最大正数为多少？最小负数为多少？

(2)定点原码小数表示时，最大正数为多少？最小负数为多少？

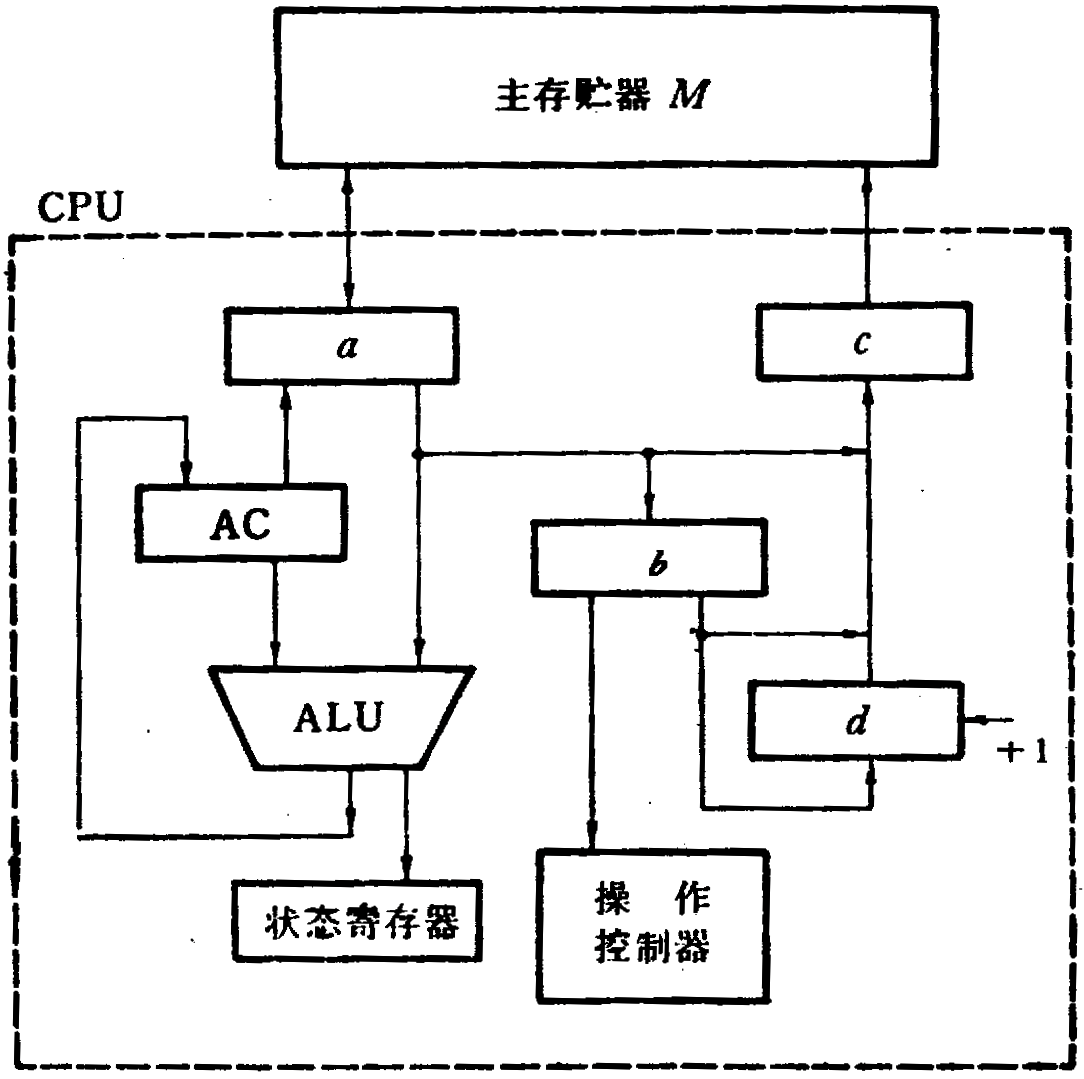
1. [x]补+[y]补=[x+y]补

求证 ： -[y]补=[-y]补

1. 有一个16K×16的存储器，由1K×4位的DRAM芯片构成问:

（1）总共需要多少DRAM芯片?

（2）画出存储体的组成框图。

1. 中断接口中有哪些标志触发器？功能是什么？
2. CPU结构如图所示，其中一个累加寄存器AC，一个状态条件寄存器和其它四个寄存器，各部分之间的连线表示数据通路，箭头表示信息传送方向。
   1. 标明图中四个寄存器的名称。
   2. 简述指令从主存取到控制器的数据通路。
   3. 简述数据在运算器和主存之间进行存/取访问的数据通路。

**图C8.1**

1. 何谓DMA方式？DMA控制器可采用哪几种方式与CPU分时使用内存？
2. CD－ROM光盘的外缘有5mm的范围因记录数据困难，一般不使用，故标准的播放时间为60分钟。请计算模式1情况下光盘存储容量是多少？

**计算机组成原理试题（三）答案**

**一． 简答题**

* 1. 包括：数据传送指令、算术运算指令、逻辑运算指令、程序控制指令、输入输出指令、堆栈指令、字符串指令、特权指令等。
  2. 闪速存储器是高密度、非易失性的读/写半导体存储器。从原理上看，它属于ROM型存储器，但是它又可随机改写信息；从功能上看，它又相当于RAM，所以传统ROM与RAM的定义和划分已失去意义。因而它是一种全新的存储器技术。

闪速存储器的特点：（1）固有的非易失性

（2）廉价的高密度

（3）可直接执行

（4）固态性能

3.（1）水平型微指令并行操作能力强、效率高、灵活性强，垂直型微指令则较差。

（2）水平型微指令执行一条指令的时间短，垂直型微指令执行时间长。

（3）由水平型微指令解释指令的微程序，具有微指令字比较长，但微程序短的特点，而垂直型微指令正好相反。

（4）水平型微指令用户难以掌握，而垂直型微指令与指令比较相似，相对来说比较容易掌握

4. 解：

* 1. 在CPU内部设置的中断屏蔽触发器必须是开放的。
  2. 外设有中断请求时，中断请求触发器必须处于“1”状态，保持中断请求信号。
  3. 外设（接口）中断允许触发器必须为“1”，这样才能把外设中断请求送至CPU。
  4. 当上述三个条件具备时，CPU在现行指令结束的最后一个状态周期响应中断。

**二． 应用题**

1. 解：[X]补 = 0.1011 [X/2]补 = 0.01011 [X/4]补 = 0.001011 [－X]补 = 1.0101

[Y] 补 = 1.1011 [Y/2]补 = 1.11011 [Y/4]补 = 1.111011 [－Y]补 = 0.0101

2. 解：（1）定点原码整数表示时

最大正数：（215-1）10 = （32767）10

最小负数：-（215-1）10=（-32767）10

（2）定点原码小数表示时

最大正数：（1-2-15）10

最小负数：-（1-2-15）10

3. 证：因为 [x]补+[y]补=[x+y]补

令x = -y 代入，则有 [-y]补+[y]补=[-y+y]补 = [0]补 = 0

所以 -[y]补=[-y]补

4. 解：（1）芯片1K×4位，片内地址线10位（A9--A0 ），数据线4位。芯片总数

16K×16/（1K×4）=64片

（2）存储器容量为16K，故地址线总数为14位（A13─A0），其中A13A12A11A10通过 4：16译码器产生片选信号CS0─CS15 。

A9─A0

CS15

4位 CS1 CS0 4位

。。。。

1K×4

1K×4

4位 4位

CS0CS1 CS15 D15—D0

……

4：16 译码器

A13 A12 A11 A10

**图C8.2**

5. 解：中断接口中有四个标志触发器：

1. 准备就绪的标志（RD）：一旦设备做好一次数据的接受或发送，便发出一个设备动作完毕信号，使RD标志置“1”。在中断方式中，该标志用作为中断源触发器，简称中断触发器。
2. 允许中断触发器（EI）：可以用程序指令来置位。EI为“1”时，某设备可以向CPU发出中断请求；EI为“0”时，不能向CPU发出中断请求，这意味着某中断源的中断请求被禁止。设置EI标志的目的，就是通过软件来控制是否允许某设备发出中断请求。
3. 中断请求触发器（IR）：它暂存中断请求线上由设备发出的中断请求信号。当IR标志为“1”时，表示设备发出了中断请求。
4. 中断屏蔽触发器（IM）：是CPU是否受理中断或批准中断的标志。IM标志为“0”时，CPU可以受理外界的中断请求，反之，IM标志为“1”时，CPU不受理外界的中断。

6. 解：（1）a为数据缓冲寄存器DR，b为指令寄存器IR，c为主存地址寄存器AR，

d为程序计数器PC

（2）PC→AR→主存→缓冲寄存器DR → 指令寄存器IR → 操作控制器

（3）存储器读：M → DR → ALU → AC 存储器写：AC → DR → M

7. 解：DMA直接内存访问方式是一种完全由硬件执行I/O交换的工作方式。DMA控制器从CPU完全接管对总线的控制，数据交换不经过CPU而直接在内存和I/O设备间进行。

8. 解：扇区总数 = 60 × 60 × 75 = 270000

模式1存放计算机程序和数据，其存储容量为

270000 × 2048 /1024 /1024 = 527MB

**计算机组成原理试题（四）**

**三. 简答题（每题5分，共20分）**

1. 指令和数据均存放在内存中，计算机如何从时间和空间上区分它们是指令还是数据。
2. 什么是指令周期？什么是机器周期？什么是时钟周期？三者之间的关系如何？
3. 简要描述外设进行DMA操作的过程及DMA方式的主要优点。
4. 在寄存器—寄存器型，寄存器—存储器型和存储器—存储器型三类指令中，哪类指令的执行时间最长？哪类指令的执行时间最短？为什么？
5. **应用题（每题5分，共40分）**
6. 求十进制数-113的原码表示，反码表示，补码表示和移码表示（用8位二进制表示，并设最高位为符号位，真值为7位）。
7. 某机指令格式如图所示：

|  |  |  |
| --- | --- | --- |
| OP | X | D |

15 10 9 8 7 0

图中X为寻址特征位，且X=0时，不变址；X=1时，用变址寄存器X1进行变址；X=2时，用变址寄存器X2进行变址；X=3时，相对寻址。设（PC）=1234H，（X1）=0037H,

(X2)=1122H，请确定下列指令的有效地址（均用十六进制表示，H表示十六进制）

(1)4420H (2)2244H (3)1322H (4)3521H (5)6723H

1. 将十进制数354 转换成二进制数、八进制数、十六进制数和BCD数。
2. 浮点数格式如下：1位阶符，6位阶码，1位数符，8位尾数，请写出浮点数所能表示的范围（只考虑正数值）。
3. 现有一64K×2位的存储器芯片，欲设计具有同样存储容量的存储器,应如何安排地址线和数据线引脚的数目，使两者之和最小。并说明有几种解答。
4. 异步通信方式传送ASCII码，数据位8位，奇校验1位，停止位1位。计算当波特率为4800时，字符传送的速率是多少？每个数据位的时间长度是多少？数据位的传送速率是多少？
5. 已知某8位机的主存采用半导体存储器，地址码为18位，采用4K×4位的SRAM芯片组成该机所允许的最大主存空间，并选用模块条形式，问：
   * + 1. 若每个模块条为32K×8位，共需几个模块条？
       2. 每个模块条内有多少片RAM芯片?
       3. 主存共需多少RAM芯片？CPU需使用几根地址线来选择各模块？使用何种译码器？
6. 画出中断处理过程流程图。

**计算机组成原理试题（四）答案**

**三. 简答题：**

1. 时间上讲，取指令事件发生在“取指周期”，取数据事件发生在“执行周期”。从空间上讲，从内存读出的指令流流向控制器（指令寄存器）。从内存读出的数据流流向运算器（通用寄存器）。
2. 指令周期是完成一条指令所需的时间。包括取指令、分析指令和执行指令所需的全部时间。机器周期也称为CPU周期，是指被确定为指令执行过程中的归一化基准时间，通常等于取指时间（或访存时间）。时钟周期是时钟频率的倒数，也可称为节拍脉冲或T周期，是处理操作的最基本单位。一个指令周期由若干个机器周期组成，每个机器周期又由若干个时钟周期组成。
3. (1)外设发出DMA请求；

（2）CPU响应请求，DMA控制器从CPU接管总线的控制；

（3）由DMA控制器执行数据传送操作；

（4）向CPU报告DMA操作结束。

主要优点是数据数据速度快

1. 寄存器-寄存器型执行速度最快,存储器-存储器型执行速度最慢。因为前者操作数在寄存器中，后者操作数在存储器中，而访问一次存储器所需的时间一般比访问一次寄存器所需时间长。
2. **应用题**

1. 原码 11110001

反码 10001110

补码 10001111

移码 00001111

2.（1）0020H （2）1166H （3）1256H （4）0058H （5）1257H

3.（1）（354 ）10=（162.A）16

（2）（354 ）10=（101100010.1010）2

（3）（354 ）10=（542.5）8

（4）（354 ）10=（001101010100.011000100101）BCD

4. 最小值2-111111×0.00000001

最大值2111111×0.11111111

1. 设地址线x根，数据线y根，则

2x**·**y=64K×2

若 y=1 x=17

y=2 x=16

y=4 x=15

y=8 x=14

因此，当数据线为1或2时，引脚之和为18

共有2种解答

1. 每个字符格式包含十个位，因此字符传送速率

4800波特/10=480字符/秒

每个数据位时间长度T=1/4800=0.208ms

数据位传送速率8×480=3840位/秒

1. (218×8）/（32k×8）=8，故需8个模块

(32k×8）/（4k×4）=16，故需16片芯片

共需8×16=128片芯片

为了选择各模块，需使用3:8译码器

即3根地址线选择模条。

8．中断处理过程流程图如图C2.1所示。

取指令

执行指令

否

中断

是

响应中断

中

关中断，即“中断屏蔽”置位

断

周

转移到中断服务子程序

期

保存CPU现场

中

断

设备服务

服

务

恢复CPU现场

子

程

序

开中断，即“中断屏蔽”复位

图C2.1

**计算机组成原理试题（五）**

二、名词解释（每小题4分，共20分）

1． 全相联映像

2． 指令系统

3． 指令周期、CPU周期

4． 向量中断

5． 微指令

四、简答题（每小题5分，共15分）

1、某机指令字长12位，每个地址段3位，试提出一种字段分配方案，使该机指令系统能有6条三地址指令和8条二地址指令。

2、分别用NRZ-1、PE及FE制记录方式记录数据序列11001，画出写电流波形。

3、简述通道控制方式和DMA方式的异同。

五、计算题（10分）

用补码加减交替一位除法进行6÷2运算，要求写出运算过程和运算结果

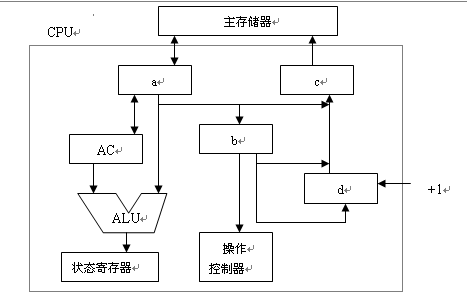
六、设计题（第一小题12分，第二小题11分，共23分）

1、 CPU结构如下图所示，其中有一个累加寄存器AC、一个状态条件寄存器和其他4个寄存器，各部件之间的连线表示数据通路，箭头表示信息传送方向。

（1） 标明4个寄存器的名称。

（2） 简述指令从主存取出送到控制器的数据通路。

（3） 简述数据在运算器和主存之间进行存取访问的数据通路



2、 用2K4位/片的RAM存储器芯片设计一个8KB的存储器，设CPU的地址总线为A12~A0（低），数据总线为D7~D0（低），由 线控制读写。

（1） 该存储器需要多少片2K4位/片的存储器芯片。

（2） 请设计并画出该存储器的逻辑图

**计算机组成原理试题（五）答案**

二、名词解释（每小题4分，共20分）

1． 全相联映像：就是让主存中的任何一个块均可以映像装入到Cache中任何一个块的位置上。

2． 指令系统：是指一台计算机的所有指令的集合。

3． 指令周期：是指从取指令、分析取数到执行完该指令所需的全部时间。

CPU周期：也叫机器周期，通常把一个指令周期划分为若干个机器周期，每个机器周期完成一个基本操作。

4． 向量中断：是指那些中断服务程序的入口地址是由中断事件自己提供的中断。

5． 微指令：是指控制存储器中的一个单元的内容，即控制字，是若干个微命令的集合。

四、简答题（每小题5分，共15分）

1． 000 XXX YYY ZZZ

。。。

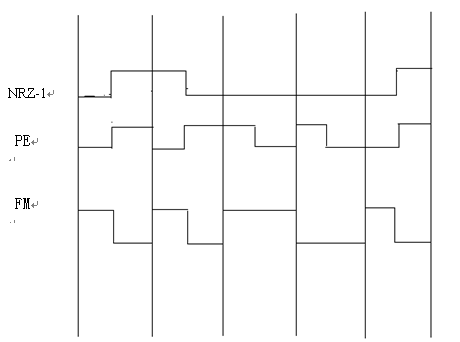
101 XXX YYY ZZZ

110 000 YYY ZZZ

。。。

110 111 YYY ZZZ

2．



3．相同点：都是能在不需要CPU干预下实现外设和内存间的数据交换（2分）

不同点：1）DMA控制器是通过专门设计的硬件控制逻辑来实现对数据传递的控制，而通道具有自己的指令和程序，是一个有特殊功能的处理器2）DMA仅能控制一台或几台同类设备，而通道能控制多台同类或不同类设备

五、计算题（10分）

解题要领：首先要转化为 ，然后进行列算式计算。没有转化，但会列算式，且最后结果正确给7分。

六、设计题（第一小题12分，第二小题11分，共23分）

1 、（1）a为MDR,b为IR,c为MAR,d为PC

(2) 取指令的数据通路：PC→MAR→MM→MDR→IR

(3) 数据从主存取出的数据通路（设数据地址为X）X→MAR→MM→MDR→ALU→AC

数据存入主存的数据通路（设数据地址为Y）Y →MAR,AC→MDR→MM

2 、每小题4分，共12分

（1）共需8片（5分）

（2）如下逻辑图（6分）

