

• Логический 1 - +350 мВ на линии А, -350 мВ на линии В • Логический 0 - -350 мВ на линии A, +350 мВ на линии В

Принимающая сторона (Receiver)

• Нагрузочный рещистор (100 Ом) между линиями завершает диф. пару

Источник постоянного тока -> к двум выходым линиям черещ MOSFET-транзисторы

• Диф. усилитель сравнивает напряжения на линиях ТХ+ & ТХ-

• Сигнал - разность напряжений между линиями

Ключевые параметры

• Размах каждого сигнала +-350 мВ

- Скорость передачи до 3.125 Гбит/с на одну пару
- Преимущества диф. передачи

- магнитные поля
- Высокая скорость малая амплитуда сигнала позволяет быстрее перключать состояния • Снижение ЕМІ (электромагнитных помех) - противоположные токи в диф. линиях компенсируют

Примеры применения LVDS:

PCIe (до 5 поколения)

• Скорость ■ Gen 4 - 16 ГТ/с на линию (ГТ - Гига Трансферы, полезные переносы информации)

• Низкое энергопотребление - ток через нагрузку всего 3.5 мА -> Мощность около 11.5 мВт

- Линии 1-16 пар в зависимости от версии
- Gen 5 32 ГТ/с на линию ■ Gen 7 - 128 ГТ/с на линию (но там уже не LVDS лол) SATA (Serial ATA)

CML 2.5-3.3 B

До 10 Гбит/с

Высокое

 HDMI • Линии - 3 пары видео, 1 пара тактирования • Скорость - HDMI 2.1 - до 48 Гбит/с (с использованием LVDS-like технологии TMDS)

Скорость

Потребление

Применение

- Скорость до 8.1 Гбит/с на пару
- Сравнение LVDS с другими стандартами диф. передачи

• Мобильные дисплеи (eDP) 1-4 пар линий

Параметр LVDS **RS-422** 5 B Напряжение питания 3.3 В

Низкое

2 пары линий (приём-передача)

Скорость - SATA III - 6Гбит/с

Согласование уровней TTL, CMOS, LVCMOS, LVDS - как их связать то блять? Согласование логических стандартов - важная задача при проектировании систем, где используются компоненты с разными уровнями напряжения и требованиями к сигналам

до 3.125 Гбит/с До 10 Мбит/с

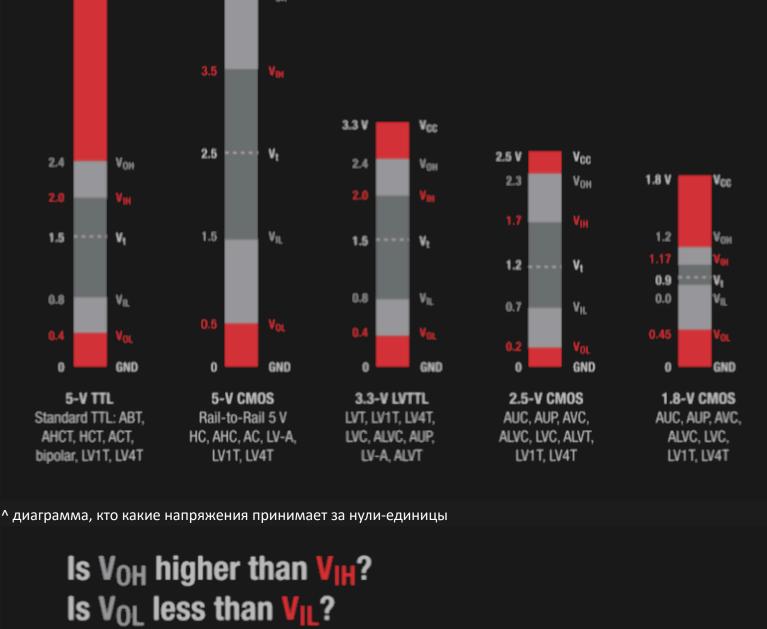
Среднее

Vcc

Дисплеи, PCIE Промышленность Сети, SerDes

5 V Vcc 5 V

4.44 V_{OH}



5 TTL

R



• Резисторные делители - подходят для согласования уровней напряжения, но не высокоскоростных

• Опторазвязка - для гальванический изоляции и согласования уровней • MOSFET-ключи - простые дешёвые решения для согласования уровней

• Преобразователь CMOS/LVCMOS -> LVDS - микросхемы по типу DS90LV011A • Преобразователь LVDS -> CMOS/LVCMOS - микросхемы по типу DS90LV012A

https://microchip.my.site.com/s/article/Level-Shifting-Methods

• Буферные специализированные микросхема - преобразователи уровня по типу TXB0108, SN74LVC1T45

5 CMOS

2.5 CMOS

3 LVTTL

1.8 CMOS

Проблемы:

Методы согласования:

Согласование TTL и LVDS

• LVDS - диф. сигнал (+-350 мВ) Методы согласования:

^ Таблица совместимостей сигналов

сигналов, односторонние

Универсальные методы согласования уровней

Ссылки на схемы согласования лог. уровней

https://analogcircuitdesign.com/level-shifter-circuit/

• LVCMOS - односторонний сигнал (0-1.8 B) • LVDS - дифференциальный сигнал (+-350 мВ)

• CMOS - односторонний сигнал (однофзный, несимметричный, с общей землёй, single-ended) - 0-5 В

https://we.easyelectronics.ru/Shematech/soglasovanie-logicheskih-urovney-5v-i-33v-ustroystv.html

Проблемы: • TTL - односторонний сигнал (0-5 B)

• Преобразователь TTL -> LVDS //революционно Используются микросхемы по типу SN65LVDS1

Проблема объединения выходов логических схем на шину

Практические вопросы

пожар в квартире

• Никто не может "освободить" шину

Push-Pull Output

• Преобразователь LVDS -> TTL - микросхемы по типу SN65LVDS2

- Device I²C logic
- output at indeterminate Q2 Push-pull
- **GND** output tries to output tries to drive high drive low "Выход с тремя состяниями" • Логическая 1 • Логический 0 • Третье состояние (оно же tri-state, z-состояние, высокоимпедансное состояние) Третье состяние - состояние, когда схема электрически отключена от шины (высокий импеданс) Особенности третьего состояния выхода: • Не формирует ни 0 ни 1 • Позволяет нескольким устройствам работать на одной шине не конфликтуя • Активируется сигналом Output Enable (OE) • Пример - шина данных в МПС

Bus contention.

• При объединении выходов push-pull нескольких логических элементов все формируют активный уровень

• При формировании разных лог. уровней двумя элементами в один момент времени - КЗ пизда туши свет и

Q3

Q4

Device I²C

logic

Push-pull

Off

On

- С общим коллектором (open collector) · totem-pole
- С общим стоком (open drain) push-pull

Открытый коллектор / Открытый сток

CMOS

TTL

Выходы GPIO MK

- Физическая реализация выхода, а не отдельное состояние Принцип работы:
 - Ключевая особенность всегда два состояния 0 и Z

• Выход может только притягивать линию к земле (лог. 0) или переходить в Z-состояние

• Высокий уровент (лог. 1) формируется внешним подтягивающим резистором Примеры - шины I^2C , 1-Wire

Согласование CMOS/LVCMOS и LVDS