
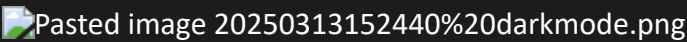


# Статические ЗУ с произвольной выборкой (SRAM)

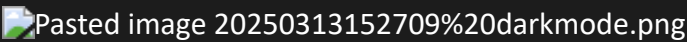
## Запоминающая ячейка статической памяти

 ^ Схема по сути инвертер

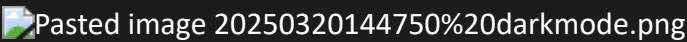
## Запоминающая ячейка с двухкоординатной выборкой



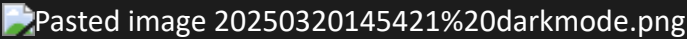
## Запоминающая ячейка с двухпортовой выборкой



## Микросхема статической памяти

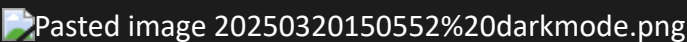
  
БУЗ - Блок Усиления Записи  
БУС - Блок Усиления Считывания  
И матрица неправильных размеров))  
OE - Output Enable - Разрешение на выдачу  
CE - Chip Enable - Разрешение на любые операции  
WE - Write Enable - Разрешение на запись  
DO/DI - Data Output/Data Input

## Диаграмма работы статической памяти (жёсткая роспись таймингов еее)

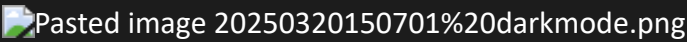


## Примеры

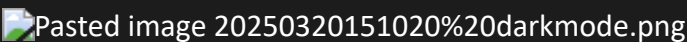
### Пример - Cypress 128K x 8 Static RAM

  
Схема очень похожая на то что было, но ко входам управления добавлен режим низкого энергопотребления (внизу правее есть POWER DOWN)

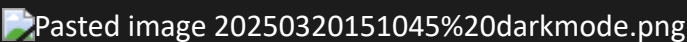
### Cypress 128K x 8 Static RAM - Таблица истинности + кусок таймингов



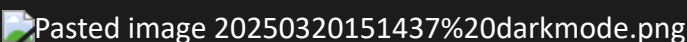
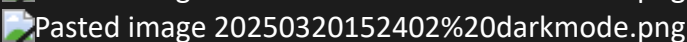
### Cypress 128K x 8 Static RAM - Тайминги #2



### Cypress 128K x 8 Static RAM - Тайминги #3



## ISSI 36Mb DDR-II CIO Synchronous SRAMs

 ^ Это память с ПЛИСов с прошлого сема, со Спартанцев  
  
Держи до кучи довольно ебучую схему таймингов  
