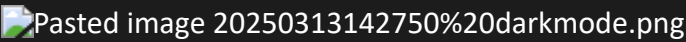


Буфер (тип FIFO)



Адресные запоминающие устройства

Постоянные ЗУ (ПЗУ)

- МПЗУ (MROM)
- ППЗУ (PROM)
- РПЗУ-УФ (EPROM)
- ОППЗУ-УФ (EPROM-OTP)
- РПЗУ-ЭС (EEPROM)
- Flash

ЗУ с произвольным доступом (RAM)

- Динамические ЗУПД
 - Использующие кучность адресов
 - FPM DRAM
 - EDO DRAM
 - BEDO DRAM
 - SDRAM
 - DDR SDRAM
 - RDRAM
 - Не использующие кучность адресов
 - DRAM
 - RLD RAM

Статические ЗУПД (SRAM)

- Синхронные
- Асинхронные

"Переход от асинхронности - это хорошо. Положительно 👍"

© Попов 2025

Организация запоминающих массивов адресных ЗУ

Структура 3М 2D

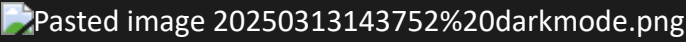


Количество выходов DC = количеству слов в памяти (2^n)
Применима только для малоразмерных ЗУ

Структура 3М 3D

Адрес делится на две части (двухкоординатная выборка) - буквально выбор запоминающей ячейки по координатам

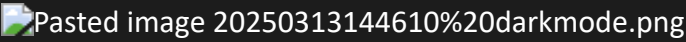
Количество выходов DC - $2^{n/2} + 2^{n/2}$



Структура 3М 2DM

Мультиплексоры дают выбирать один из $2^{n/2}$ разрядов в каждом из запоминающих массивов

- Размеры массивов близки к оптимальным
- Количество линий чтения/записи минимально



Расслоение памяти

Видимо в попытках ускорить память производится расслоение памяти - разделение на несколько кусков, называемых банками, а дальше как в морском бою по "координатам" выбирается ячейка

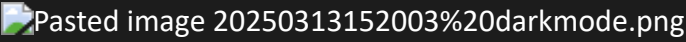
Блочное разделение адреса

Номер банка определяется старшей частью адреса



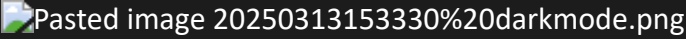
Циклическое разделение адреса

Номер банка определяется младшей частью адреса



Блочно-циклическое разделение адреса

Обеспечивает возможность пакетной передачи и ускоряет доступ при кучности адресов



Пример разделения адреса в SDRAM (PIII, P4)

