



Статические ЗУ с произвольной выборкой (SRAM)


Запоминающая ячейка статической памяти

 Pasted image 20250313152355.png
^ Схема по сути инвертер

Запоминающая ячейка с двухкоординатной выборкой

 Pasted image 20250313152440.png

Запоминающая ячейка с двухпортовой выборкой

 Pasted image 20250313152709.png

Микросхема статической памяти




 Pasted image 20250320144750.png
БУЗ - Блок Усиления Записи
БУС - Блок Усиления Считывания
И матрица неправильных размеров))
OE - Output Enable - Разрешение на выдачу
CE - Chip Enable - Разрешение на любые операции
WE - Write Enable - Разрешение на запись
DO/DI - Data Output/Data Input

Диаграмма работы статической памяти (жёсткая роспись таймингов eee)


 Pasted image 20250320145421.png

Примеры


Пример - Cypress 128K x 8 Static RAM

 Pasted image 20250320150552.png
Схема очень похожая на то что было, но ко входам управления добавлен режим низкого энергопотребления (внизу правее есть POWER DOWN)


Cypress 128K x 8 Static RAM - Таблица истинности + кусок таймингов

 Pasted image 20250320150701.png




Cypress 128K x 8 Static RAM - Тайминги #2

 Pasted image 20250320151020.png

Cypress 128K x 8 Static RAM - Тайминги #3

 Pasted image 20250320151045.png

ISSI 36Mb DDR-II CIO Synchronous SRAMs

 Pasted image 20250320151437.png ^ Это память с ПЛИСов с прошлого сема, со Спартанцев
 Pasted image 20250320152402.png
Держи до кучи довольно ебучую схему таймингов
 Pasted image 20250320152440.png