

Описание:

IP - ядро Adc_ad9643 предназначено для конвертации данных от АЦП AD9643-250 из Double Data Rate формата в формат Single Data Rate с последующим применением протокола AXI-Stream. Функции управления ядром осуществляются через интерфейс AXI-Lite.

Структурная схема ядра:

Структурная схема ядра показана на рисунке 1.

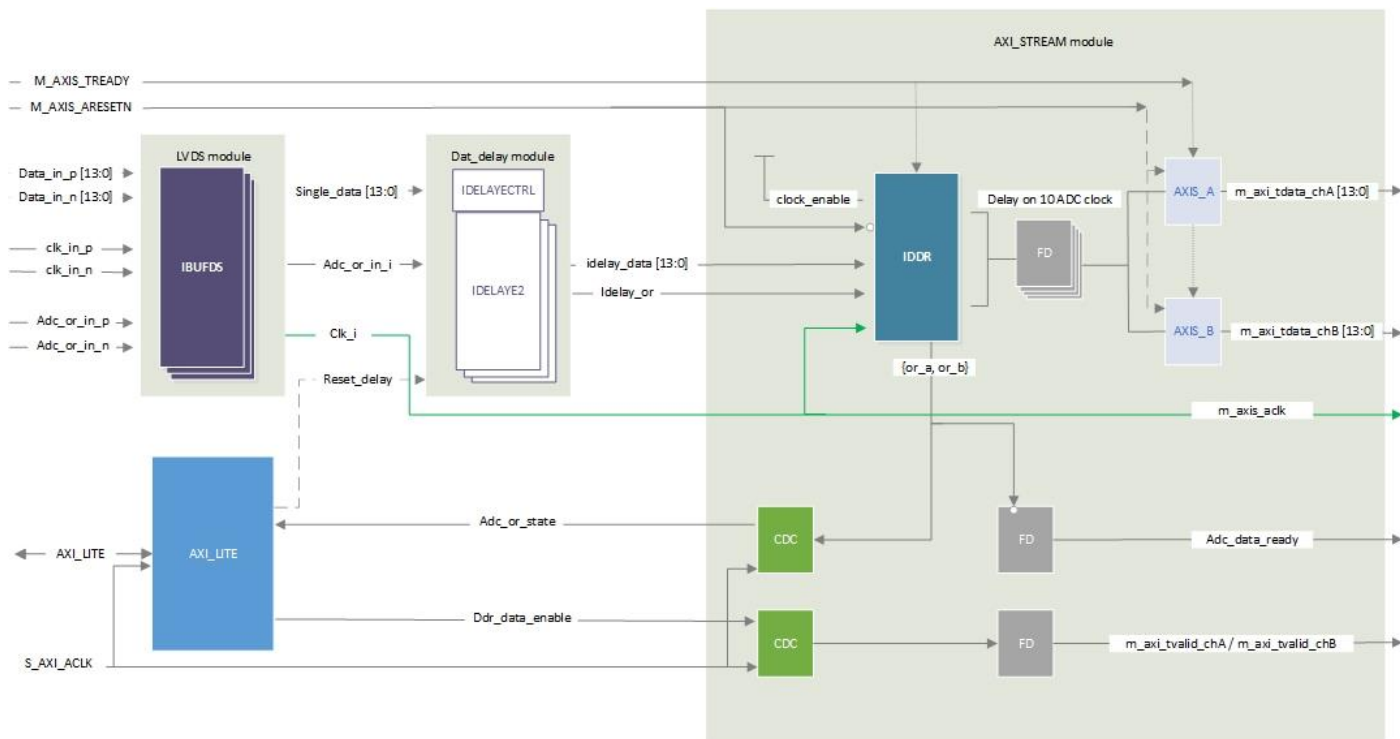


Рис.1 – Структурная схема IP-ядра Adc_ad9643

Описание модулей ядра:

Данное ядро состоит из следующих модулей:

- LVDS_interface

Модуль LVDS_interface состоит из дифференциальных буферов, которые преобразуют данные, поступающие с АЦП (clock, сигнал переполнения АЦП, и собственно, сами данные) из формата LVDS.

Временная диаграмма модуля представлена на рисунке 2.

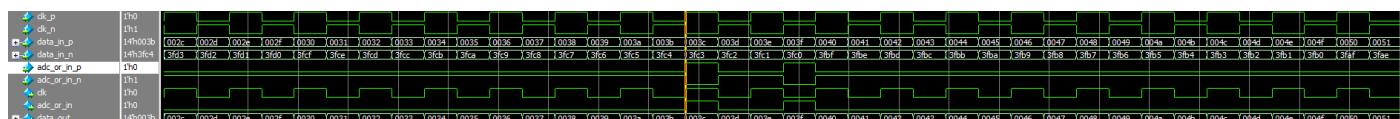


Рисунок 2. Временная диаграмма модуля LVDS_interface

- AXI_lite

Модуль AXI_lite - IP-ядро, которое предоставляет компания Xilinx. В данном ядре присутствуют 4 регистра, два из которых задействованы.

Адрес регистра	Описание	Функция	Значение по умолчанию
0x0	Младший бит (LSB) включает IDDR регистры. Т.е начинается передача данных. 0x1 – выключение модуля 0x0 – включение модуля	Запись	0x0
0x4	Два младших бита показывают переполнение АЦП.	Чтение	0x0

Временная диаграмма модуля представлена на рисунке 3.

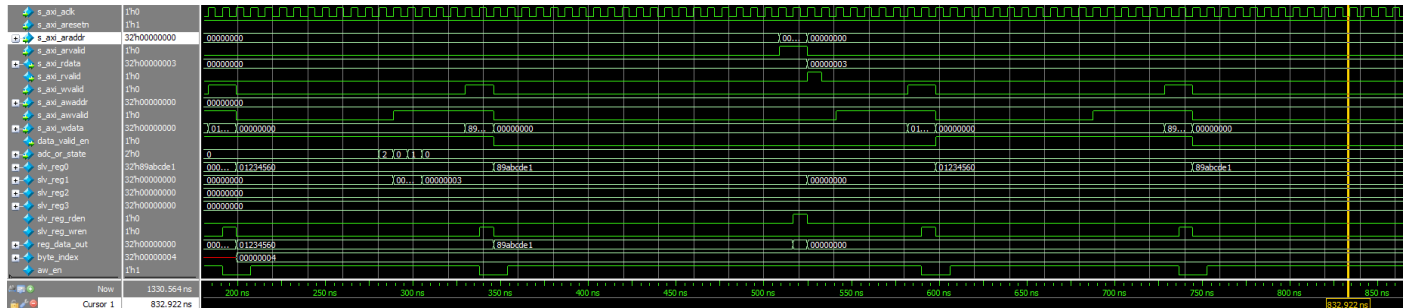


Рисунок 3. Временная диаграмма модуля AXI_lite

На диаграмме показан процесс записи в регистр 0x0. При записи значения 0x89ABCDE1 сигнал валидности перестает формироваться. Регистр slv_reg1(0x4) принимает значения 0x1 и 0x2 там самым показывает в каком канале произошло переполнение и удерживает данное событие до момента чтения, после которого регистр принимает значение 0x0.

AXI_stream

Модуль AXI_stream состоит из DDR-регистров. Данные регистры преобразуют данные из формата Double Data Rate в формат Single Data Rate с задержкой в 2 такта. Данный модуль реализует неполный функционал протокола AXI-Stream (m_axis_tvalid, m_axis_tdata). Так же модуль имеет порт adc_data_rdy, который показывает состояния АЦП, возникло ли на входе переполнение или нет. Так же видно реакцию модуля на внешние сигналы а именно m_axi_tready, adc_or_in, где сигнал m_axi_tvalid не зависит от их состояния и управляется пользователем, а данные защелкиваются.

Временная диаграмма модуля представлена на рисунке 4.



Рисунок 4. Временная диаграмма модуля AXI_stream

- Dat_delay

Описание тестового окружения:

Для верификации ядра `adc_ad9643` применялись IP-ядра `AXI-stream VIP`, `AXI-lite VIP`. С помощью функций `AXI4LITE_WRITE_BURST` был произведен процесс записи в регистр `slv_reg0(0x0)` числа `0x01234560` – включение модуля `AXI_stream`, а затем процесс записи числа `0x89ABCDE1` – остановка принимаемых данных от АЦП. Данный цикл повторялся 3 раза для проверки корректности формирования сигналов `valid` для каналов А и Б.

Временная диаграмма тестбенча представлена на рисунке 5.

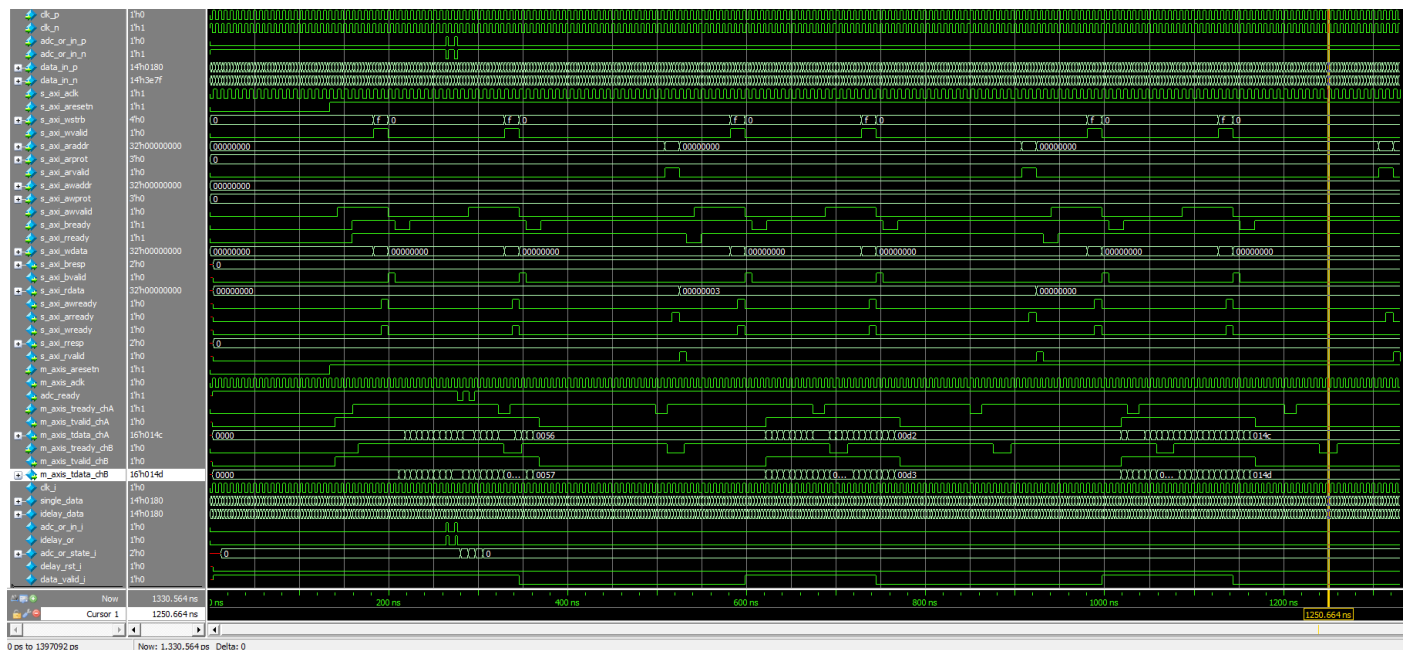


Рисунок 5. Временная диаграмма модуля