

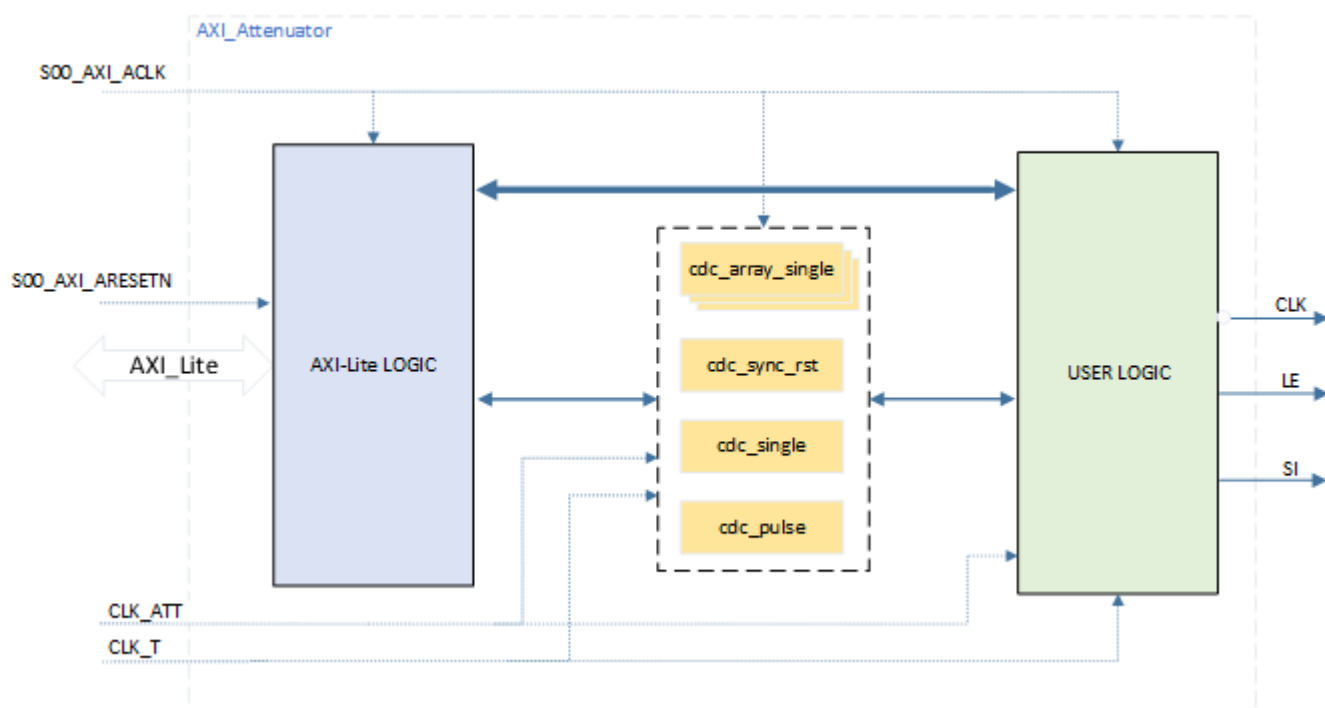
1. IP ядро AXI_Attenuator

IP ядро AXI_Attenuator предназначено для работы с цифровым аттенюатором **PE43705**. Данное ядро конвертирует данные из AXI интерфейса в последовательные данные для интерфейса аттенюатора.

1.1 Структура IP ядра

Структурная схема IP ядра представлена на рисунке ниже.

Структура IP ядра



S00_AXI_ACLK – клон для AXI-Lite интерфейса.

S00_AXI_ARESETN – синхронный ресет AXI-Lite интерфейса.

CLK_ATT – клон для последовательного интерфейса аттенюатора. Максимум 10 МГц.

CLK_T – клон, который служит для задержки между транзакциями в 40us. Должен быть только 10 МГц.

Интерфейс аттенюатора состоит из следующих сигналов:

CLK – тактовый сигнал.

SI – сигнал данных, передаваемых последовательно.

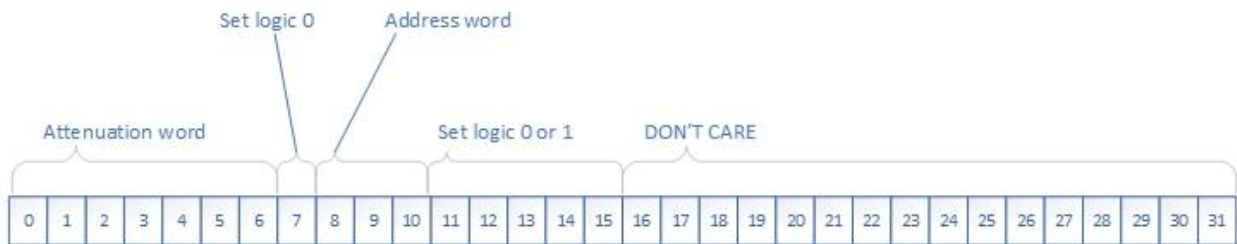
LE – сигнал защелкивания данных в сдвиговом регистре аттенюатора.

Данное ядро состоит из логики, необходимой для AXI-Lite интерфейса и логики для преобразования данных для последовательного интерфейса аттенюатора. Из 32-битного слова AXI-Lite интерфейса берутся младшие 16 бит и переносятся на частоту аттенюатора (максимум 10 МГц). Далее 16-битное слово преобразуется в последовательные данные и, начиная с младшего бита, отправляется в аттенюатор. Клок CLK_ATT при этом инвертируется для соблюдения таймингов. После завершения передачи формируется строб LE, которые сигнализирует аттенюатору, что передача завершена.

1.2 Адресное пространство IP ядра

| Имя регистра | Адрес | Назначение полей |
|--------------------------------|---------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| DATAW (Data Register) W/R | BASE_ADDR + 0 | DATAW [15:0] – используются для данных, которые необходимо записать в аттенюатор. DATAW [31:16] – не используются. |
| STATUS (Status Operation) R | BASE_ADDR + 4 | STATUS [0] – передает статус IP ядра. <ul style="list-style-type: none">0 – ядро готово к приему данных.1 – выполняется операция записи или не истекло необходимое время задержки. STATUS [31:1] – не используется. |

Структура данных регистра DATAW для работы с аттенюатором

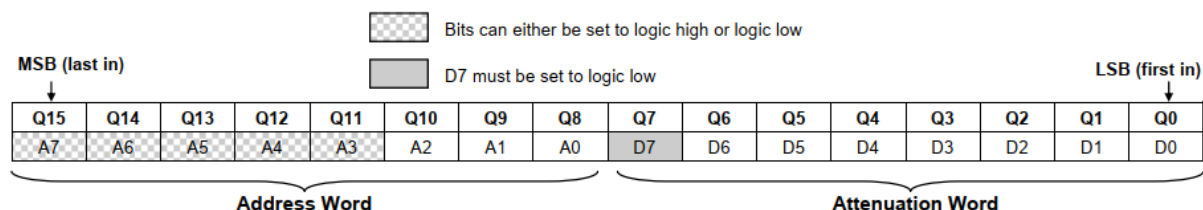


| Attenuation word | | | | | | | | | [0:6] | Значение для регулировки уровня сигнала См. столбец слева |
|------------------|----|----|----|----|----|----|----------|-----------------------------|-------|--------------------------------------------------------------|
| Attenuation Word | | | | | | | | Attenuation Setting RF1-RF2 | | |
| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 (LSB) | | | |
| L | L | L | L | L | L | L | L | Reference I.L. | | |
| L | L | L | L | L | L | L | H | 0.25 dB | | |
| L | L | L | L | L | L | H | L | 0.5 dB | | |
| L | L | L | L | L | H | L | L | 1 dB | | |
| L | L | L | L | H | L | L | L | 2 dB | | |
| L | L | L | H | L | L | L | L | 4 dB | | |
| L | L | H | L | L | L | L | L | 8 dB | | |
| L | H | L | L | L | L | L | L | 16 dB | | |
| L | H | H | H | H | H | H | H | 31.75 dB | | |

| | | |
|--|-----|--------------------------------------------------------------|
| | [7] | Должен быть всегда равен логическому 0. См. столбец слева |
|--|-----|--------------------------------------------------------------|

| Address word | | | | | | | | | [8:10] | адресные биты, которые сравниваются с пинами микросхемы A0, A1, A2. Если они совпадают, то данные будут применены, если не совпадают изменения не применяются. (пины A0, A1, A2 заведены на логический ноль) <i>См. столбец слева</i> |
|--------------|----|----|----|----|----|----|----|-----------------|---------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| Address Word | | | | | | | | Address Setting | | |
| A7 (MSB) | A6 | A5 | A4 | A3 | A2 | A1 | A0 | | | |
| X | X | X | X | X | L | L | L | 000 | | |
| X | X | X | X | X | L | L | H | 001 | | |
| X | X | X | X | X | L | H | L | 010 | | |
| X | X | X | X | X | L | H | H | 011 | | |
| X | X | X | X | X | H | L | L | 100 | | |
| X | X | X | X | X | H | L | H | 101 | | |
| X | X | X | X | X | H | H | L | 110 | | |
| X | X | X | X | X | H | H | H | 111 | | |
| | | | | | | | | | [11:15] | должны принимать единое значение логического 0 или 1. |
| | | | | | | | | | [16:31] | Не используются |

Пример структуры данных для последовательной записи в аттенюатор



Attenuation Word is derived directly from the attenuation value. For example, to program the 18.25 dB state at address 3:

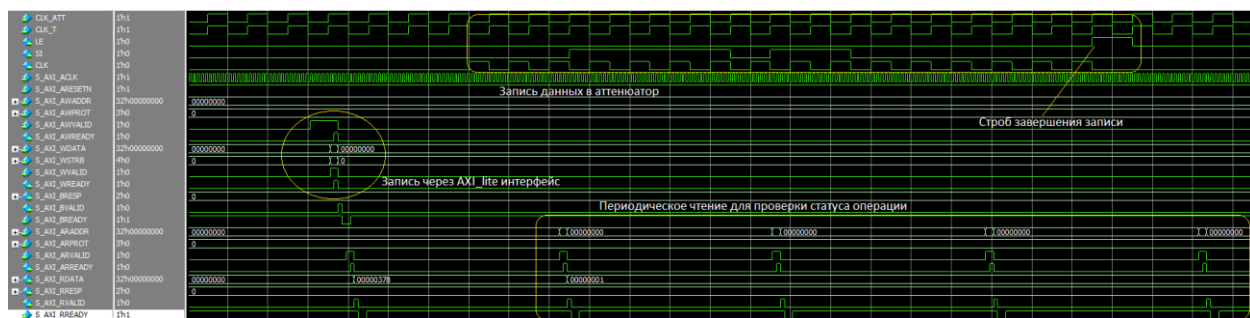
Address word: XXXXX011

Attenuation Word: Multiply by 4 and convert to binary → $4 * 18.25 \text{ dB} \rightarrow 73 \rightarrow 01001001$

Serial Input: XXXXX01101001001

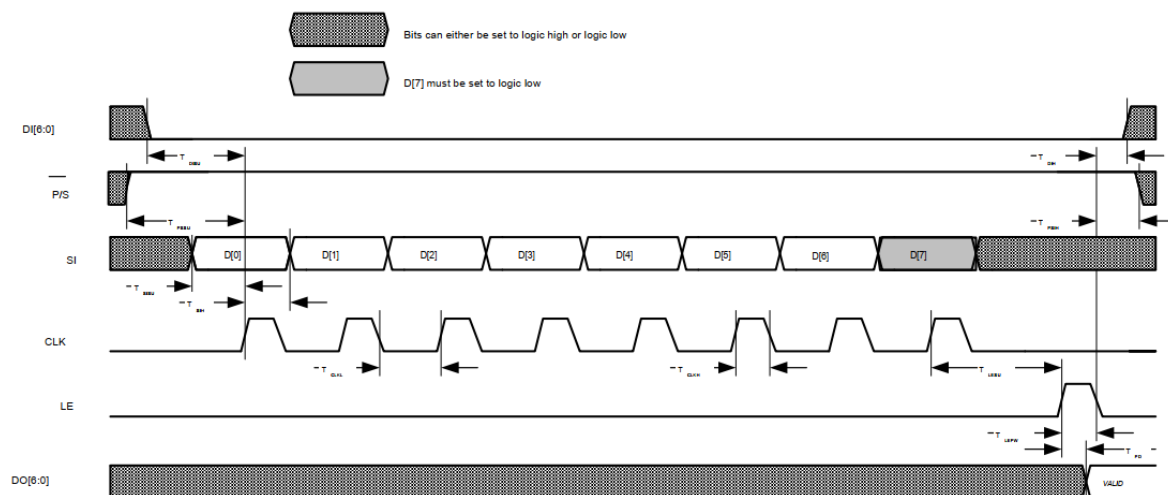
1.3 Временные диаграммы

Временная диаграмма записи данных в аттенюатор.



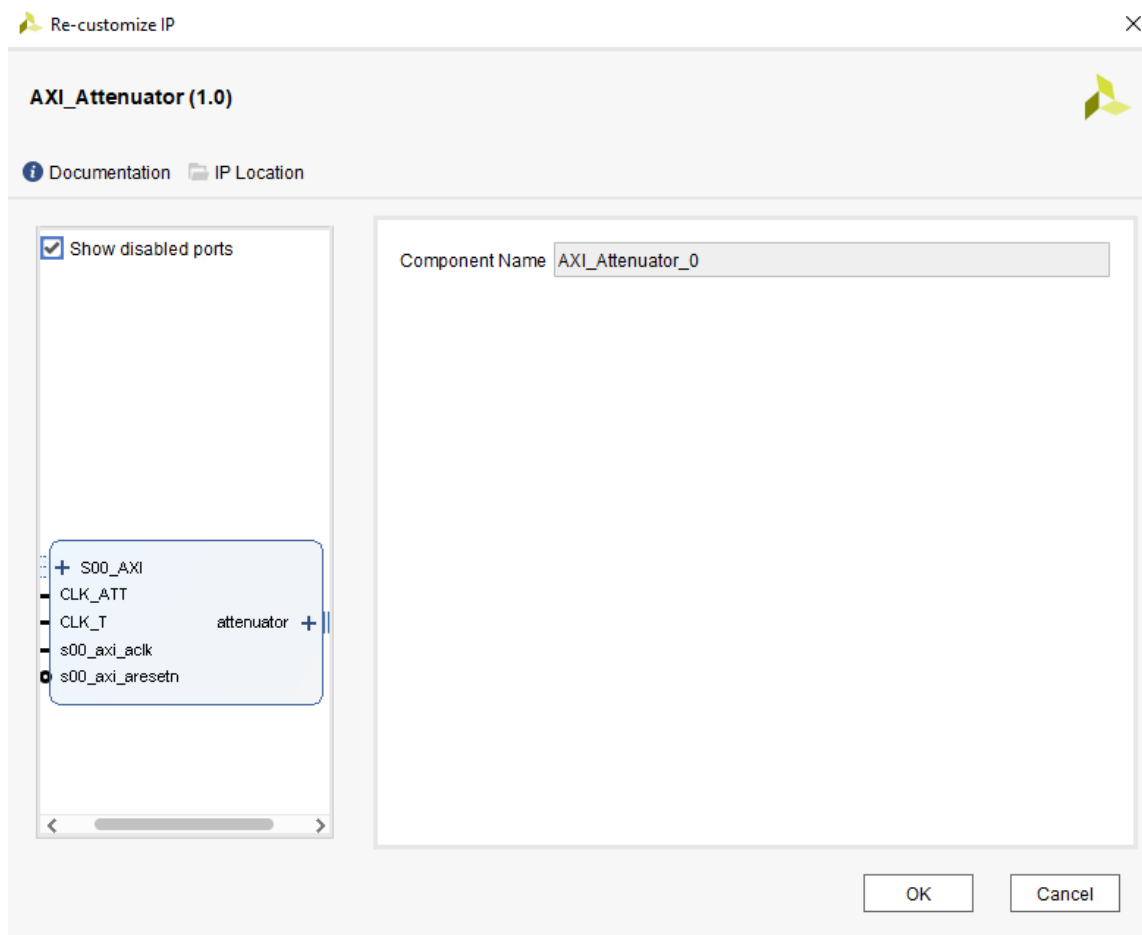
Данные 0x00000378 были записаны по адресу 0x00000000, после чего младшие 16 бит были преобразованы для последовательного интерфейса, где нулевой бит данных должен идти первым. Получилась следующая последовательность в двоичном виде 0001 1110 1100 0000, которая в обратном порядке соответствует числу 0x0378.

Данная диаграмма соответствует примеру диаграммы из даташита, которая представлена ниже



Для соблюдения необходимых таймингов для корректной записи выходной клон CLK инвертирован. Максимальная частота для записи данных в аттенюатор составляет 10 МГц. Максимальная частота смены данных для аттенюатора 25 кГц.

1.4 Параметры конфигурации AXI_Attenuator



В данном IP ядре нет конфигурируемых параметров.

1.5 Проверка функциональности

Параметрами для тестбенча являются:

- PERIOD_CLK = 10 ns – период тактовой частоты AXI-Lite интерфейса.
- PERIOD_CLK_ATEN = 100 ns – период для максимальной тактовой частоты интерфейса аттенюатора.
- PERIOD_CLK_10MHz = 100 ns – период частоты для выставления задержки между операциями записи.

Для верификации данного IP ядра применялось ядро AXI VIP с интерфейсом AXI-Lite. С помощью данного ядра осуществлялась как запись данных в аттенюатор, так и чтение данных из IP ядра.

Лог моделирования

```
# WR ADDR 0x00000000 - 0x00000378
# line_in: 00000378
# line_out: 00000378
# line_att: 0378
# BURST_MODE & DATA_MERGE complete
# WR ADDR 0x00000000 - 0x0000f85a
# line_in: 00000378
# line_out: 0000035a
# ** Note: $finish : ../../../../../../ip_repo/AXI_Attenuator_1.0/hdl/tb_AXI_Attenuator_v1_0.sv(195)
# Time: 85676 ns Iteration: 0 Instance: /tb_AXI_Attenuator_v1_0
```

В данном логе строка WR ADDR показывает, что произошла запись данных 0x00000378 по адресу 0x00000000. В строке line_in ещё раз выводятся данные для записи, в строке line_out прочитанные данные, в строке line_att – данные, полученные от IP ядра с помощью сдвигового регистра.

В следующей строке видно, что тест завершен успешно, так как записанные, прочитанные и данные со сдвигового регистра совпадают.

Следующая запись производится в байтовом режиме, где валидны только 2-ой и 4-ый байты данных 0x0000f85a. Строка line_in отображает данные, которые были до записи в регистр, строка line_out – прочитанные данные. Видно, что 4-ый байт был перезаписан – он был валидным, а 3-ий нет – он не был валидным.