



Systèmes numériques 2

avril 17

Travail écrit 1: Système Numérique 2

2016/2017

Filière: Télécommunication

Classe: T-2a, T-2d

Date: 26 avril 2017, 13h00 à 14h35

Professeur: Fabio Cunha

Nom et prénom :

Points: 12.5 /20

Note: 4,1

Problème 1: Feu de carrefour routier (5 pts)

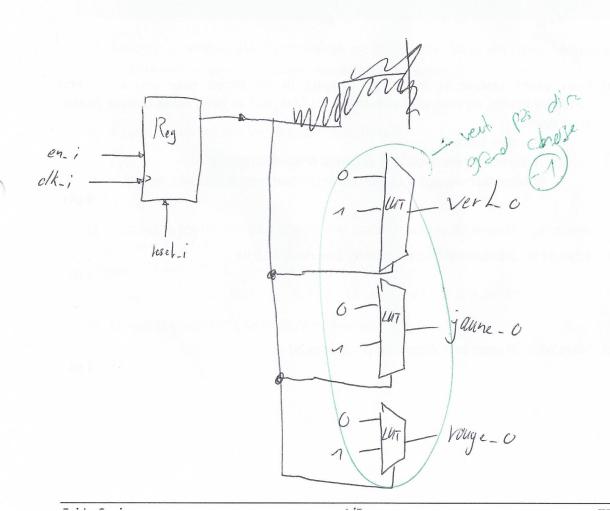
On veut gérer la transition vert \rightarrow jaune \rightarrow rouge \rightarrow jaune_et_rouge \rightarrow vert \rightarrow jaune...etc.» d'un feu de carrefour routier.

On dispose d'une horloge clk_i de 1Hz. Le temps sur vert ou rouge doit être de 1 minutes, le temps sur jaune de 5s et le temps sur jaune_et_rouge de 3s. Le circuit numérique réalisant cette fonction a trois entrées : en_i, clk_i et reset_i. Il a trois sorties : vert_o, jaune_o et rouge_o.

a) Ecrire le code VHDL complet.

b) Dessiner le schéma logique à partir de votre code

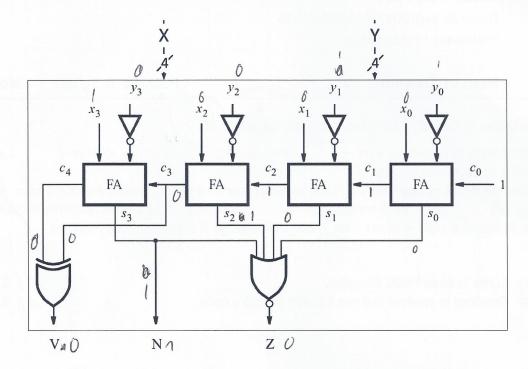
3.5/ 5 pts





Problème 2: Testbench (7 pts)/

Soit la structure suivante, basée sur une combinaison de full-adder et de portes logiques, permet de comparer deux nombres (signés) à l'aide d'une opération de soustraction :



- a) Vous devez réaliser le testbench complet de ce circuit pour vérifier le bon fonctionnement, où vous vérifiez les trois cas (X<Y, X>Y et X=Y). Après chaque stimuli, vous devez :
 - Attendre 10 ns
 - Tester les sorties avec V, N et Z avec la fonction assert
 - Afficher un message si une erreur intervient avec la fonction report

5 pts

b) Réalisez le code permettant de générer une clock à 10 ns

1/ 1 pt

c) Idem pour un reset actif durant les premières 20 ns

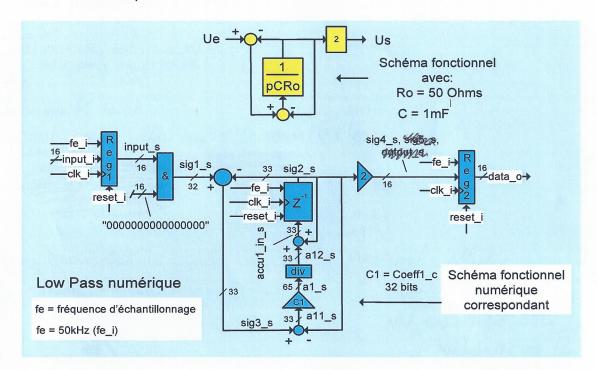
1 / 1 pt



Problème 3 : Filtre à intégrateur (6 pts)



Soit le filtre numérique ci-dessous :



a) Dessinez le schéma passif (résistance, capacité, inductance) analogique équivalent de ce filtre numérique, en illustrant les différentes étapes.

6 / 1 pt

b) A quoi sert ce facteur de 2 à la sortie du filtre ?

Pour compenser la perte de 6dB sur le diviseur 1 pt

c) Calculez le coefficient C1 = Coeff1_c et commentez les différentes opérations

en virgula thethank: C1 = TE = 50 kHz = 1'000'000

() 1 pt

low fact de temps: 7n = C: Ro = 1mF. SOR = 0,055

en virgale hai: coeths = Cn. 232 = 42 99 36 67 29 60 00 000

d) Ecrivez le code VHDL de ce filtre numérique

// 3 pts

T= 1 = 1ms => 35= 3000

Problème 1

library ieee; Use jeee. std-logic-11696all; Use jeee. Numeric-5 blood;

entity Few is

port (en_1, clk-i, reset-i: in Std-logic;

vert-o, game-o, rouge-o: Ont Stol-logic;);

architecture logic of Fen is

Signal Winker 3: Integer range 0 to Davin 128 000; Justice 1

process (xoel-i, clk-i)

elsit visingledge Xclkil then

Couplar 3 (= 0;) = 3600 then

Cylinter 3 (= Counter 3 +1)

lo or down fers = 30000 then counter 5 <= 0;

elsit ens='i/then 'Counters +1;

1 0' or counter 60 = 80000 blus Coulor 60 = 0 : en 60 = 96'tles Sconnec 60 = Comber 60 +1;

Legin Process (veseti, c/ki) it reset i "1' the come ker3 <= 0. elsit vising-eolge (clk-i) then

it counters = 128 000 then counters <= 0

counter3 = com kr3 +1; end it;

end proces

vert-0 <= '1' When counter3 < 60000 else '0':

JULINE_0 (= '1' when (lown fer3) = 10 000 and counter3 < 65 000) Man OV (lounter3 >= 125 000) or else '0';

YOUNGe-0 <= '1' When counter 3 >= 65000 else '0';

end circlifecture

```
Problème 2
   library icee
   use icec. Std-logic-1114. all;
   entity testbered is and testberch;
   architecture TB of test beach is
        Signal X sti, y sti stol-logic vector (3 downto 0);
                                                      V-obs, N-obs, 2-obs: Shl-logic;
        Signal VIX State
         component comp is
                              x, y: in std-logic-vector (3 downto 0);
V, N, Z: OLL Std-lgic);
         end component:
   begin
         mup1: comp
                  port map ( X => X. Sh,
                                y=> y-sh,
                                N => 1V-065,
                                2 => 2 - obs );
          X_sh (= "1001
          y-sh = "1001"
          wait 10 ns; assert (Vasco) report ("Over flow are dean chilling identiques")
                                                                               Sevenity ERROR
          CISSER! (IV-obs = '0') report ("Negatil arec
assul (12-obs = '1') report ("Resultat>0
          X Sti <= "1000";
          assert (v-ols='1') report ("Pas d'over flow si x< y") severily ERROR;
          USSERT (Nots='0') report ("Pas négatif avec X<Y")
MSSERT (Zobs='0') report ("Résultat=0 avec "")
          assert (Z -obs='0') report ("Résultat = 0 avec "
          Y- Sh <= "0011"
          assert (11-obs = 101) report ("Résultat = 0 avec x>y") Severity ERROR;
          asset (Nos = '0') report ("Overflow avec X>y")
    end with helma:
                                                                0)
   b process
                                                                 process
              CK-sh (= 11.
                                                                       reset stir= 1;
                                                                      Whit for Zons;
reset-stit='0';
              wait for CIK-period/2;
             elk-stir='o':
wait for elk-period 12;
                                                                      Want.
       end process
                                                                end process;
=> arec clk-period do him & comme
           constant clk-period : time : = 1075;
```

