ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

<u>การทดลองที่ 4</u> วงจรบวก – ลบเลขฐานสอง 8 บิต พร้อมแสดงผลเลขฐานสิบหก บนจอ 7-Segment ด้วยวิธี Schematic บนบอร์ด FPGA

<u>วัตถุประสงค์</u>

1. เพื่อให้นักศึกษาออกแบบวงจรเลขคณิตสำหรับการบวกและการลบด้วยวิธีวาดผังวงจร (Schematic Design)
2. เพื่อให้นักศึกษาเข้าใจการแทนจำนวนที่ติดลบด้วยระบบสองส่วนเติมเต็ม (Two's Complement)
3. เพื่อให้นักศึกษาออกแบบวงจรถอดรหัสเลขฐานสิบหกไปเป็นสัญญาณขับจอ 7-Segment
4. เพื่อให้นักศึกษาเข้าใจหลักการแสดงผลแบบแบ่งเวลา (Time-Multiplexed Display) และการใช้สัญญาณนาฬิกาแบ่งความถี่
5. เพื่อให้นักศึกษาฝึกการออกแบบวงจรแบบลำดับชั้น (Hierarchical Design) โดยสร้างบล็อกย่อยแล้วเรียกใช้ซ้ำ
6. เพื่อให้นักศึกษาฝึกใช้งานบอร์ด FPGA รุ่น EDGE Spartan 7

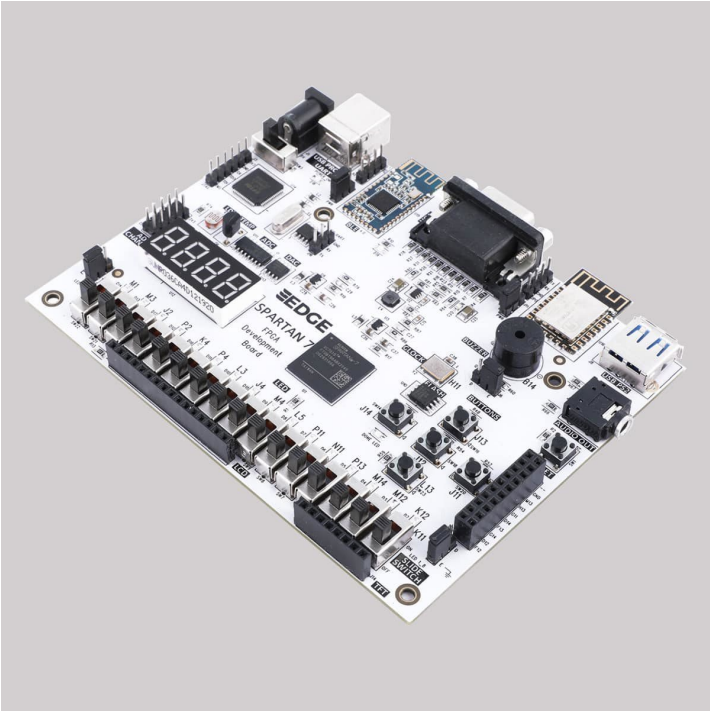
** หมายเหตุ ให้อ่านเอกสารการทดลองและเอกสารประกอบให้ครบก่อนเริ่มทำการทดลอง **

<u>บทนำ</u>

การทดลองที่ผ่านมา นักศึกษาได้ออกแบบวงจรเชิงผสมขนาดเล็กที่มีอินพุตและเอาต์พุตเพียงไม่กี่เส้น การทดลองนี้ขยายขนาดของวงจรขึ้นอย่างมีนัยสำคัญ โดยรับตัวเลขขนาด 8 บิตสองชุดจากสวิตช์เลื่อน คำนวณผลบวกหรือผลลบ แล้วแสดงผลลัพธ์เป็นเลขฐานสิบหกบนจอ 7-Segment จำนวน 4 หลัก แนวคิดใหม่ที่นักศึกษาจะได้เรียนรู้ในการทดลองนี้มีสามเรื่อง ได้แก่

- **การออกแบบแบบลำดับชั้น (Hierarchical Design)** วงจรทั้งหมดมีเกตรวมกันเกินหนึ่งร้อยตัว หากวาดเรียงกันทีละเกตในผังเดียวจะไม่มีทางเสร็จภายในคาบเรียน วิธีที่ถูกต้องคือสร้างวงจรย่อยที่ใช้ซ้ำได้ บันทึกเป็นสัญลักษณ์ (Symbol) แล้วเรียกใช้ซ้ำหลายครั้ง เช่น วงจร Full Adder ขนาด 1 บิต วาดเพียงครั้งเดียวแต่ถูกเรียกใช้ 8 ครั้ง ในการทดลองนี้การใช้บล็อกลำดับชั้นถือเป็นข้อบังคับ ไม่ใช่ทางเลือก
- **การลบด้วย Two's Complement** วงจรลบไม่จำเป็นต้องออกแบบขึ้นใหม่ทั้งชุด เพียงกลับบิตของตัวกระทำแล้วบวกหนึ่ง ก็จะได้วงจรที่ทำได้ทั้งบวกและลบภายในโครงสร้างเดียวกัน
- **การแสดงผลแบบแบ่งเวลา จอ 7-Segment** ทั้งสี่หลักบนบอร์ดใช้เส้นสัญญาณ Common ร่วมกัน จึงไม่สามารถแสดงตัวเลขที่ต่างกันพร้อมกันได้ ต้องอาศัยการสลับเปิดทีละหลักด้วยความเร็วสูงกว่าที่ตาจะแยกออก ซึ่งทำให้ต้องมีวงจรลำดับการแสดงผล และสัญญาณนาฬิกาเข้ามาเกี่ยวข้องเป็นครั้งแรก

<u>บอร์ดทดลอง EDGE Spartan 7</u>



วงจรดิจิตอลในปัจจุบันมีความซับซ้อนสูงทำให้การปรับแก้ไขวงจรทำไม่สะดวก การลากสายไฟการติดตั้งไอซีเกตเพิ่มเติมเพื่อปรับเปลี่ยนการทำงานของวงจรทำได้ยาก จึงมีการใช้ไอซีที่สามารถโปรแกรมวงจรได้ ซึ่งมีหลายแบบไม่ว่าจะเป็น Generic Logic Array (GAL), Programmable Array Logic (PAL), Programmable Logic Device (PLD), Complex Programmable Logic Device (CPLD) และ Field Programmable Gate Array (FPGA) ซึ่งล้วนแต่มีลักษณะที่แตกต่างกัน ทั้งขนาดจำนวนเกต ภาวการณ์คงอยู่ของโปรแกรม/ข้อมูล การโปรแกรม โดยการทดลองนี้ใช้งาน FPGA

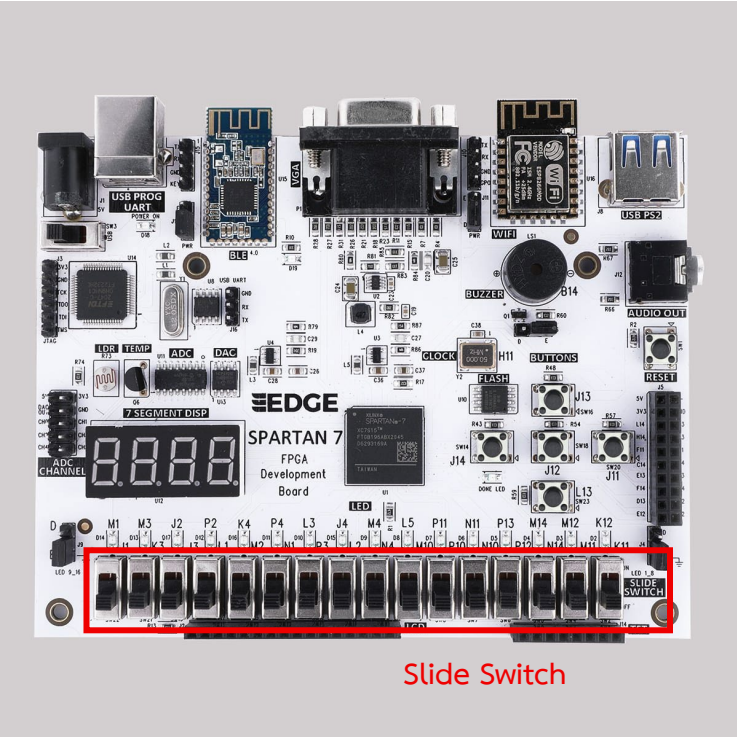
FPGA มีหลายบริษัทเป็นผู้ผลิตแต่มีสองบริษัทใหญ่คือ Xilinx กับ Altera โดยตระกูลผลิตภัณฑ์ของ Xilinx ที่นิยมกันคือตระกูล Spartan รุ่นเทคโนโลยีขนาด 45nm และตระกูล Virtex รุ่นเทคโนโลยีขนาด 28nm ทางด้าน Altera ตระกูลผลิตภัณฑ์ที่นิยมคือตระกูล Stratix รุ่นเทคโนโลยีขนาด 40nm และ 28nm การทดลองในวิชานี้ใช้ Xilinx Spartan 7 รุ่นเทคโนโลยีขนาด 28 nm

ทั้งนี้ Spartan-7 ที่ใช้ในการทดลองคือรุ่น XC7S15 FTGB196 มีความจุขนาด 12,800 เกต จำนวนเกตยิ่งมากยิ่งสามารถสร้างวงจรที่มีขนาดใหญ่และซับซ้อนได้ จุดอ่อนที่ต้องระมัดระวังของ FPGA คือมีอายุการใช้งานจำกัด จากนั้นต้องเปลี่ยนไอซี FPGA ใหม่ การเขียนโปรแกรมลง FPGA ทำได้โดยใช้สายซึ่งใช้มาตรฐานการเชื่อมแบบ Joint Test Action Group (JTAG) และส่งผ่านโปรแกรมด้วย USB to JTAG

ทฤษฎีที่เกี่ยวข้อง

1. สวิตช์เลื่อน (Slide Switch)

บอร์ดมีสวิตช์เลื่อนแบบ SPDT จำนวน 16 ตัว ต่อเข้ากับขาของ FPGA ผ่านตัวต้านทานป้องกันการลัดวงจร สวิตช์แต่ละตัวให้ระดับลอจิกคงที่คือ “1” หรือ “0” ตามตำแหน่งที่เลื่อน

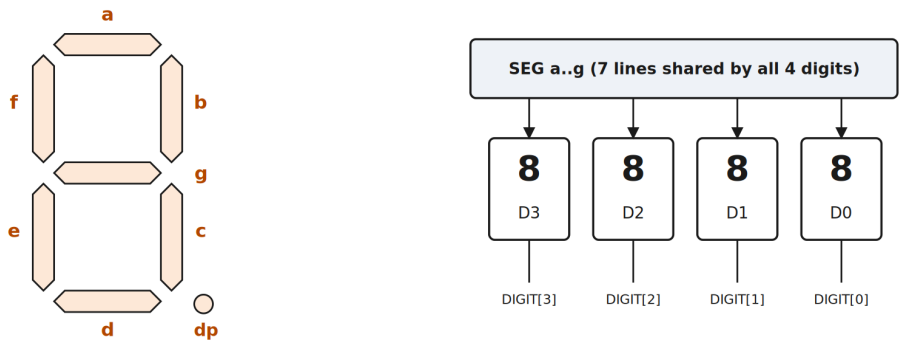


2. จอแสดงผล 7-Segment

จอแสดงผลเป็นแบบตัวเลข 4 หลัก ชนิดแอโนดร่วม (Common Anode) เซกเมนต์แต่ละเส้นจะสว่างเมื่อได้รับลอจิก “0” จึงเป็นการทำงานแบบ Active Low ส่วนขาเลือกหลัก DIGIT[3:0] ทำงานแบบ Active High กล่าวคือหลักใดได้รับลอจิก “1” หลักนั้นจะถูกเปิด

เนื่องจากทั้งสี่หลักใช้เส้นสัญญาณเซกเมนต์ a ถึง g ร่วมกัน จอจึงแสดงตัวเลขที่ต่างกันในสี่หลักพร้อมกันไม่ได้ ต้องเปิดทีละหลักสลับกันไปด้วยความถี่สูงพอที่ตามนุษย์จะมองเห็นเป็นภาพต่อเนื่อง โดยเฉลี่ยสายตาของมนุษย์นั้นจะเริ่มแยกการกระพริบไม่ออกที่ความถี่ประมาณ 15 HZ

4-digit common-anode display : segment names and time multiplexing



3. สัญญาณนาฬิกา

บอร์ดมีออสซิลเลเตอร์ความถี่ 50 เมกะเฮิรตซ์ ต่อเข้าที่ขา H11 ของ FPGA ความถี่นี้สูงเกินกว่าจะใช้ขับการสลับหลักได้โดยตรง จึงต้องผ่าน **“วงจรหารความถี่”** ก่อน

4. วงจรหารความถี่

สัญญาณนาฬิกาของบอร์ดมีความถี่ 50 เมกะเฮิรตซ์ ในขณะที่อัตราการสลับหลักที่เหมาะสมอยู่ในระดับหลักสิบเฮิร์ต จึงต้องแบ่งความถี่ลงมาก่อน วิธีที่ง่ายที่สุดคือใช้ตัวนับแบบทดต่อเนื่อง (Ripple Counter) ซึ่งประกอบจากฟลิปฟลอปแบบ Toggle ต่อเรียงกัน โดยเอาต์พุต Q ของตัวหนึ่งทำหน้าที่เป็นสัญญาณนาฬิกาของตัวถัดไป ฟลิปฟลอปแต่ละตัวจะหารความถี่ลงครึ่งหนึ่ง

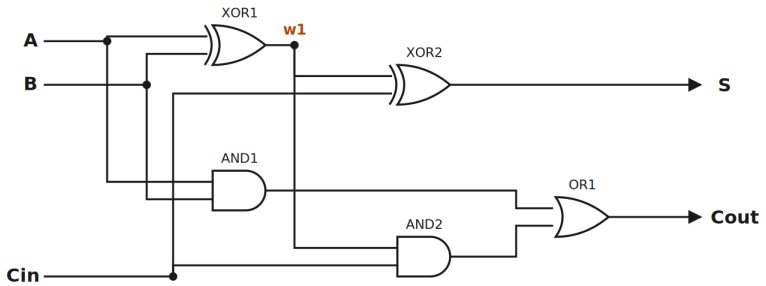
5. วงจรบวกเต็ม 1 บิต (Full Adder)

วงจรบวกเต็มรับอินพุตสามเส้นคือ A, B และตัวทดเข้า Cin แล้วให้ผลบวก S กับตัวทดออก Cout ตามสมการ

$$S = A \oplus B \oplus Cin \qquad Cout = (A \cdot B) + ((A \oplus B) \cdot Cin)$$

สังเกตว่าพจน์ $A \oplus B$ ปรากฏทั้งในสมการของ S และของ Cout จึงใช้เอาต์พุตของเกต XOR ตัวแรกร่วมกันได้ ทำให้วงจรใช้เกตเพียง 5 ตัว

FA1 : 1-bit Full Adder (5 gates)

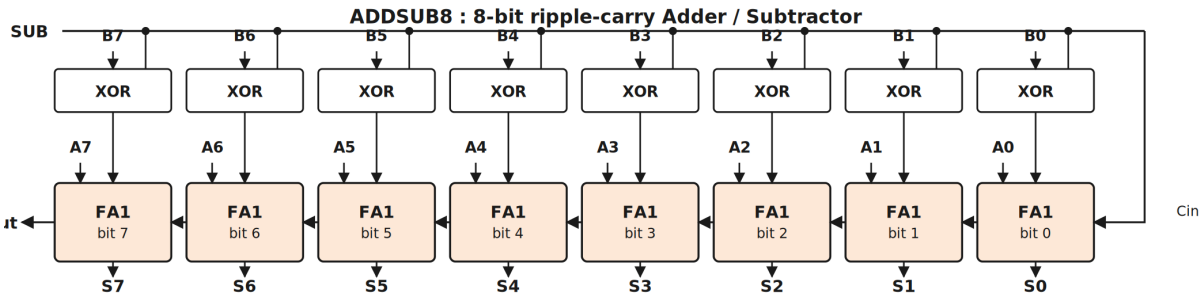


S = A XOR B XOR Cin Cout = (A . B) + (w1 . Cin)

6. วงจรบวก–ลบขนาด 8 บิต

เมื่อนำ Full Adder 1 บิต มาต่อเรียงกัน 8 ตัว โดยส่งตัวทดออกของบิตที่มีนัยสำคัญต่ำกว่าไปเป็นตัวทดเข้าของบิตถัดไป จะได้วงจรบวกแบบทดต่อเนื่อง (Ripple Carry Adder) ขนาด 8 บิต

การทำให้วงจรเดียวกันลบได้ด้วยอาศัยคุณสมบัติของ Two’s Complement กล่าวคือ A – B มีค่าเท่ากับ A + (Two’s Complement ของ B) + 1 ดังนั้นจึงนำสัญญาณ SUB มาผ่านเกต XOR กับบิตของ B ทุกบิต เมื่อ SUB เป็น “0” บิตของ B จะผ่านไปตามเดิมและวงจรทำหน้าที่บวก แต่เมื่อ SUB เป็น “1” บิตของ B จะถูกกลับค่าทุกบิต และเมื่อป้อน SUB เข้าที่ตัวทดเข้าของบิตต่ำสุดด้วย ก็เท่ากับบวกหนึ่งเพิ่มเข้าไปพอดี วงจรจึงทำหน้าที่ลบ



SUB = 0 : A + B SUB = 1 : A + (NOT B) + 1 = A - B (two's complement)

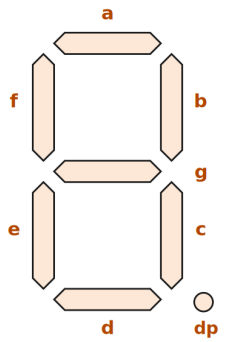
6. ตัวถอดรหัสเลขฐานสิบหกเป็น 7-Segment

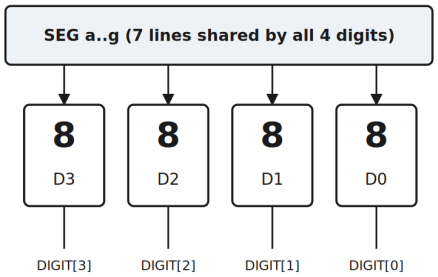
HEX7SEG รับข้อมูล 4 บิต D3 D2 D1 D0 แล้วให้สัญญาณเซกเมนต์ 7 เส้น (a-g) เนื่องจากจอเป็นแบบแอโนดร่วม เอาต์พุตที่มีค่า “0” จึงหมายถึงเซกเมนต์นั้นสว่าง

<u>การทดลอง</u>

1. ให้นักศึกษาออกแบบวงจร HEX to 7 Segment โดยมีขั้นตอนการออกแบบดังต่อไปนี้
   1.1. จงเขียนตารางค่าความจริงของ HEX to 7 Segment

4-digit common-anode display : segment names and time multiplexing





ค่า	Binary				7 Segment						
	D3	D2	D1	D0	a	b	c	d	e	f	g
0											I
1				I				I	I	I	I
2			I				I			I	
3			I	I					I	I	
4		I			I			I	I		
5		I		I		I			I		
6		I	I			I					
7		I	I	I				I	I	I	I
8	I										

ค่า	Binary				7 Segment						
	D3	D2	D1	D0	a	b	c	d	e	f	g
9	1			1					1		
A	1		1					1			
b	1		1	1	1	1					
C	1	1				1	1				1
d	1	1		1	1					1	
E	1	1	1			1	1				
F	1	1	1	1		1	1	1			

1.2. เขียน Karnaugh Map ของเซกเมนต์ a - g จากตารางข้างต้น แล้วลดรูปให้อยู่ในรูป SOP บันทึกสมการที่ได้ลงในช่องว่างด้านล่าง

a		C'D'	C'D	CD	CD'
		00	01	11	10
A'B'	00	0	1	0	0
A'B	01	1	0	0	0
AB	11	0	1	0	0
AB'	10	0	0	1	0

A'B'C'D + A'BC'D' + AB'CD + ABC'D

b		C'D'	C'D	CD	CD'
		00	01	11	10
A'B'	00	0	0	0	0
A'B	01	0	1	0	1
AB	11	1	0	1	1
AB'	10	0	0	1	0

A'BC'D + ABD' + ACD + BCD'

c		C'D'	C'D	CD	CD'
		00	01	11	10
A'B'	00	0	0	0	1
A'B	01	0	0	0	0
AB	11	1	0	1	1
AB'	10	0	0	0	0

A'B'CD' + ABC + ABD'

d		C'D'	C'D	CD	CD'
		00	01	11	10
A'B'	00	0	1	0	0
A'B	01	1	0	1	0
AB	11	0	0	1	0
AB'	10	0	0	0	1

A'B'C'D + A'BC'D' + AB'CD' + BCD

e		C'D'	C'D	CD	CD'
		00	01	11	10
A'B'	00	0	1	1	0
A'B	01	1	1	1	0
AB	11	0	0	0	0
AB'	10	0	1	0	0

A'BC' + A'D + B'C'D

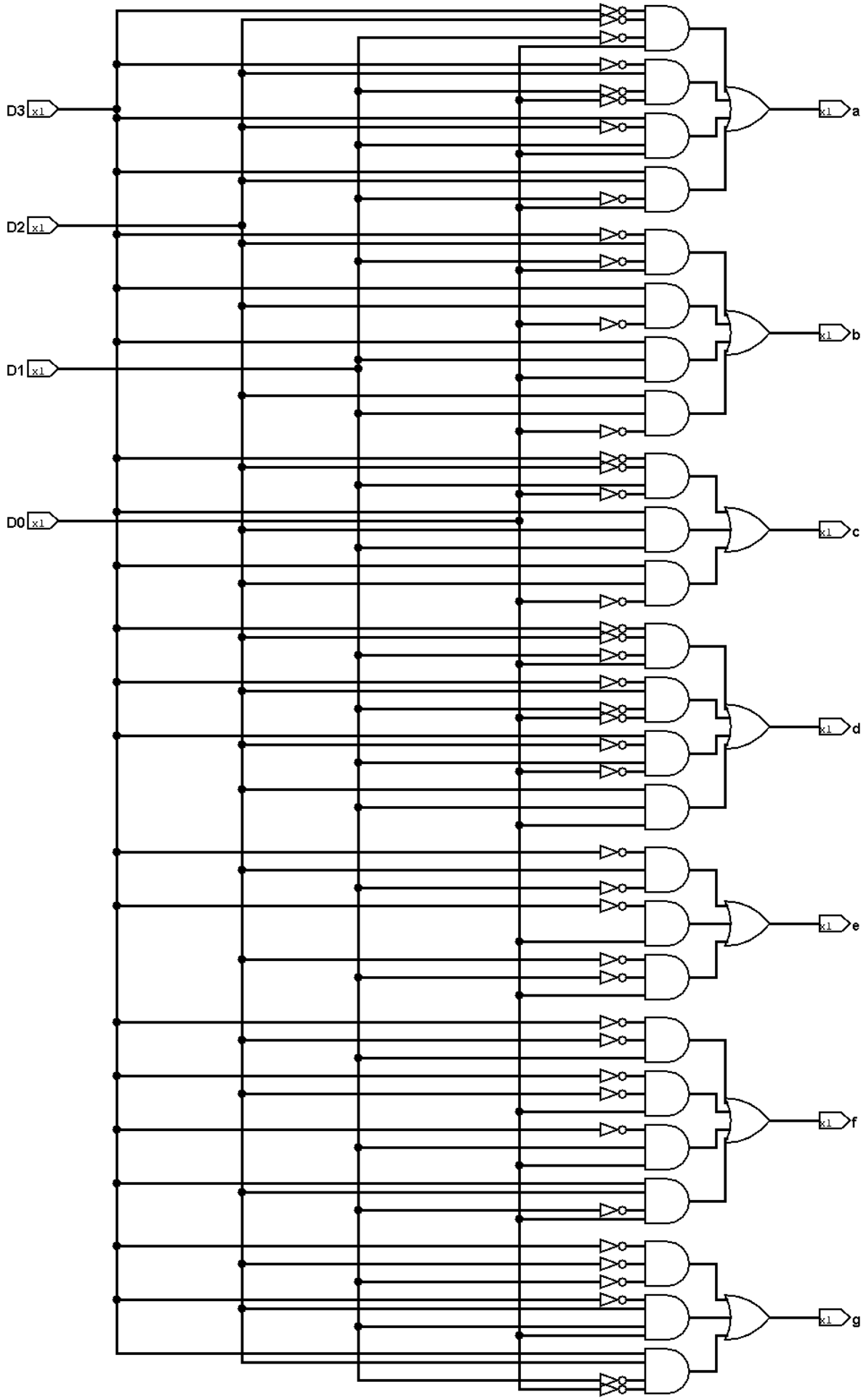
f		C'D'	C'D	CD	CD'
		00	01	11	10
A'B'	00	0	1	1	1
A'B	01	0	0	1	0
AB	11	0	1	0	0
AB'	10	0	0	0	0

A'B'C + A'B'D + A'CD + ABC'D

g		C'D'	C'D	CD	CD'
		00	01	11	10
A'B'	00	1	1	0	0
A'B	01	0	0	1	0
AB	11	1	0	0	0
AB'	10	0	0	0	0

A'B'C' + A'BCD + ABC'D'

1.3. วงจร Hex to 7Segment ที่ได้



1.4. ทดสอบการทำงานของวงจรด้วยการใช้ SW (22, 21, 19, 17) ต่อเข้าแทน D3, D2, D1, D0

1.5. บันทึกผลการทดลอง

สามารถแสดงผล 0-F ได้ปกติ

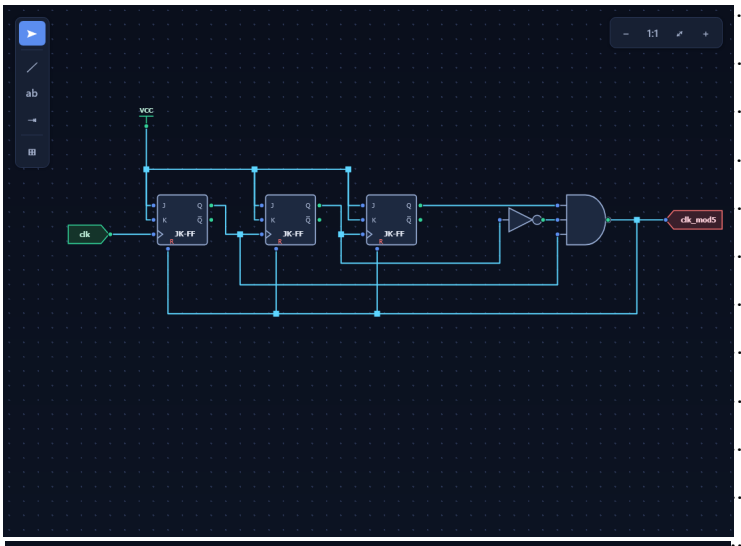
1.6. การทดลองเป็นไปตามที่ต้องการหรือไม่ เพราะเหตุใด

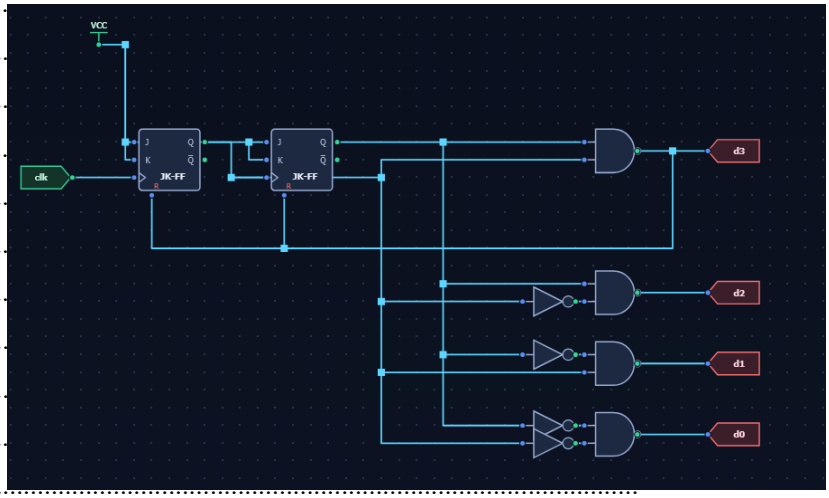
เป็นไปตามต้องการ

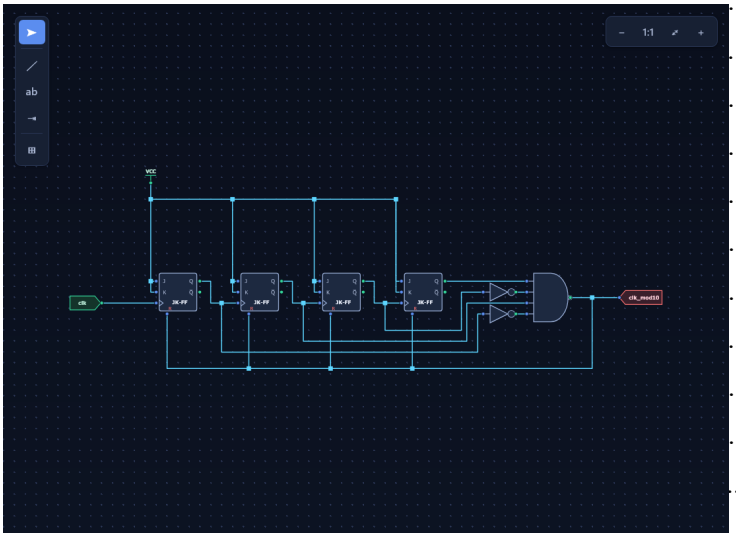
1.7. จงคำนวณความถี่การติดดับของ 7 Segment แต่ละหลัก เพื่อให้สายตามนุษย์มองเห็นแต่ละหลักเป็นคนละตัวเลขกัน

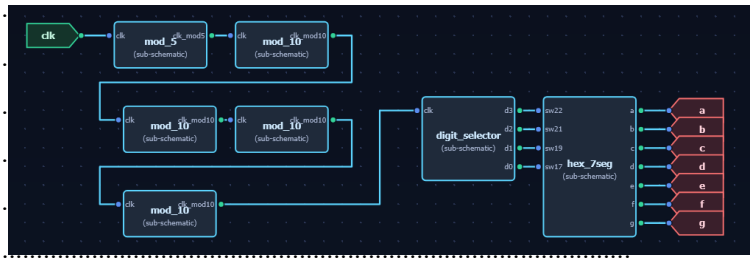
$$100 = \frac{50 \times 10^6}{5 \times 10^5} \text{ hz}$$

1.8. สร้างวงจรหารความถี่จากการคำนวนข้างต้น





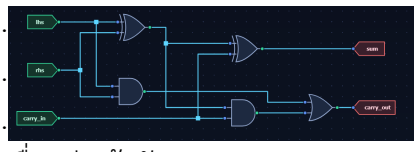




1.9. นำวงจรหารความถี่ต่อเข้ากับวงจร Hex to 7Segment แล้วทดสอบการทำงานอีกครั้ง และบันทึกผลการทดลอง

เนื่องจากนำค่าจาก วงจรความถี่ต่อเข้าตรงๆตอนนี้จึงได้ 1248 แสดงบน 7 segment

2. วาดผังวงจร Full Adder ขนาด 1 บิต โดยตั้งชื่อขาอินพุตว่า A, B, Cin และขาเอาต์พุตว่า S, Cout (กำหนดให้อินพุตใช้ Slide Switch และ เอาต์พุตใช้ LED) กำหนดให้นักศึกษากำหนดและบันทึกผล



3. จำลองการทำงาน ด้วยการเชื่อมต่อเข้ากับ Hex to 7Segment แล้วบันทึกผลลงตารางต่อไปนี้

A	B	Cin	S	Cout
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

4. บันทึกผังวงจรนี้เป็นสัญลักษณ์ชื่อ FA1 เพื่อเรียกใช้ในการทดลองข้อถัดไป
5. จากการทดลองข้างต้นเป็นไปตามทฤษฎีหรือไม่ เพราะเหตุใด
6. เรียกสัญลักษณ์ FA1 มาวาง 8 ตัว แล้วต่อตัวทดออกของแต่ละตัวเข้ากับตัวทดเข้าของบิตถัดไปตามรูป วงจรบวก–ลบขนาด 8 บิต ในการทดลองนี้กำหนดให้สวิตช์กลุ่มซ้าย SW (22, 21, 19, 17, 15, 13, 12, 11) เป็นตัวตั้ง A[7:0] และสวิตช์กลุ่มขวา SW (10, 9, 8, 7, 6, 5, 4, 2) เป็นตัวกระทำ B[7:0] โดยบิตนัยสำคัญสูงสุด (MSB) อยู่ทางซ้ายสุดของแต่ละกลุ่ม
7. เพิ่มเกต XOR จำนวน 8 ตัวเพื่อกลับบิตของ B และต่อสัญญาณ SUB เข้าที่ตัวทดเข้าของบิตต่ำสุด

8. จำลองการทำงานด้วยค่าทดสอบในตารางต่อไปนี้แล้วบันทึกผล

ข้อ	A (ฐาน 16)	B (ฐาน 16)	SUB	ผลลัพธ์	ผลที่คาดหวัง
1	0F	01	0		
2	5A	25	0		
3	FF	01	0		
4	FF	FF	0		
5	00	00	0		
6	0A	05	1		
7	05	0A	1		
8	00	01	1		
9	7F	FF	1		
10	80	80	1		

9. เหตุใดจอ 7-Segment ทั้งสี่หลักจึงแสดงตัวเลขที่ต่างกันพร้อมกันไม่ได้ และการแสดงผลแบบแบ่งเวลาแก้ปัญหานี้อย่างไร

.....

.....

.....