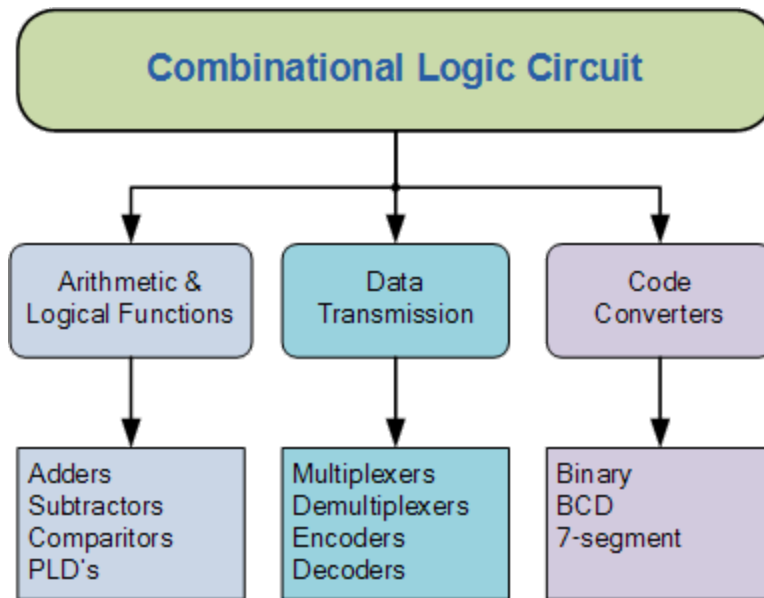


**204224 ปฏิบัติการวงจรตรรกะ****ปฏิบัติการที่ 4 วงจร Multiplexer และการประยุกต์ใช้ X-Or/X-Nor logic**

นิสิตได้เรียนรู้และประยุกต์ใช้งาน Combinational Logic Circuit หลายรูปแบบแล้ว ซึ่งสามารถแบ่งแยกกลุ่มวงจรตามหน้าที่ได้ดังรูป



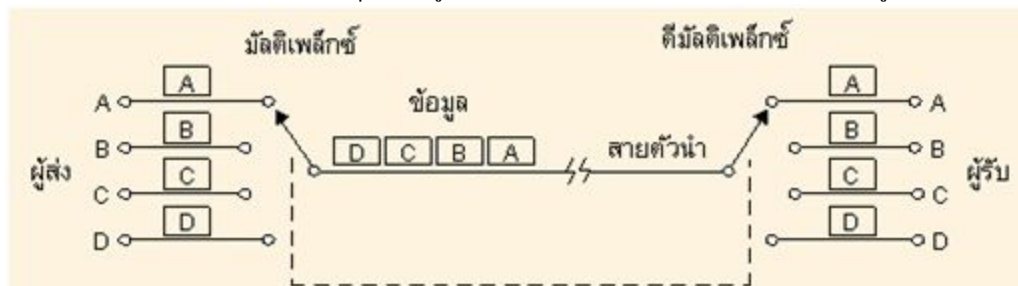
ในการทดลอง 4.1 นิสิตจะได้เรียนรู้และใช้งานวงจรลอจิก Multiplexer ส่วนในการทดลองที่ 4.2 4.3 และ 4.4 จะได้ประยุกต์ใช้วงจรลอจิกอย่างง่ายในการส่งข้อมูลของระบบการสื่อสารทั่วไป

**การทดลองที่ 4.1 Multiplexer**

**วัตถุประสงค์** เพื่อให้ นิสิตเรียนรู้วงจรลอจิก Multiplexer พร้อมการประยุกต์ใช้งาน

**ทฤษฎีที่ต้องเข้าใจ**

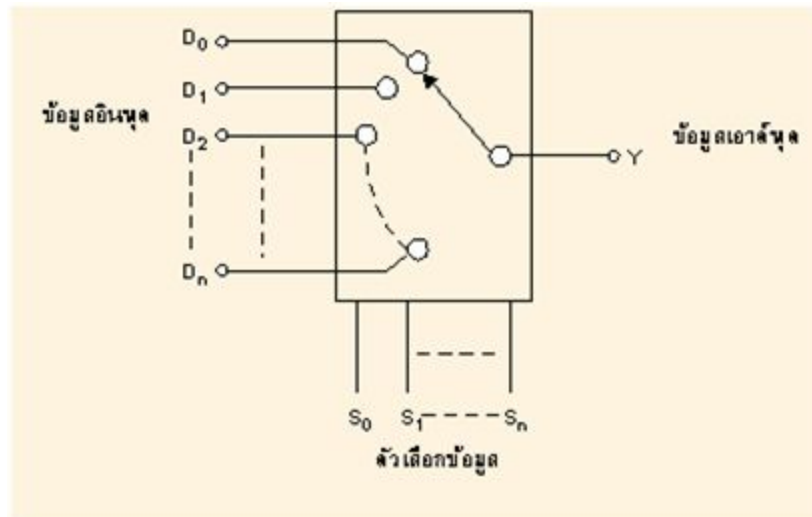
การมัลติเพล็กซ์ คือ การแบ่งเวลาว่าจะให้ข้อมูลตัวใดส่งเรียงต่อกันไปในสายตัวนำ ส่วนการดีมัลติเพล็กซ์ คือการกระจายข้อมูลที่เรียงต่อกันมาในสายตัวนำให้ไปปรากฏที่เอาต์พุตของผู้รับแต่ละตัว แสดงดังบล็อก ไดอะแกรมรูปที่ 1



รูปที่ 1 บล็อกไดอะแกรมของการมัลติเพล็กซ์และการดีมัลติเพล็กซ์

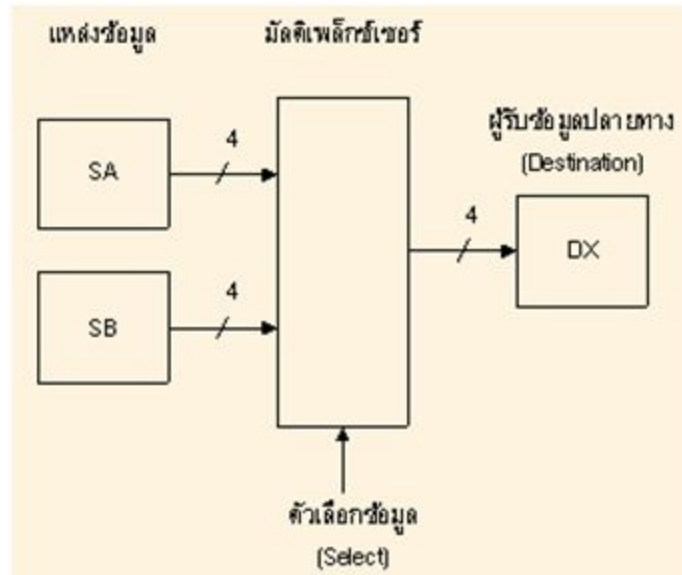
**1) วงจรมัลติเพล็กซ์เซอร์ (Multiplexer : MUX)**

วงจรมัลติเพล็กซ์เซอร์เรียกอีกอย่างหนึ่งว่าวงจรเลือกข้อมูล ทำหน้าที่เลือกหรือทำให้ข้อมูลอินพุตจากหลาย ๆ แหล่งไปปรากฏที่เอาต์พุตเพียงแหล่งเดียว แสดงดังรูปที่ 2



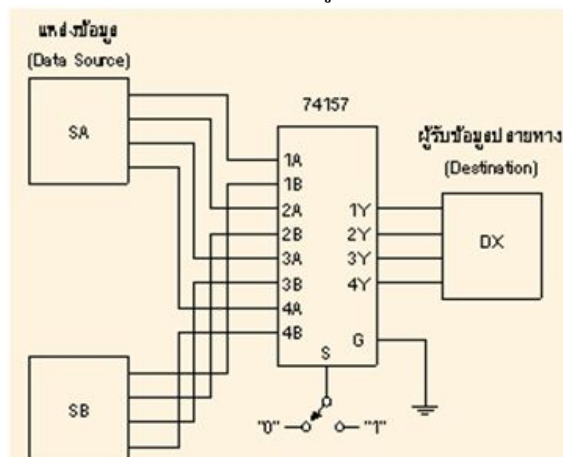
รูปที่ 2 บล็อกไดอะแกรมของวงจรมัลติเพล็กซ์เซอร์

ตัวอย่างการประยุกต์ใช้วงจรมัลติเพล็กซ์เซอร์ เพื่อเลือกข้อมูลจากแหล่งข้อมูล 2 ชุด ที่มีจำนวนบิตของข้อมูลแต่ละชุดเท่ากับ 4 บิต ตามบล็อกไดอะแกรมรูปที่ 3



รูปที่ 3 บล็อกไดอะแกรมของตัวอย่างที่ 1

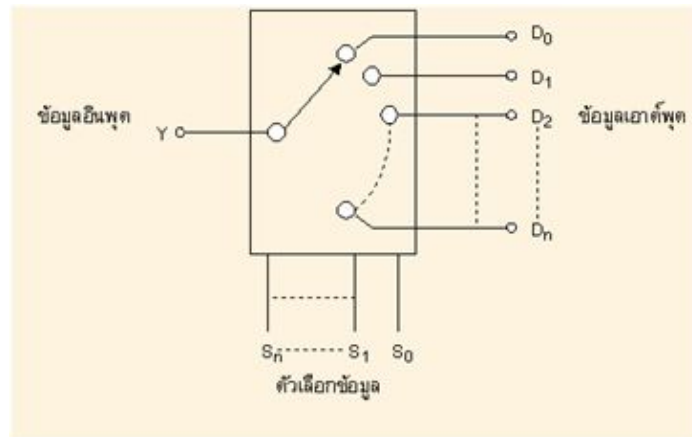
จากโจทย์ในตัวอย่างสามารถใช้ IC เบอร์ 74157 เป็น IC ที่ทำหน้าที่เลือกข้อมูลจากอินพุต 2 อินพุตให้ไปปรากฏที่เอาต์พุต ดังนั้นจึงเลือกใช้ไอซีเบอร์ 74157 แสดงวงจรดังรูปที่ 4



รูปที่ 4 วงจรเลือกข้อมูลโดยใช้ไอซีเบอร์ 74157

## 2) วงจรดีมัลติเพล็กซ์เซอร์ (Demultiplexer : DEMUX)

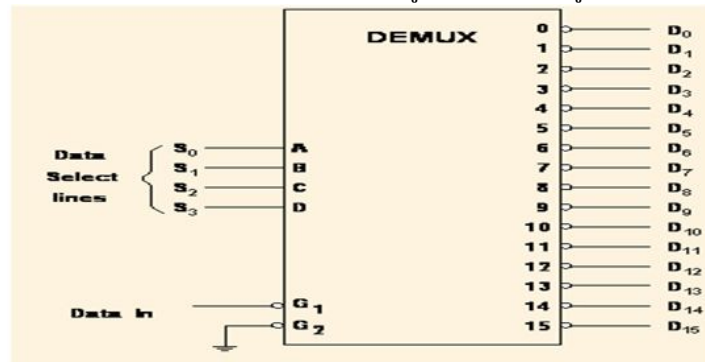
วงจรดีมัลติเพล็กซ์เซอร์ เรียกอีกอย่างหนึ่งว่าวงจรกระจายข้อมูล ทำหน้าที่ตรงกันข้ามกับ มัลติเพล็กซ์เซอร์ คือทำหน้าที่กระจายข้อมูลอินพุต 1 บิต ให้ไปปรากฏที่เอาต์พุตใดเอาต์พุตหนึ่งตามการเลือกของตัวเลือกข้อมูล ดังแสดงในรูปที่ 3



รูปที่ 5 บล็อกไดอะแกรมของดีมัลติเพล็กซ์เซอร์

ตัวอย่างการ IC เบอร์ 74154 (4-Line-to-16-Line Decoder/Demultiplexer)

ไอซีเบอร์ 74154 เป็นไอซีดีโคเดอร์ที่สามารถใช้เป็นตัวมัลติเพล็กซ์เซอร์ได้โดยให้ขา อีนาเบิล (ขา G) เป็นขาอินพุต และใช้อินพุต D, C, B และ A เป็นขาเลือกข้อมูล ดังแสดงในรูปที่ 6



รูปที่ 6 แสดงขา IC เบอร์ 74154 ทำหน้าที่เป็นดีมัลติเพล็กซ์เซอร์

- อุปกรณ์ที่ต้องใช้
- 1) โปรแกรม logicism
  - 2) อุปกรณ์ตามตาราง

No.	Description of Item	Quantity
1	NX-4i Board	1
2	7400 Quad NAND gate	1
3	7404 Hex Inverters	1
4	7408 Quad AND gate	1
5		
6		

### การทดลอง

ในงานรับน้องของคณะวนศาสตร์ซึ่งมีการแสดงเต้นรอกบองไฟแบบอินเดียนแดง และมีการประกวดมิสอินเดียนแดง ซึ่งนิสิตที่ลงเรียนวิชา 204224 ถูกกำหนดให้ไปช่วยออกแบบวงจรดิจิทัลสำหรับคัดเลือกมิสอินเดียนแดงในรอบคัดเลือก ซึ่งในรอบนี้มีนิสิตหญิงเข้าประกวดหลายคน มีการ मतการตัดสิน 2 ท่าน วิธีการตัดสินคือมิสอินเดียนแดงผู้เข้าประกวดจะถูกสัมภาษณ์จากพิธีกรทีละคน

และกรรมการทั้งสองท่านจะเป็นคนคัดเลือกโดยกดปุ่ม โหวต(1)/ไม่โหวต(0) ให้กับผู้เข้าประกวดที่ได้รับการคัดเลือกจะผ่านไปรอบต่อไป เงื่อนไขการผ่าน/ไม่ผ่านเข้ารอบมีดังนี้

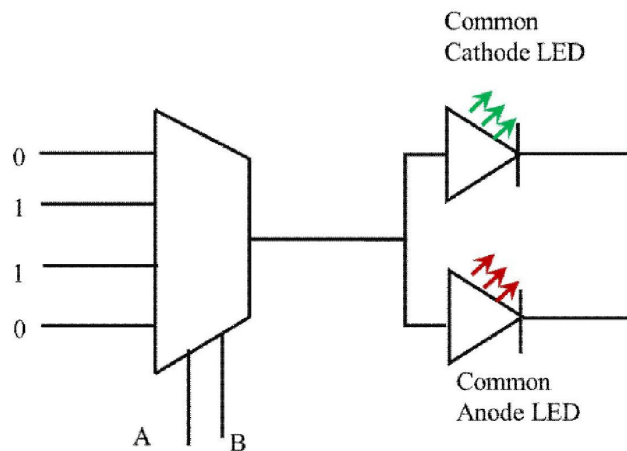
- ผู้เข้าประกวดผ่านรอบต่อไปต้องได้รับการโหวต จากกรรมการแค่ท่านเดียว
- ถ้ากรรมการโหวต 2 ท่านพร้อมกันจะถือว่าเข้าประกวดไม่ผ่าน

โดยสัญญาณไฟ LED แสดงผลว่าผ่านคือ สีเขียวสว่าง ไม่ผ่านคือสีแดงสว่าง

**แนวคิด** นิสิตลองพิจารณาจากการโหวตหรือเลือกของกรรมการทั้ง 2 คน คือกรรมการ A และ B เขียนเป็น AB ซึ่งเป็นไปได้คือ 00, 01, 10 และ 11 สมมุติกำลังพิจารณาผู้เข้าประกวดคนใดคนหนึ่ง ตามเงื่อนไขการคัดเลือก ผู้เข้าประกวดอาจจะได้รับการตัดสินดังนี้

กรรมการ A	กรรมการ B	ผลการคัดเลือก	ผลลัพธ์ทางลอจิก	ดวงไฟแสดงผล
0	0	ตกรอบ	0	ดวงไฟแดงสว่าง
0	1	ผ่าน	1	ดวงไฟเขียวสว่าง
1	0	ผ่าน	1	ดวงไฟเขียวสว่าง
1	1	ตกรอบ	0	ดวงไฟแดงสว่าง

- 1) ให้นิสิตออกแบบวงจรลอจิกทำหน้าที่เลือกผู้เข้าประกวดโดยใช้หลักการของ Multiplexer โดยให้การกดโหวตของกรรมการ A และ B เป็นการเลือกผลลัพธ์การตัดสินดังรูปที่ 7

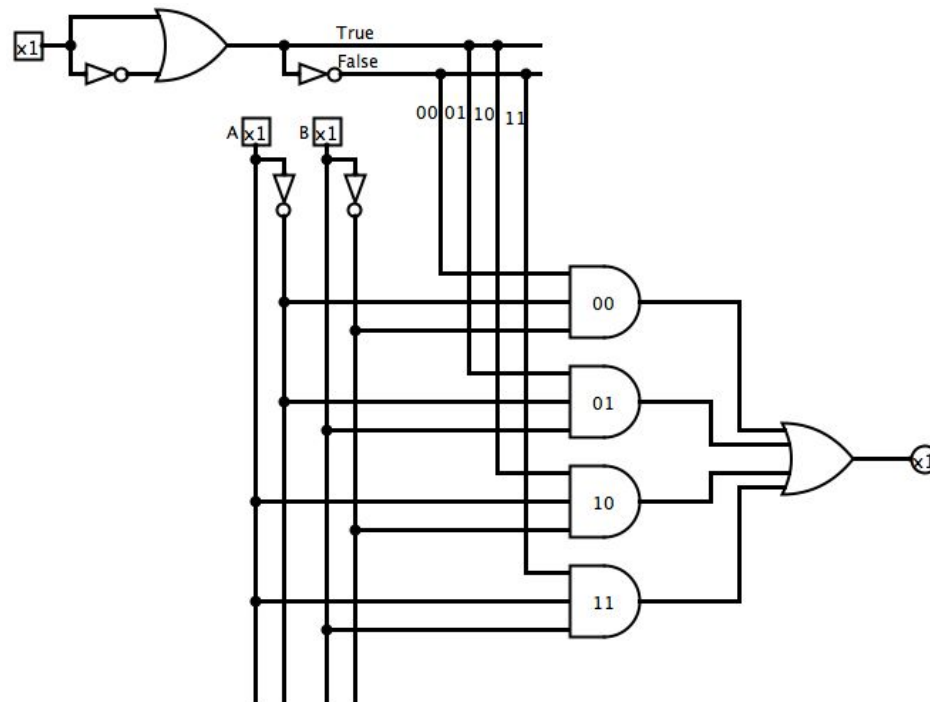


รูปที่ 7 แสดงแนวคิดการใช้หลักการ Multiplexer การโหวต

ในรูปมีอินพุตเป็นผลการคัดเลือก ซึ่งถูกเลือกโดยการโหวตของกรรมการทั้ง 2 คน ส่งผลลัพธ์ออกไปขับดวงไฟ LED สีแดงและสีเขียว (สีเขียวจะทำงานตรงข้ามสีแดงดังนั้นให้ใช้ not gate สลับลอจิกแทน )

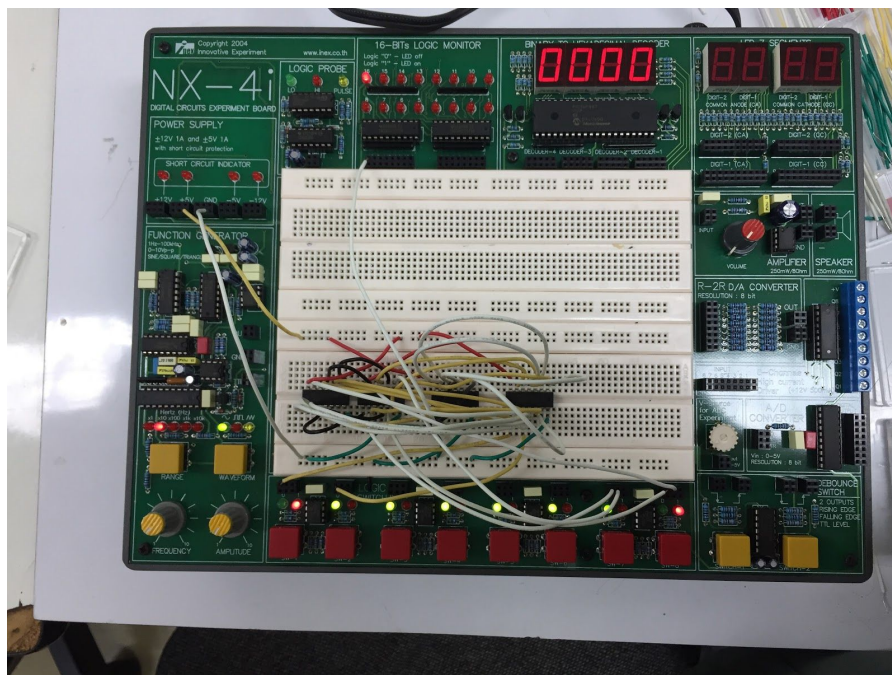
- 2) ให้นิสิตเขียน Truth Table แล้วใช้ K-map สร้างสมการ พร้อมวาดวงจรใน Logisim และจำลองการทำงาน

Input			output
A	B	V	O (สถานะไฟเขียว)
0	0	0 (ตกรอบ)	0
0	1	1 (ผ่าน)	1
1	0	1 (ผ่าน)	1
1	1	0 (ตกรอบ)	0



ภาพไดอะแกรมวงจร

- 3) จงใช้ IC ต่อวงจรวงจรที่ออกแบบ บนบอร์ดทดลอง NX-4i สอบการทำงาน ให้ตรงกับ Truth Table ที่ได้จากการจำลอง



ภาพถ่ายวงจรบนบอร์ดทดลอง NX-4i สอบ

## การทดลองที่ 4.2 Parity Generator/Checker

วัตถุประสงค์ เพื่อให้นิสิตเรียนรู้การใช้ Ex-OR และ Ex-NOR เกตในวงจรลอจิก

ทฤษฎีที่ต้องเข้าใจ

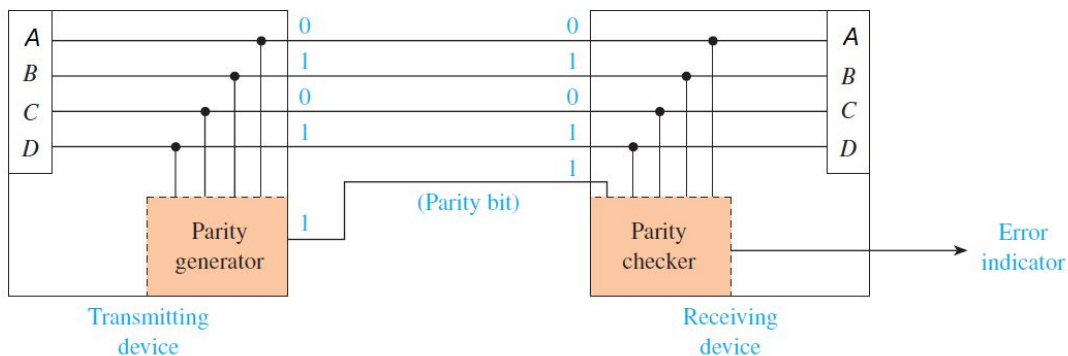
### 1) การตรวจสอบข้อมูลไบนารีของสื่อสารแบบดิจิทัล

การส่งข้อมูลไบนารีจากอุปกรณ์ดิจิทัลระบบหนึ่งไปอีกระบบหนึ่ง ระหว่างทางอาจจะเป็นไปได้ที่สัญญาณไฟฟ้ ารบกวนซึ่งส่งผลกระทบทำให้เกิดการแปลงข้อมูลไบนารีไปจากเดิม เช่นการส่งข้อมูลขนาด 4 บิต BCD 5(0101) แต่ถูกสัญญาณไฟฟ้ ารบกวนระหว่างสายส่งทำให้บิตต่ำสุด (LSB) อาจเปลี่ยนแปลงจาก 1 เป็น 0 ดังนั้นอุปกรณ์ปลายทางจะได้รับข้อมูลเป็น BCD 4 (0100) ซึ่งเป็นข้อมูลที่ผิดพลาด พาริตีบิตจะถูกนำมาใช้เพื่อการตรวจจับความผิดพลาดของข้อมูล ถ้าฝ่ายรับข้อมูลตรวจจับได้ว่าข้อมูลที่ส่งมาผิดพลาดก็จะร้องขอให้ฝ่ายส่งทำการส่งข้อมูลเดิมซ้ำมา

ระบบพาริตี (Parity System) ถูกกำหนดไว้ 2 ลักษณะคือ พาริตีคี่ (odd parity) หรือ พาริตีคู่ (even parity) ระบบพาริตีจะทำหน้าที่เพิ่มบิตเข้าไปในข้อมูลที่จะส่งในระบบ จากที่จะส่ง 4 บิตก็กลายเป็นส่ง 5 บิต ส่ง 8 บิตก็ส่ง 9 บิต เป็นต้น

ในระบบ 4 บิต เช่น BCD หรือ hexadecimal บิตที่ 5 ที่เพิ่มไปคือพาริตีบิตอาจจะเป็น 0 หรือ 1 ขึ้นอยู่กับข้อมูลใน 4 บิต เช่น ในระบบพาริตีคี่ (odd parity) บิตพาริตีที่จะเพิ่มจะต้องทำให้ผลรวมทั้ง 5 บิตเป็นค่าคี่ และระบบพาริตีคู่ (even parity) บิตพาริตีที่จะเพิ่มจะต้องทำให้ผลรวมทั้ง 5 บิตเป็นค่าคู่ ตัวอย่างดังในรูปที่ 8 ฝ่ายส่งข้อมูลส่ง BCD 5 (0101) ในสายส่ง ตัวสร้างพาริตีบิต (Parity Generator) 1 ลงในบิตพาริตี ซึ่งจะทำให้ผลรวมของทุกบิตเป็นคี่ ( $0 + 1 + 0 + 1 + 1 = 3$ )

ระบบตรวจสอบระบบพาริตี ฝ่ายส่งและฝ่ายรับจะต้องตกลงกันก่อนว่าจะใช้ พาริตีคี่หรือคู่ และจะวางบิตพาริตีไว้ที่ใด โดยจะวางที่หน้าบิตสูงสุด MSB หรือต่อท้ายบิตต่ำสุด LSB จากนั้นทั้งคู่ก็จะทำงานตามข้อตกลง (Protocol) การรับส่งข้อมูล สร้างและตรวจสอบพาริตีให้ถูกต้อง



รูปที่ 8 แสดงการตรวจสอบข้อมูลไบนารี ระบบพาริตีคี่ (odd parity) ทั้งตัวสร้างพาริตี (generator) และตัวตรวจสอบพาริตี (checker)

ในกรณีที่ข้อมูลถูกการรบกวนแล้วมีการเปลี่ยนไปจากเดิมในบิตใดหนึ่งบิต ฝ่ายรับจะทราบได้ทันทีจากระบบตรวจสอบพาริตีบิตแล้วจะแสดงผล Error indicator ให้เห็น

จะเห็นว่าระบบพาริตีนี้ใช้ตรวจสอบได้เพียงกรณีที่ข้อมูลถูกการรบกวนแล้วมีการเปลี่ยนไปจากเดิมบิตเดียว แต่ถ้ามีการเปลี่ยนแปลง 2 บิต ฝ่ายตรวจสอบคิดว่าข้อมูลส่งมาถูกต้องไม่มีข้อผิดพลาดใดๆ อย่างไรก็ตามการถูกรบกวนแล้วข้อมูลเปลี่ยนแปลงถึง 2 เป็นไปได้ยากในทางปฏิบัติ

แบบทดสอบ จงเติมพาริตีบิตที่บิตต่ำสุดโดยใช้ระบบพาริตีคู่ (even parity)

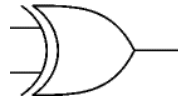
ข้อมูล 4 บิต	ข้อมูลที่เติมพาริตีบิต
0111	1
1101	1
1010	0
1111	0
1000	1
0000	0



**2) X-or และ X-nor gate****หลักการทำงานของ X-OR (EXclusive-OR)**

เอาพุท Q เป็นจริงหากอินพุทอันใดอันหนึ่งเป็นจริง เช่น A เป็นจริงหรือ อินพุท B เป็นจริง

$$Q = (A \text{ AND NOT } B) \text{ OR } (B \text{ AND NOT } A)$$



ซึ่งเหมือนกับเกท OR แต่ไม่รวมอินพุททั้งคู่ที่เป็นจริง  
เอาพุทเป็นจริงหากอินพุท A และ B มีสถานะต่างกัน

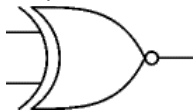
อินพุท A	อินพุท B	เอาพุท Q
0	0	0
0	1	1
1	0	1
1	1	0

**หลักการทำงานของ X-NOR (EXclusive-NOR)**

ก็คือเกท EX-OR ที่กลับเอาพุท ดังที่มีเครื่องหมาย 'o' ทางเอาพุท

เอาพุท Q เป็นจริงหากอินพุท A และ B มีสถานะเหมือนกัน (เป็นจริงหรือไม่จริงทั้งคู่)

$$Q = (A \text{ AND } B) \text{ OR } (\text{NOT } A \text{ AND NOT } B)$$



อินพุท A	อินพุท B	เอาพุท Q
0	0	1
0	1	0
1	0	0
1	1	1

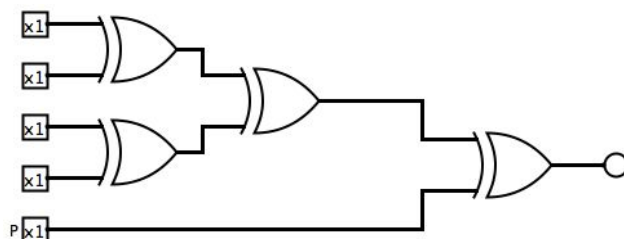
**การทดลอง** สร้างและจำลองตัวสร้างพาริตีบิตและ ตัวตรวจสอบพาริตีบิต (Parity Generator/Checker)

**อุปกรณ์ที่ต้องใช้** โปรแกรม logicism ไม่ต้องต่อบอร์ดทดลองจริง

1. สมมุติให้การส่งข้อมูลดิจิทัลขนาด 4 บิต (ABCD โดย A คือบิตสูงสุด D คือบิตต่ำสุด) จงออกแบบวงจรสร้างพาริตีบิตทั้งแบบ พาริตีคี่และพาริตีคู่ โดยใช้ X-OR เกต และ/หรือ X-NOR เกต

**สมการลอจิก**พาริตีคี่  $P = \dots\dots\dots (A \text{ X-OR } B) \text{ X-NOR } (C \text{ X-OR } D) \dots\dots\dots$ พาริตีคู่  $P = \dots\dots\dots (A \text{ X-OR } B) \text{ X-OR } (C \text{ X-OR } D) \dots\dots\dots$ 

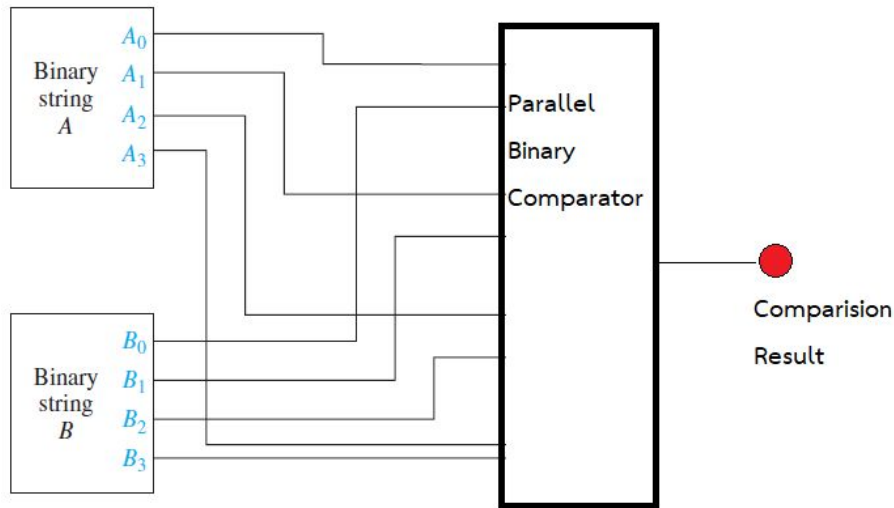
2. สมมุติให้การรับข้อมูลดิจิทัลขนาด 4 บิตที่มีพาริตีบิตเสริมมาด้วยอีก 1 บิต จงออกแบบวงจรตรวจสอบพาริตีบิตแบบ พาริตีคี่ โดยใช้ X-OR เกต และ/หรือ X-NOR เกต แล้วจำลองการทำงานบนโปรแกรม Logisim ให้นิสิตทดสอบโดยต่อวงจรสร้างพาริตีบิตและวงจรตรวจสอบพาริตีบิตเข้าด้วยกันตามรูปที่ 1 แล้วทดสอบการทำงาน โดยให้สมมุติการส่งข้อมูลผิดพลาดที่ฝ่ายรับให้ใส่ลอจิกขาเข้าเป็นค่าลอจิกอื่นที่ตรงข้ามข้อมูลบิตที่ส่งออกมาจากฝ่ายส่ง ฝ่ายตรวจสอบข้อมูลต้องแสดงผลว่ารับส่งพลาดหรือไม่ที่ Error Indicator



ภาพไดอะแกรมวงจร

**การทดลองที่ 4.3 ออกแบบวงจร Parallel Binary Comparator****วัตถุประสงค์** เพื่อให้นิสิตเรียนรู้การใช้ Ex-OR และ Ex-NOR เกตในวงจรลอจิก**อุปกรณ์ที่ต้องใช้** โปรแกรม logicism ไม่ต้องต่อบอร์ดทดลองจริง**การทดลอง**

- 1) การตรวจสอบข้อมูลเมื่อส่งผ่านช่องทางสื่อสารสามารถทำได้หลายวิธี อีกวิธีหนึ่งที่ได้คือการเปรียบเทียบข้อมูลบิตต่อบิต ซึ่งเรียกว่า Parallel binary comparator สมมุติให้มีการเปรียบเทียบข้อมูล 4 บิต 2 ชุด คือข้อมูล A และ B อย่างละ 4 บิต นิสิตต้องออกแบบวงจรเปรียบเทียบข้อมูลทั้งสองชุด โดยถ้าข้อมูลเหมือนกันให้แสดงไฟ LED ดวงที่ 1 สว่าง ถ้าต่างกันให้ไฟ LED ดวงที่ 2 สว่างแทน นิสิตจึงสร้าง Truth table แสดงความสัมพันธ์ของ input และ output พร้อมเขียนสมการลอจิก

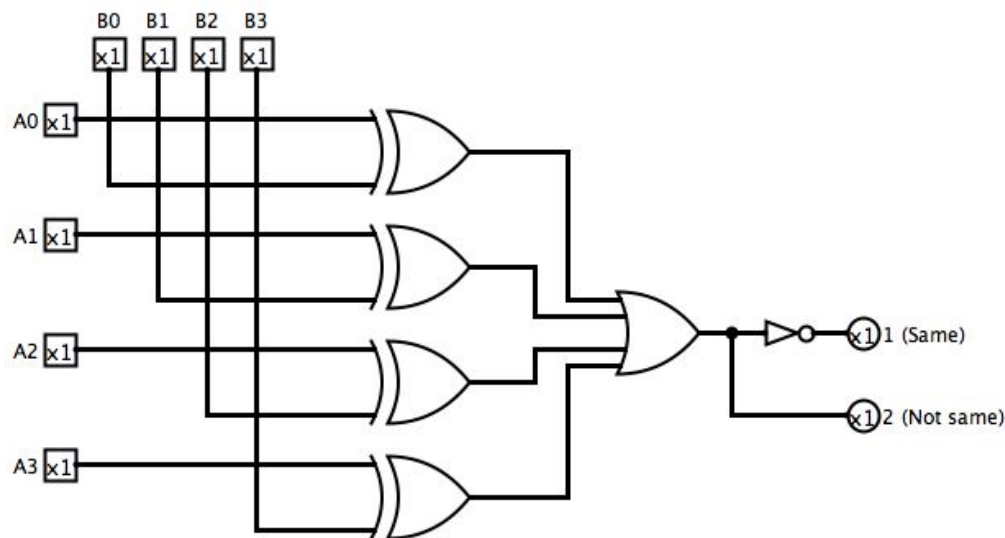


รูปที่ 8 Block diagram แสดง 4 Bit Parallel Binary Comparator

**สมการลอจิก**

$$\text{Output} = \dots\dots\dots A_0 \text{ X-OR } B_0 + A_1 \text{ X-OR } B_1 + A_2 \text{ X-OR } B_2 + A_3 \text{ X-OR } B_3 \dots\dots\dots$$

- 2) วาดวงจรใน Logisim และจำลองการทำงาน



ภาพไดอะแกรมวงจร