



Hi3520D/Hi3515A/Hi3515C 硬件设计 用户指南

文档版本 03

发布日期 2013-07-31

版权所有 © 深圳市海思半导体有限公司 2013。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址：深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址：<http://www.hisilicon.com>

客户服务电话：+86-755-28788858

客户服务传真：+86-755-28357515

客户服务邮箱：support@hisilicon.com



前 言

概述

本文档主要介绍 Hi3520D/Hi3515A/Hi3515C 芯片方案的硬件原理图设计、PCB 设计、单板热设计建议等。

本文档提供 Hi3520D/Hi3515A/Hi3515C 芯片的硬件设计方法。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3520D	V100
Hi3515A	V100
Hi3515C	V100

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。



修订日期	版本	修订说明
2013-07-31	03	第 1 章 原理图设计建议 1.2.4 内置 FE PHY 接口设计中新增网口指示灯的控制说明。 1.3.1 能耐压 5V 的管脚中将 HDMI 支持 5V 电平的管脚增加到支持 5V 的管脚表格中。
2013-06-21	02	补充 Hi3515C 的相关描述。
2013-05-21	01	第 1 章 原理图设计建议 新增 1.2.2 RTC 模块设计。 1.1.5 电源设计建议中，注意事项有更新。 1.2.12 VI 接口设计中新增“BT.656 信号与 Hi3520D/Hi3515A 对接的要求”。 第 2 章 PCB 设计建议 2.1.1 阻抗控制中新增 Hi3520D DMEB 单板实际测试阻抗。 第 3 章 单板热设计建议 新增 Hi3520D 热设计方案。
2013-04-03	00B03	第 1 章 原理图设计建议 表 1-3 中，增加 JTAG_SEL 信号及描述。 更新图 1-5。 1.2.10 模拟 DAC 接口设计，修改部分描述。 1.2.11 VI 接口设计，增加 Hi3515A 的描述。 第 3 章 单板热设计建议 3.2 散热设计参考中，删除原 Hi3520D 的散热解决方案。
2013-02-07	00B02	第二次版本发布。
2013-01-15	00B01	初稿。



目 录

前 言.....	iii
1 原理图设计建议.....	1
1.1 小系统外部电路要求.....	1
1.1.1 Clocking 电路.....	1
1.1.2 复位和 Watchdog 电路.....	2
1.1.3 JTAG Debug 接口	3
1.1.4 Hi3520D 硬件初始化系统配置电路.....	4
1.1.5 电源设计建议.....	5
1.2 Hi3520D 接口电路设计	6
1.2.1 DDR2/3 接口	6
1.2.2 RTC 模块设计	12
1.2.3 USB2.0 Host 接口	12
1.2.4 内置 FE PHY 接口设计	12
1.2.5 RMII 接口设计	13
1.2.6 FLASH 接口设计	13
1.2.7 SATA 接口设计	14
1.2.8 SPI 控制接口设计	14
1.2.9 音频接口设计.....	14
1.2.10 HDMI 输出接口设计	15
1.2.11 模拟 DAC 接口设计	15
1.2.12 VI 接口设计	16
1.3 特殊管脚说明.....	17
1.3.1 能耐压 5V 的管脚.....	17
1.3.2 不能作为 GPIO 使用的管脚	17
1.3.3 设计中未使用模块和管脚处理.....	18
2 PCB 设计建议.....	20
2.1 二层板 PCB 设计要求	20
2.1.1 阻抗控制	20
2.1.2 信号完整性	23
2.2 电源与滤波电容设计建议	24



2.2.1 Core 电源设计	24
2.2.2 DDR 1V5 电源设计	25
2.2.3 IO3V3 电源设计	27
2.3 DDR2/3 SDRAM 接口	29
2.4 网口布线设计要求	29
2.4.1 外置 RMII 布线要求	29
2.4.2 内置 FE PHY 布线要求	30
2.5 USB 接口电路设计要求	30
2.6 SATA 接口走线设计要求	30
2.7 HDMI 接口走线设计要求	30
2.8 VI 接口走线设计要求	31
2.9 VDAC 接口走线设计要求	31
2.10 PCB 信号完整性仿真设计建议	31
3 单板热设计建议	32
3.2 散热设计参考	32
3.3 电路热设计参考	33
3.3.1 原理图	33
3.3.2 PCB	34



插图目录

图 1-1 系统推荐晶振连接方式及器件参数.....	1
图 1-2 RTC 推荐晶振连接方式及器件参数	2
图 1-3 复位和 Watchdog 典型设计电路.....	3
图 1-4 JTAG 连接方式及标准连接器管脚定义	4
图 1-5 硬件初始化配置	5
图 1-6 电源上电顺序图	6
图 1-7 Hi3520D 与 DDR3 的拓扑结构图	7
图 1-8 DDR3 电源分压网络参考设计图	8
图 1-9 CLK 终端跨接匹配方式.....	9
图 1-10 地址控制线连接示意图.....	10
图 1-11 DDR_CS_N 连接示意图.....	11
图 1-12 DDR_RESET_N 连接示意图	11
图 1-13 内置 PHY 在单板上的电路.....	13
图 1-14 对讲应用 Hi3520D 主模式连接方式.....	14
图 1-15 对讲应用 Hi3520D 从模式连接方式.....	15
图 2-1 100Ω 差分线阻抗控制	21
图 2-2 90Ω 差分线阻抗控制	21
图 2-3 单端信号单边包地走线阻抗控制.....	22
图 2-4 单端信号两边包地走线阻抗控制.....	22
图 2-5 单端信号两边走信号线阻抗控制.....	23
图 2-6 主芯片背面 GND 连通性示意图	23
图 2-7 Core 电源电容数量与类型示意图	24
图 2-8 Core 电源 PCB 设计示意图	25
图 2-9 1V5 电源电容数量与类型示意图.....	26
图 2-10 1V5 电源 PCB 设计示意图	27



图 2-11 IO3V3 电源电容数量与类型示意图.....	28
图 2-12 IO3V3 电源 PCB 设计示意图.....	29
图 3-1 散热器组示意图	33



表格目录

表 1-1 JTAG Debug 接口信号	3
表 1-2 TEST_MODE 模式说明	4
表 1-3 信号描述	5
表 1-4 可对接 AD 管脚顺序	16
表 1-5 5V 耐压管脚	17
表 1-6 不能作为 GPIO 使用的管脚	17
表 1-7 未使用模块处理	18



1 原理图设计建议



说明

本文档适用于 Hi3520D、Hi3515A 和 Hi3515C，如果没有特殊说明，均以 Hi3520D 为例进行说明。

1.1 小系统外部电路要求

1.1.1 Clocking 电路

通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟电路。

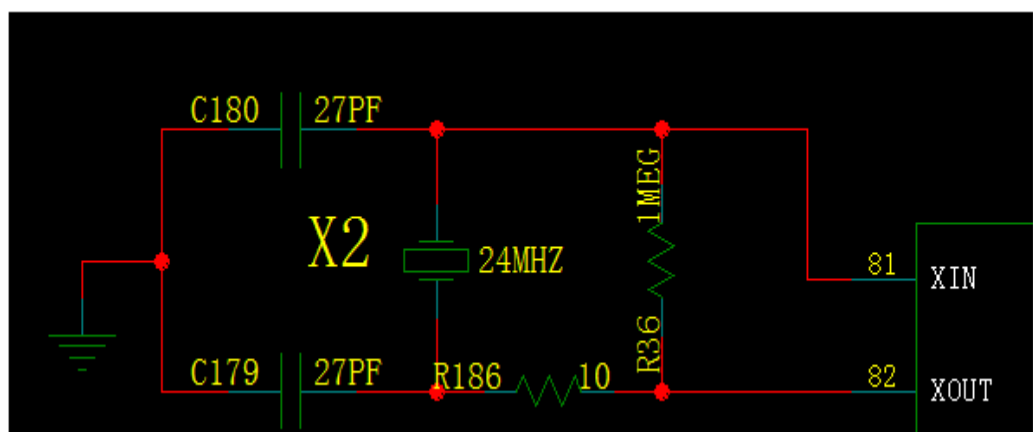
推荐晶振连接方式及器件参数如图 1-1 所示。



注意

选用的电容需要跟晶振的负载电容匹配，材质建议采用 NPO。

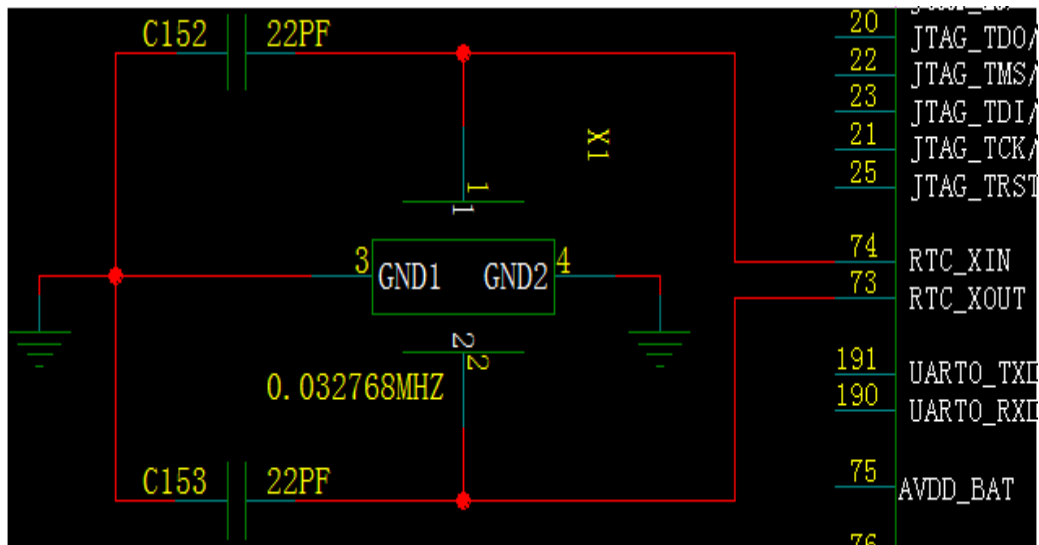
图1-1 系统推荐晶振连接方式及器件参数





另外，Hi3520D 还集成了内置 RTC，单板需要给 RTC 提供时钟电路，推荐晶振连接方式及器件参数如图 1-2 所示。

图1-2 RTC 推荐晶振连接方式及器件参数



1.1.2 复位和 Watchdog 电路

Hi3520D 的 RSTN 管脚为复位信号输入管脚，要求的复位有效信号为低电平脉冲，一般复位脉冲宽度为 100ms~300ms。

板级设计时，为了系统稳定，建议采用专用的复位芯片产生复位信号，复位 Hi3520D 系统异常时，Hi3520D 可以通过 WDG_RSTN 管脚产生低电平，因此可以把 WDGRST 管脚连接到系统复位芯片的输入上来复位整个系统。



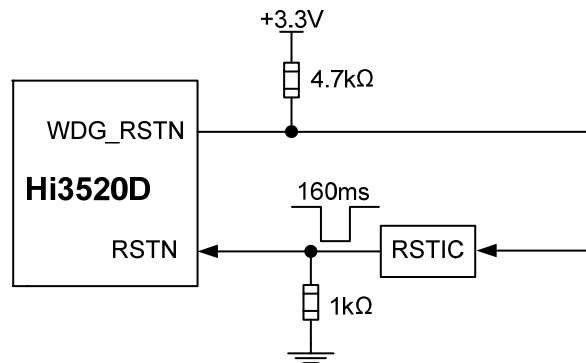
注意

需要注意的是，WDG_RSTN 管脚为 OD 输出，必须外置上拉电阻，并且 WDG_RSTN 引脚不能和 RSTN 引脚直连。

复位和 Watchdog 典型设计电路如图 1-3 所示。



图1-3 复位和 Watchdog 典型设计电路



1.1.3 JTAG Debug 接口

Hi3520D JTAG 接口符合 IEEE1149.1 标准。PC 可通过此接口连接 Realview-ICE 仿真器。JTAG Debug 接口信号描述如表 1-1 所示。

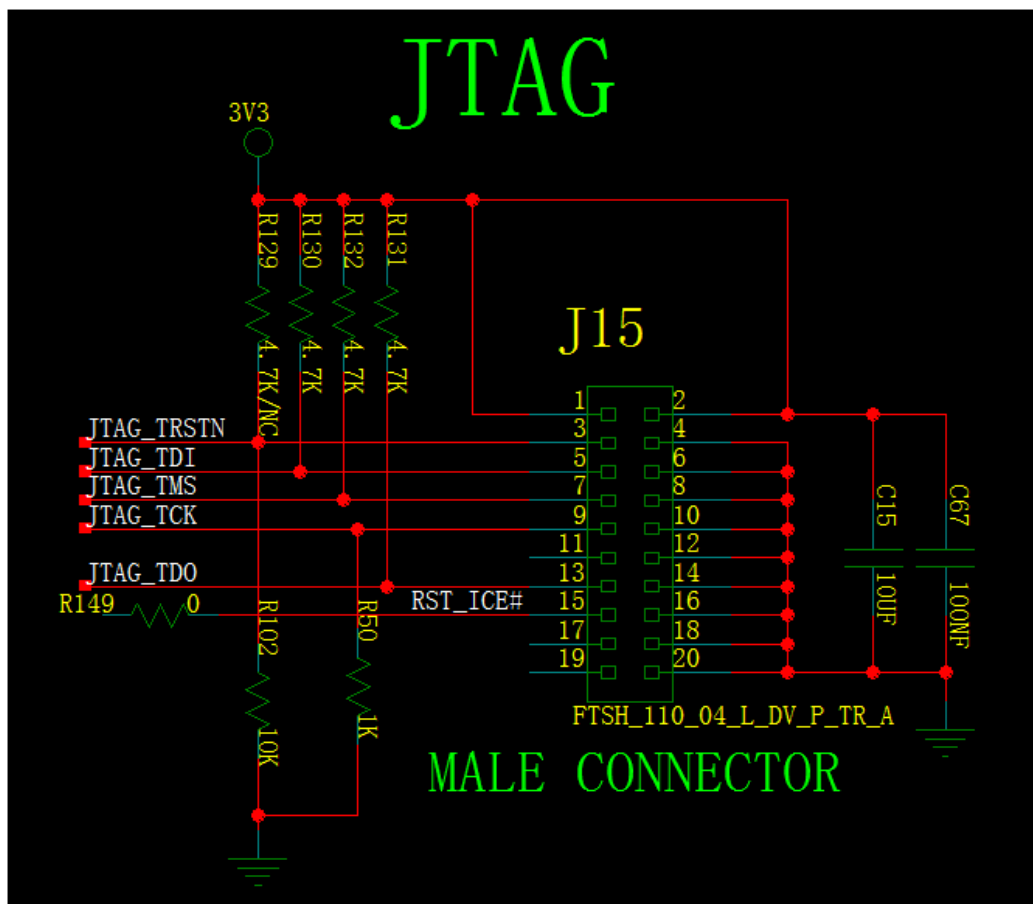
表1-1 JTAG Debug 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，芯片内部下拉。要求单板下拉。
TDI	JTAG 数据输入，芯片内部上拉。要求单板上拉。
TMS	JTAG 模式选择输入，芯片内部上拉。要求单板上拉。
TRSTN	JTAG 复位输入，芯片内部下拉。正常工作要求单板下拉。
TDO	JTAG 数据输出。要求单板上拉。

芯片外部上拉电阻、芯片外部下拉电阻的阻值请参见图 1-4。



图1-4 JTAG 连接方式及标准连接器管脚定义



Hi3520D 的 JTAG 功能管脚可以复用为 GPIO 使用，通过 JATG_EN 来配置选择。

Hi3520D 可以通过 TEST_MODE 管脚选择正常和测试两种工作模式，正常工作模式采用 10K 电阻下拉，具体说明如表 1-2 所示。EFUSE 管脚必须下拉 10K 电阻到 GND。

表1-2 TEST_MODE 模式说明

TEST_MODE	模式说明
0	Hi3520D 正常工作模式。
1	Hi3520D 处于测试模式。

1.1.4 Hi3520D 硬件初始化系统配置电路

Hi3520D 内部集成 A9 CPU，支持 SPI Flash、Bootrom 两种启动模式。

Hi3520D 可以兼容多种 SPI flash，通过 SFC_ADDR_MODE 来选择不同的地址模式。

Hi3520D 的 JTAG 功能管脚跟 GPIO 复用，可以通过 JTAG_EN 管脚来选择这些管脚的复用关系。



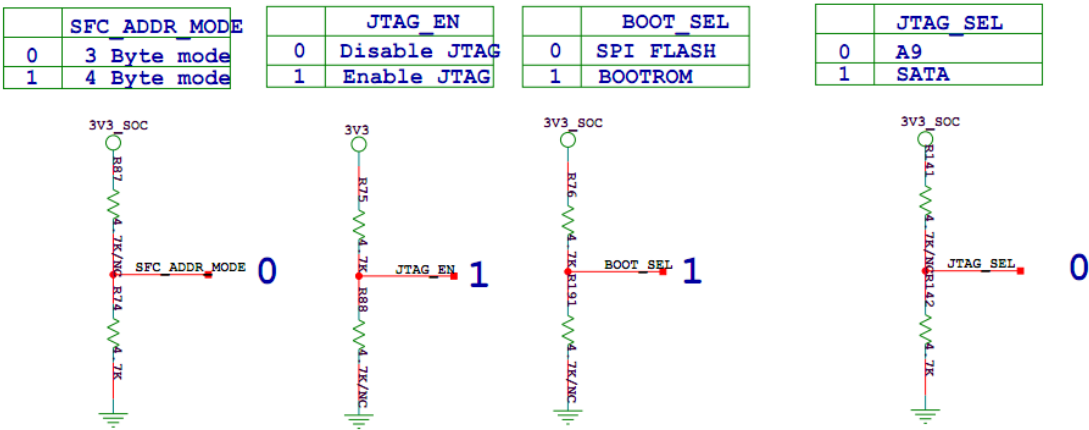
硬件配置信号描述如下表 1-3 所示。

表1-3 信号描述

信号名	方向	说明
BOOT_SEL	I	BOOT_SEL 选择。 0: SPI FLASH 1: BOOTROM
SFC_ADDR_MODE	I	SFC_ADDR_MODE 选择。 0: 3 Byte mode 1: 4 Byte mode
JTAG_EN	I	JTAG_EN 选择。 0: Disable JTAG 1: Enable JTAG
JTAG_SEL	I	JTAG_SEL 选择。 0: A9 1: SATA

在 Hi3520D 硬件初始化的过程中需要根据不同的需求对以上的参数进行配置。单板上通过上、下拉电阻实现，如图 1-5 所示。

图1-5 硬件初始化配置



1.1.5 电源设计建议

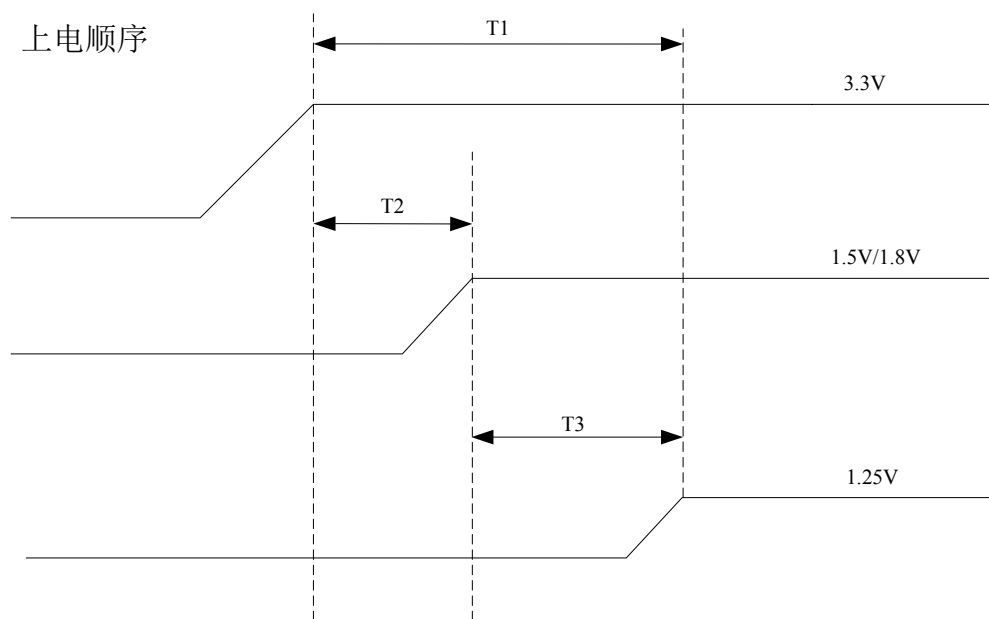
Hi3520D 芯片电源设计参数请参见《Hi3520D / Hi3515A / Hi3515C H.264 编解码处理器用户指南》2.6 节电性能参数。

Hi3520D 单板设计时，需要注意以下几点：



- CORE 电源（管脚名 DVDD12）：连接数字 1.25V 电源。DVDD12 的设计，要求选择 2A 供电能力的 DC-DC。
- IO 电源（管脚名 DVDD33）：连接数字 3.3V 电源。
- DDR 电源（管脚名 VCC15）：连接数字 1.5V 或者 1.8V（DDR3/DDR2）电源。要求与所有对接的 DDR 颗粒采用同一电源设计。
- 电源上电顺序：上电瞬间高电平始终高于低电平，即 3.3V 先稳定，1.5V/1.8V 次之，1.25V 最后稳定。具体如图 1-6。

图1-6 电源上电顺序图



其中， $0 < T1 \leq 100\text{ms}$ ， $T2 > 0$ ， $T3 > 0$ 。要求高电平电压始终比低电平电压要高。

- 要求 PLL 的电源管脚（AVDD12_PLL、AVDD33_PLL）与芯片 1.25V 和 3.3V 电源用磁珠进行隔离，磁珠规格为 1000R@100M，具体电路设计请参考 Hi3520DDMEB 板原理图。
- 各模块电源的要求请参考芯片手册中的 2.6 电性能参数章节，保证电源输出电压加上纹波噪声仍然满足芯片的需求。

1.2 Hi3520D 接口电路设计

1.2.1 DDR2/3 接口

1.2.1.1 接口介绍

Hi3520D DDR 接口支持 DDR2，接口电平标准为 SSTL-18，也支持 DDR3 标准接口，接口电平标准为 SSTL-15。

Hi3520D DDRC 有如下特点：



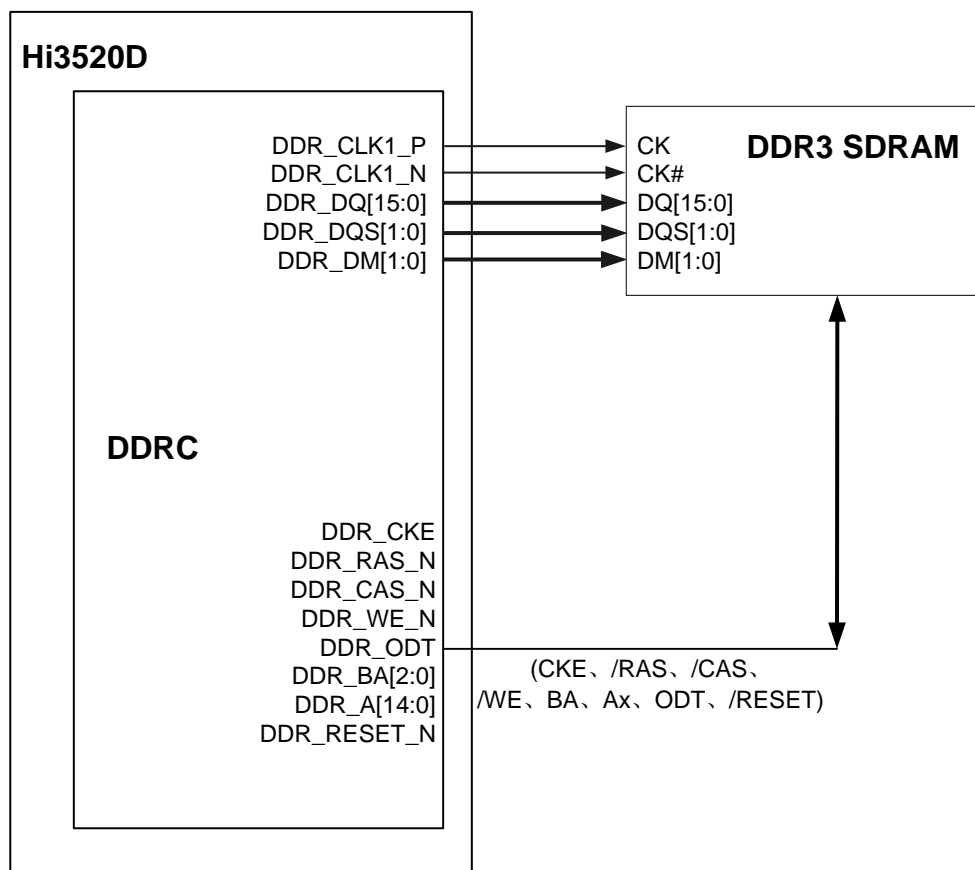
- 提供 1 个 DDRC 接口；没有片选信号，支持数据总线位宽为 16bit、地址总线位宽最大为 15bit。
- DDR2 时，DDRC 接口支持：单片主流 16bit DDR2 器件最大容量 1Gb=128MB；总线频率：400MHz~533MHz。
- DDR3 时，DDRC 接口支持：单片主流 16bit DDR3 器件最大容量 4Gb=512MB；总线频率：533MHz~660MHz；

1.2.1.2 电路设计建议

DDR 拓扑结构

Hi3520D 典型外接 DDR3 SDRAM 拓扑结构如图 1-7 所示。具体的 DDR 原理设计可以参考 Hi3520DDMEB 原理图文件。

图1-7 Hi3520D 与 DDR3 的拓扑结构图



DDR 电源设计

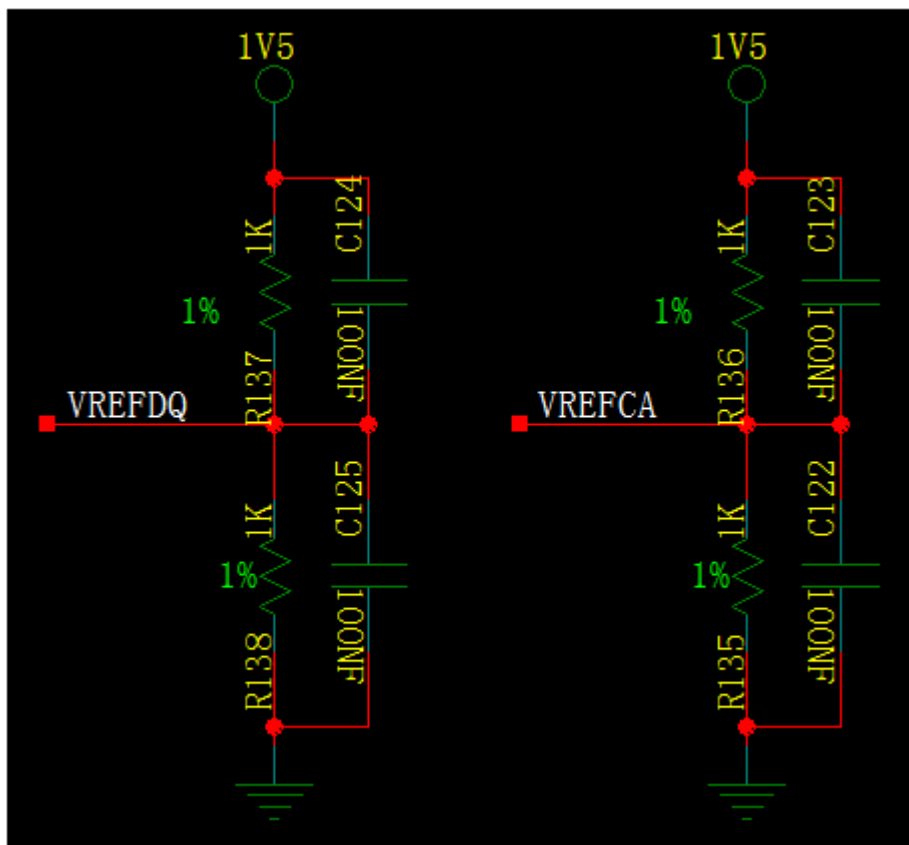
Hi3520D DDRC 及接口符合 DDR3 SSTL-15/SSTL-18 电平标准，电源需要 1.5V/1.8V，参考电压 Vref 需要 0.75V/0.9V。必须把 Hi3520D 的 1.5V/1.8V 电源与 DDR 颗粒的 1.5V/1.8V 电源统一。



要求单板上采用单独的供电芯片给 DDR3/DDR2 颗粒和 Hi3520D DDRC 1.5V/1.8V 电源管脚供电。通过 1k Ω 电阻（精度 $\pm 1\%$ ）分压提供 0.75V/0.9V 的 Vref 电压给 DDR3/DDR2 颗粒和参考电源管脚 Vref 供电，每个电源管脚和参考电源管脚旁边放 1 个 0.1 μ F 的去耦电容，VREFDQ 和 VREFCA 需要分开单独供电。

DDR3 电源分压网络参考设计如图 1-8 所示。DDR2 电源分压网络设计和图 1-8 类似，只是电源电压变为 1.8V。

图1-8 DDR3 电源分压网络参考设计图



1.2.1.3 匹配方式设计建议

DQ、DQS 双向信号

Hi3520D DDR 应用中 DQ、DQS_P/DQS_N 信号都是点对点拓扑，信号直连。

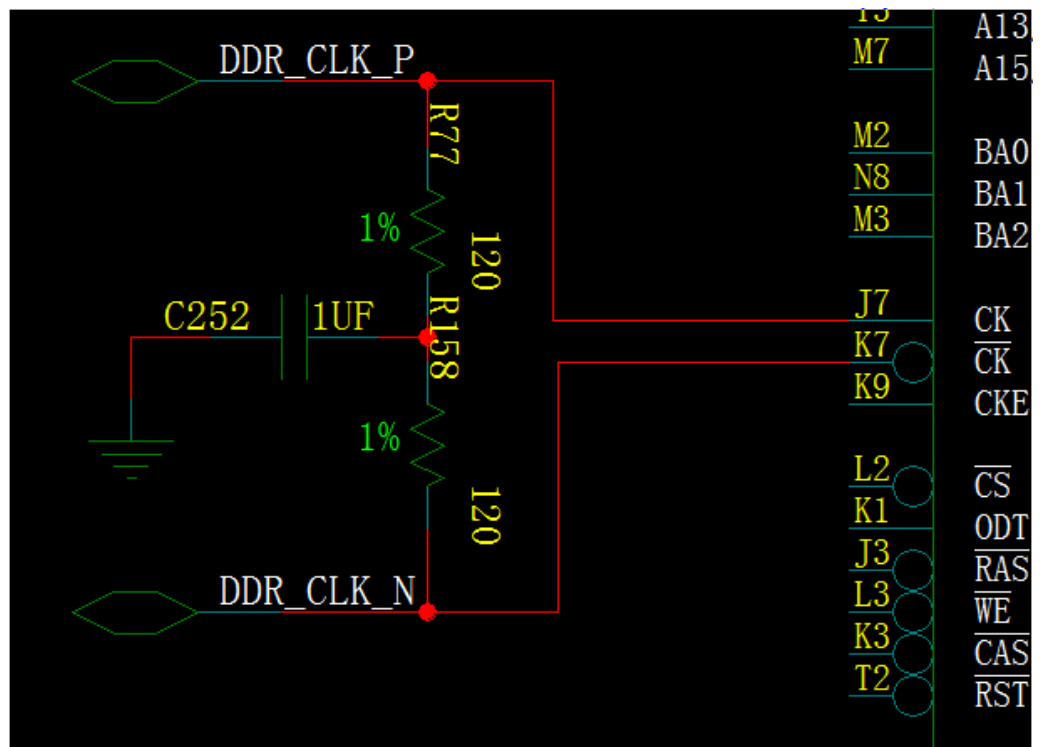
差分时钟

Hi3520D DDR 应用中差分时钟 DDR_CLK_N、DDR_CLK_P 信号都是点对点拓扑：

外接 DDR3 时：差分线之间采用终端跨接匹配方式，具体的匹配方式如图 1-9 所示，其中 120 欧姆的跨接电阻要求 1% 的精度。



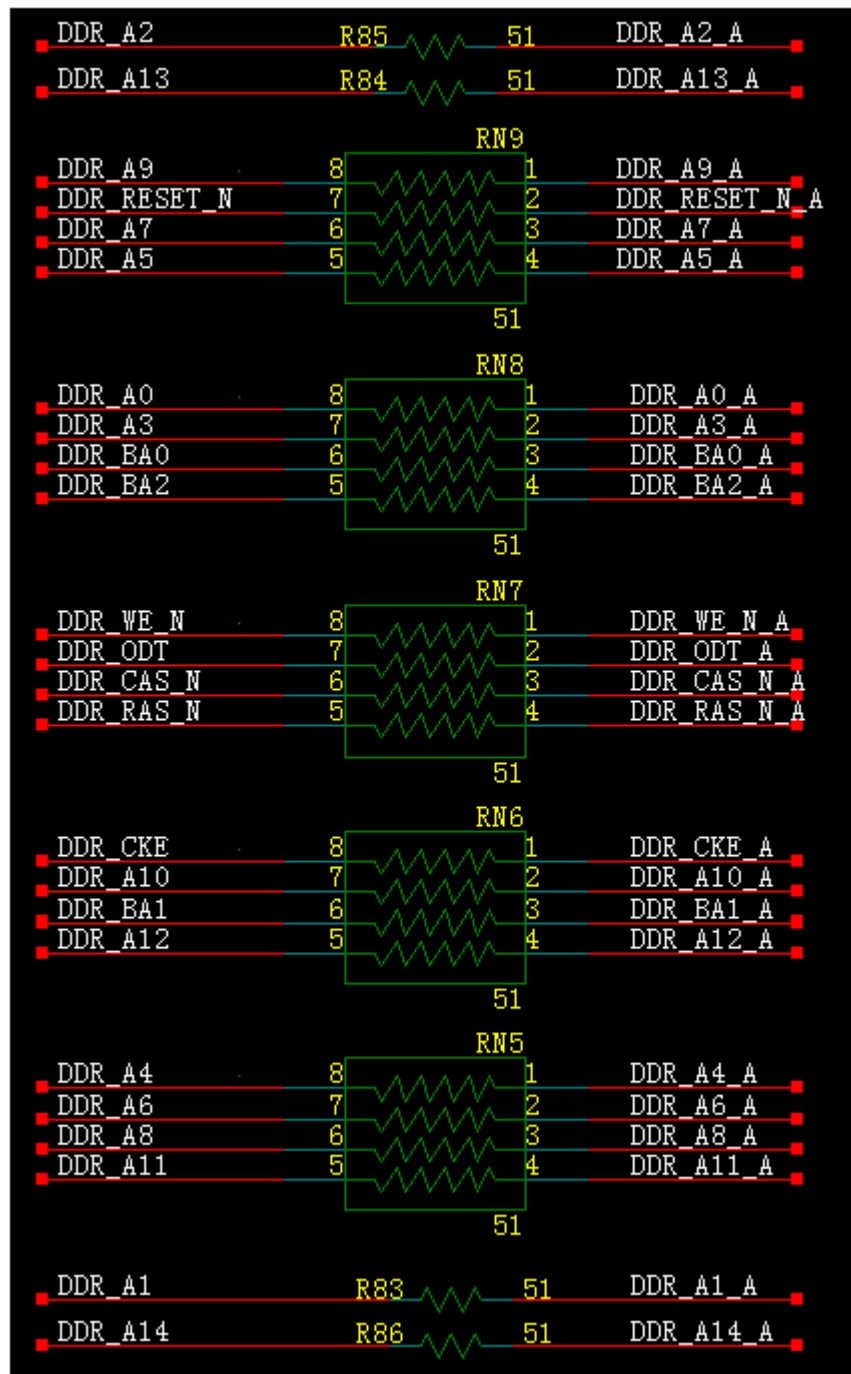
图1-9 CLK 终端跨接匹配方式



地址信号、控制信号

DDR3 和 DDR2 的地址和控制信号都是点对点拓扑，与 DDR 颗粒之间需要增加 51 欧姆串阻，如图 1-10 所示。

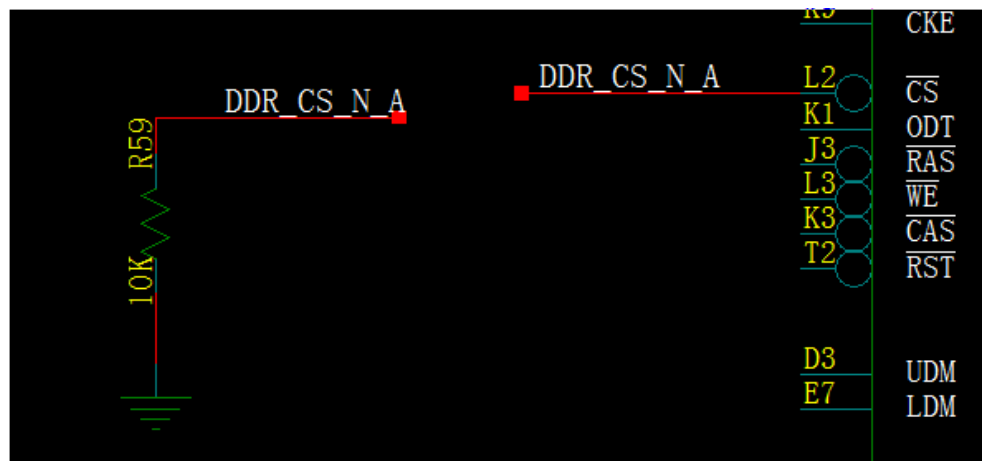
图1-10 地址控制线连接示意图



- Hi3520D 没有 DDR_CS_N 管脚，DDR 颗粒端的/CS 管脚直接 10K 电阻下拉到 GND。如图 1-11 所示。

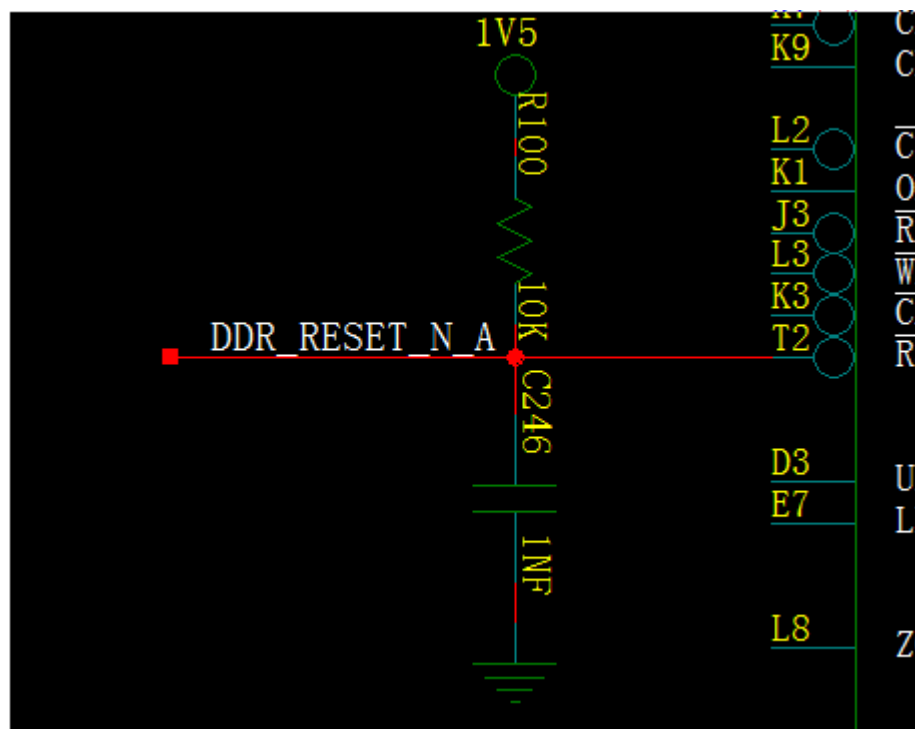


图1-11 DDR_CS_N 连接示意图



- DDR_CKE 管脚要求下拉 10K 电阻到 GND。
- DDR_RESET_N 要求上拉 10K 到 1V5，并对地增加一个 1nF 的电容。如图 1-12 所示。

图1-12 DDR_RESET_N 连接示意图



数据掩码信号

Hi3520D DDR3 和 DDR2 应用中 DM 信号都是点对点拓扑，信号直连。



DDR 颗粒外部电阻选择

对于 DDR3 来说，DDR 颗粒的外部电阻（ZQ）选择 240Ω 。

1.2.2 RTC 模块设计

内置 RTC 在固定分频模式，计时精度主要取决于外置晶体，请综合考虑晶体频率误差、温度漂移等因素，选择合适的晶体；对计时精度要求较严格的产品，建议选择外置高精度集成 RTC。

1.2.3 USB2.0 Host 接口

1.2.3.1 接口介绍

Hi3520D USB2.0 Host 支持 USB2.0 协议，支持低速、高速和全速模式。USB2.0 Host 模块在 Hi3520D 内是独立的模块，可以选择使用，不发送接收数据时，可以关闭此模块，以降低芯片功耗。

1.2.3.2 USB 电路设计建议

USB 电源设计建议

模拟电源 AVDD33_USB 要求与数字电源采用磁珠隔离，并在芯片邻近管脚摆放滤波电容。

USB 保护电路设计建议

为了满足 ESD 保护等要求，在电路设计时需要考虑在 USB 电路上设计保护电路。为了避免保护器件对 USB 走线信号造成影响，并能够达到良好的保护效果，建议 PCB 设计时采用如下原则：

- 保护器件要求紧靠 USB 连接器端口放置。
- 建议 USB2.0 高速端口保护器件的寄生电容小于 1pF ，响应时间小于 1ns 。

1.2.4 内置 FE PHY 接口设计

Hi3520D 内置集成百兆以太网 PHY，单板上需要给内置 PHY 提供 AVDD33_FE 以及 AVDD12_FE 电源。两路模拟电源要求采用磁珠与数字电源隔离，并在芯片邻近管脚摆放滤波电容。

由于芯片集成内置 PHY，单板务必做好 ESD 和浪涌防护措施。避免来自网线上的静电和雷击，直接将主芯片打坏。

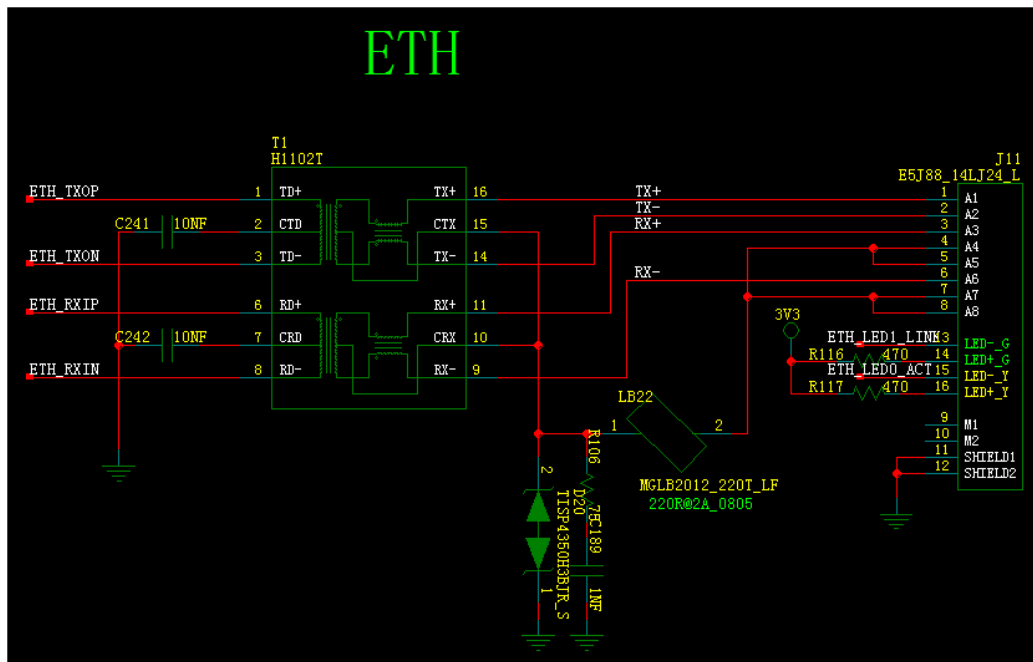
外置配置管脚 ETH_RSET 需要接 2.49K 1%精度电阻到 GND。

内置 PHY 在单板上的电路如图 1-13 所示，详细的请参考 Hi3520DDMEB 原理图。

网口指示灯的设计，芯片第 171、172 脚可以用来控制网口指示灯，具体的指示作用可以通过软件配置来实现。



图1-13 内置 PHY 在单板上的电路



1.2.5 RMII 接口设计

Hi3520D 还支持 1 路 RMII 接口，可以对接外置网口 PHY 芯片。



注意

Hi3520D 只支持 1 路 ETH，也就是说当采用内置 PHY 的时候，RMII 对接外置 PHY 将不可用；反之当采用外置 RMII 对接外置 PHY 时，内置的 PHY 将不可用，通过软件配置来切换。

1.2.6 FLASH 接口设计

Hi3520D 支持 SPI Nor Flash。

SFC（SPI Nor Flash Controller）有两个 CS 信号，用于兼容两个 CS 引脚的器件或者两个 Flash 器件的应用。



注意

如果 Hi3520D 选择从 SPI Nor Flash 进行 boot，该 SPI Nor Flash 的片选需要接到 Hi3520D 的 SFC_CS1N。



1.2.7 SATA 接口设计

Hi3520D/Hi3515A 提供了 2 个 SATA 接口（Hi3515C 只支持一个 SATA 接口），每个 SATA 口均支持 PM 功能，也支持 eSATA 功能，支持时钟门控，在不使用的情况下，可以进行 Power Down 控制降低功耗；

- SATA 接口的 AVDD12_SATA 与 AVDD33_SATA 电源需要与系统 1.25V、3.3V 电源用磁珠隔离，并在靠近芯片管脚端需要有滤波电容；
- SATA 接口的 Rx、Tx 差分信号上串接的 10nf 陶瓷贴片电容应靠近 SATA 插座，材质要求必须为 X7R；
- SATA 差分走线需要做 100 欧姆阻抗控制，走线长度要求不超过 3inch。

1.2.8 SPI 控制接口设计

Hi3520D 提供一个 SPI 的时钟信号、数据输入、数据输出管脚各一个，外加 2 个片选信号，主要用于对接具有 SPI 控制接口的外设；SPI_CLK 最高时钟频率可达 40MHz。

- 对于单负载情况，SPI_CLK 要求在源端串接 33Ω 电阻；两根数据线直连；
- 多负载情况时，SPI_CLK 建议采用菊花链的连接方式；但在设定 SPI_CLK 工作频率时，需要考虑走线延迟以及信号经过器件时的延迟，走线延迟的时间参数，1000mil 走线的延迟时间，参考值为 180ps。

1.2.9 音频接口设计

Hi3520D 提供 2 组 I²S 音频信号接口；一组输入，一组输出，同时还提供一个 MCLK 信号。当需要把 2 组 I2S 合并成一组输入输出做对讲应用时，请特别注意主模式和从模式不同的连接方式，如图 1-14 和图 1-15 所示。特别是从模式下，BCLK 和 WCLK 需要同时连接到 2 组 I2S 信号上。

图1-14 对讲应用 Hi3520D 主模式连接方式

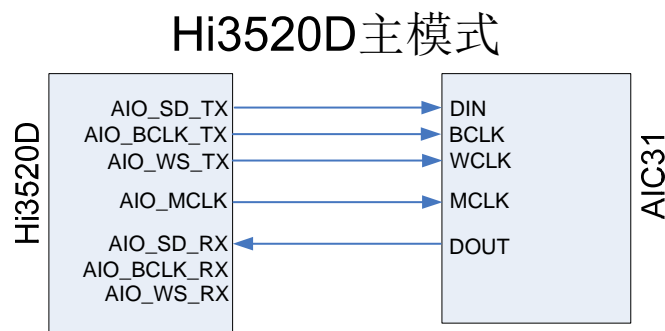
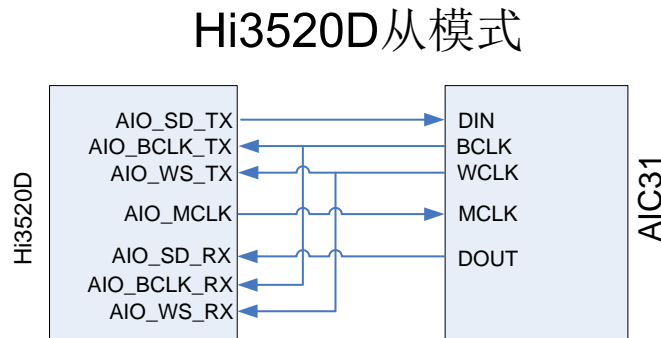


图1-15 对讲应用 Hi3520D 从模式连接方式



1.2.10 HDMI 输出接口设计

Hi3520D 自身内置了一个 HDMI PHY，能直接输出 HDMI 信号。

- 给 HDMI 接口模块供电的 1.25V，需要与系统 1.25V 隔离并在芯片管脚端有足够的滤波电容；**推荐隔离磁珠采用 1000Ω@100MHz，磁珠后面需增加 100uf/6.3V 的陶瓷电容；**
- HDMI_REXT 管脚外接参考电阻，推荐采用 1%的精密电阻 11KΩ 与 39KΩ 电阻并联；
- HDMI 四组差分信号上需要有 ESD 保护，ESD 器件靠近 HDMI 接口放置。

1.2.11 模拟 DAC 接口设计

Hi3520D 提供两组 Video DAC。

- 第一组 Video DAC 的 VDAC_R、VDAC_G 和 VDAC_B 作为 VGA 信号的输出，在设计中，注意阻抗的匹配；VDAC_COMP 外接 10nf、10uf 电容并联上拉到 AVDD33_VDAC；VDAC_REXT 外接 1%精密电阻 390Ω、3.01KΩ 电阻并联到地；详细设计见 Hi3520DDMEB 原理图；R、G、B 信号与 VGA_HS/VS 一起可输出 VGA 信号；详细设计见 Hi3520DDMEB 板原理图。
- 第二组 Video DAC 的 VDAC_CVBS0、VDAC_CVBS1 分别作为 2 路 CVBS 信号的输出，在设计中，注意阻抗的匹配；VDAC_COMPS 外接 10nf、10uf 电容并联上拉到 AVDD33_VDAC；VDAC_REXTS 外接 1%精密电阻 191Ω 电阻并联到地。
- 给两组 Video DAC 供电的 AVDD33_VDAC 需要与系统 3.3V 磁珠隔离并确保模拟 DAC 的 3.3V 电源管脚有足够的滤波电容。
- **特别需要注意：高清 PIP 与 CVBS0 复用，若需要高清 PIP 功能，则 CVBS0 无视频输出。即若需要同时支持高清 PIP 和标清 CVBS 输出，标清 CVBS 只能通过 CVBS1 来输出。**

1.2.12 VI 接口设计

在物理接口上，Hi3520D 共有 2 个 BT.656；Hi3515A/Hi3515C 只支持 1 个 BT.656。



- VIU0、VIU1 接口在物理上可作为 BT.656 输入接口。
- 支持大小端模式，DATA[0:7]的顺序可以反向；VIU_CLK 的位置可以通过复用关系来选择。可对接的 AD 管脚如表 1-4 所示。
- 两个 BT.656 接口可以合并成一个 BT.1120 接口，高低 8 位与时钟可以通过寄存器调整和配置。
- VI_ADC_CLK 可以输出 24MHz、27MHz 以及 54MHz 时钟信号，给不同的 AD 提供工作时钟。
- BT.656 信号与 Hi3520D/Hi3515A/Hi3515C 对接时，要求根据 AD 的驱动能力和走线长度，选择合适的串阻。

表1-4 可对接 AD 管脚顺序

PIN NO.	Hi3520D 管脚顺序	可对接的 AD 管脚顺序			
		DATA 正序直连	DATA 逆序	CLK 位置调整 DATA 正序	CLK 位置调整 DATA 逆序
114	VIU0_DAT7	VIU0_DAT7	VIU0_DAT0	VIU0_CLK	VIU0_CLK
113	VIU0_DAT6	VIU0_DAT6	VIU0_DAT1	VIU0_DAT7	VIU0_DAT0
112	VIU0_DAT5	VIU0_DAT5	VIU0_DAT2	VIU0_DAT6	VIU0_DAT1
111	VIU0_DAT4	VIU0_DAT4	VIU0_DAT3	VIU0_DAT5	VIU0_DAT2
109	VIU0_DAT3	VIU0_DAT3	VIU0_DAT4	VIU0_DAT4	VIU0_DAT3
108	VIU0_DAT2	VIU0_DAT2	VIU0_DAT5	VIU0_DAT3	VIU0_DAT4
107	VIU0_DAT1	VIU0_DAT1	VIU0_DAT6	VIU0_DAT2	VIU0_DAT5
106	VIU0_DAT0	VIU0_DAT0	VIU0_DAT7	VIU0_DAT1	VIU0_DAT6
104	VIU0_CLK	VIU0_CLK	VIU0_CLK	VIU0_DAT0	VIU0_DAT7
103	VIU1_DAT7	VIU1_DAT7	VIU1_DAT0	VIU1_CLK	VIU1_CLK
102	VIU1_DAT6	VIU1_DAT6	VIU1_DAT1	VIU1_DAT7	VIU1_DAT0
101	VIU1_DAT5	VIU1_DAT5	VIU1_DAT2	VIU1_DAT6	VIU1_DAT1
100	VIU1_DAT4	VIU1_DAT4	VIU1_DAT3	VIU1_DAT5	VIU1_DAT2
99	VIU1_DAT3	VIU1_DAT3	VIU1_DAT4	VIU1_DAT4	VIU1_DAT3
98	VIU1_DAT2	VIU1_DAT2	VIU1_DAT5	VIU1_DAT3	VIU1_DAT4
97	VIU1_DAT1	VIU1_DAT1	VIU1_DAT6	VIU1_DAT2	VIU1_DAT5
96	VIU1_DAT0	VIU1_DAT0	VIU1_DAT7	VIU1_DAT1	VIU1_DAT6
94	VIU1_CLK	VIU1_CLK	VIU1_CLK	VIU1_DAT0	VIU1_DAT7



1.3 特殊管脚说明

1.3.1 能耐压 5V 的管脚

5V 耐压管脚如表 1-5 所示。

表1-5 5V 耐压管脚

PIN NO.	管脚名字	耐压
115	I2C_SCL	3.3V/5.0V
116	I2C_SDA	3.3V/5.0V
190	UART0_RXD	3.3V/5.0V
191	UART0_TXD	3.3V/5.0V
29	IR_IN	3.3V/5.0V
30	SATA_LED_N0	3.3V/5.0V
31	SATA_LED_N1 (Hi3515C 只支持 SATA0)	3.3V/5.0V
27	GPIO1_0	3.3V/5.0V
28	GPIO1_1	3.3V/5.0V
131	HDMI_HOTPLUG	3.3V/5.0V
135	HDMI_CEC	3.3V/5.0V
134	HDMI_SCL	3.3V/5.0V
133	HDMI_SDA	3.3V/5.0V

1.3.2 不能作为 GPIO 使用的管脚

以下管脚因为默认功能为输出，这时复用成 GPIO 后会可能出现上电时两端都为输出的情况，造成冲突。所以表 1-6 所示的管脚不能作为 GPIO 使用。

表1-6 不能作为 GPIO 使用的管脚

PIN NO.	管脚名字
88	AIO_MCLK
85	AIO_SD_TX
69	SPI_SDO



1.3.3 设计中未使用模块和管脚处理

设计中未使用模块和管脚处理如表 1-7 所示。

表1-7 未使用模块处理

模块	管脚名字	处理方式
JTAG	JTAG_EN	下拉 4.7K 电阻
	JTAG_TCK JTAG_TMS JTAG_TRSTN JTAG_TDO JTAG_TDI	配置为 GPIO 功能，引脚设定为输出引脚，外部可悬空。
SATA (Hi3515C 只支持 SATA0)	AVDD12_SATA	需要保持供电
	AVDD33_SATA	需要保持供电
	SATA_TX0P	可悬空
	SATA_TX0M	
	SATA_RX0P	
	SATA_RX0M	
	SATA_TX1P	
	SATA_TX1M	
	SATA_RX1P	
	SATA_RX1M	
	SATA_REXT	下拉 191 Ω 1%电阻
	SATA_LED_N0	可悬空
	SATA_LED_N1	可悬空
USB	AVDD33_USB	需要保持供电
	USB0_DP	可悬空
	USB0_DM	
	USB1_DP	
	USB1_DM	
	USB_REXT	下拉 43.2 Ω 1%电阻
	USB0_OVRCUR	配置为 GPIO 功能，引脚设定为输出引脚，外部可悬空。
	USB0_PWREN	



模块	管脚名字	处理方式
	USB1_OVRCUR	
	USB1_PWREN	
FE PHY	AVDD12_FE	需要保持供电
	AVDD33_FE	需要保持供电
	ETH_RXIN	可悬空
	ETH_RXIP	
	ETH_TXON	
	ETH_TXOP	
	ETH_RSET	下拉 2.49k Ω 1%电阻
SPI	模块所有管脚	可悬空
VI	模块所有管脚	可悬空
AIO	模块所有管脚	可悬空



2 PCB 设计建议

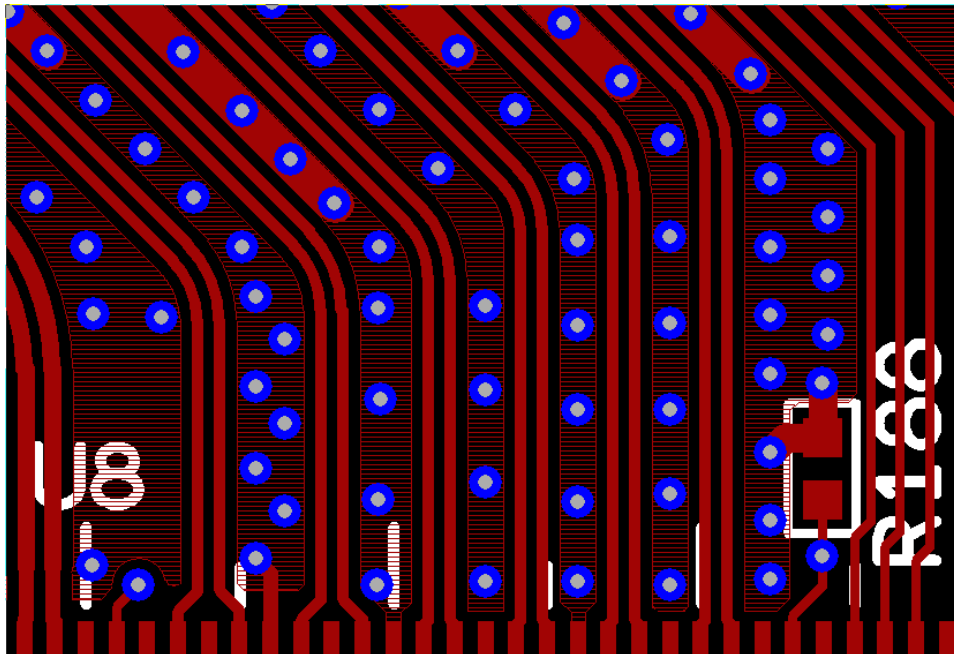
2.1 二层板 PCB 设计要求

2.1.1 阻抗控制

- **DDR 和主芯片电源的布局以及布线必须完全复制 Hi3520DDMEB 的设计。**
- **客户在二层板的阻抗设计中，可以参考 Hi3520DDMEB 单板的实际阻抗测试情况。Hi3520D DMEB 单板实际测试阻抗如下：**
 - SATA、HDMI、网口差分线等高速信号线需要做 $100\Omega \pm 10\%$ 阻抗控制。二层板可以通过伴随地的方式来控制阻抗，即在差分线做全程包地处理。100 Ω 差分走线的线宽与线距为 6/5/6，同时与包地的 GND 铜皮之间控制 6mil 的间距。简单描述，二层板 100 Ω 阻抗控制的差分线的线宽线距为 6//6/5/6//6，如图 2-1 所示。

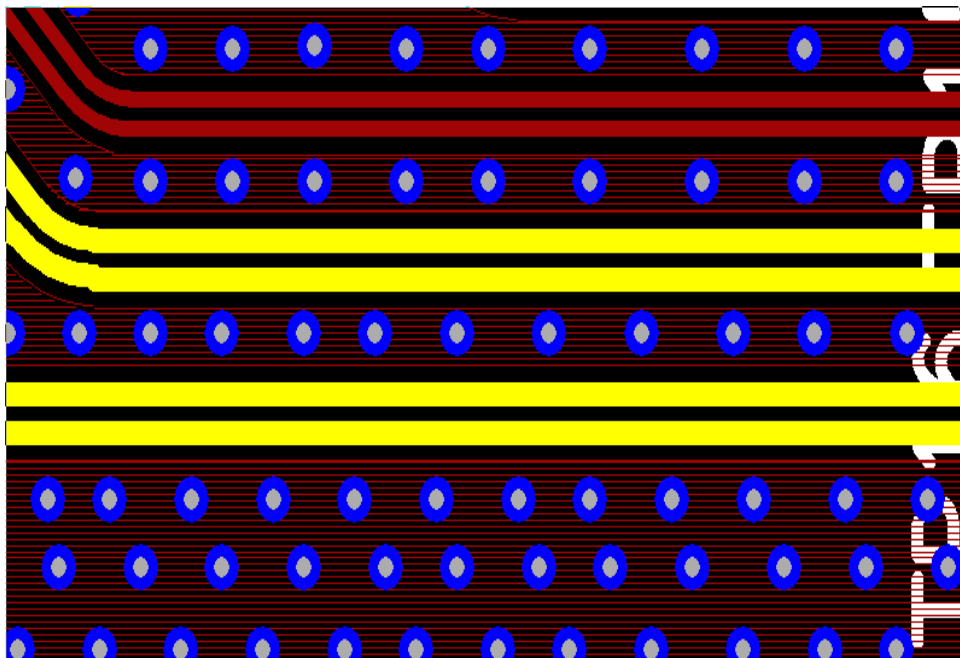


图2-1 100Ω 差分线阻抗控制



- USB 的差分走线需要做 $90\Omega \pm 10\%$ 阻抗控制。二层板可以通过伴随地的方式来控制阻抗，即在差分线做全程包地处理。90Ω 差分走线的线宽与线距为 9/5/9，同时与包地的 GND 铜皮之间控制 6mil 的间距。简单描述，二层板 90Ω 阻抗控制的差分线的线宽线距为 6//9/5/9//6，如图 2-2 所示。

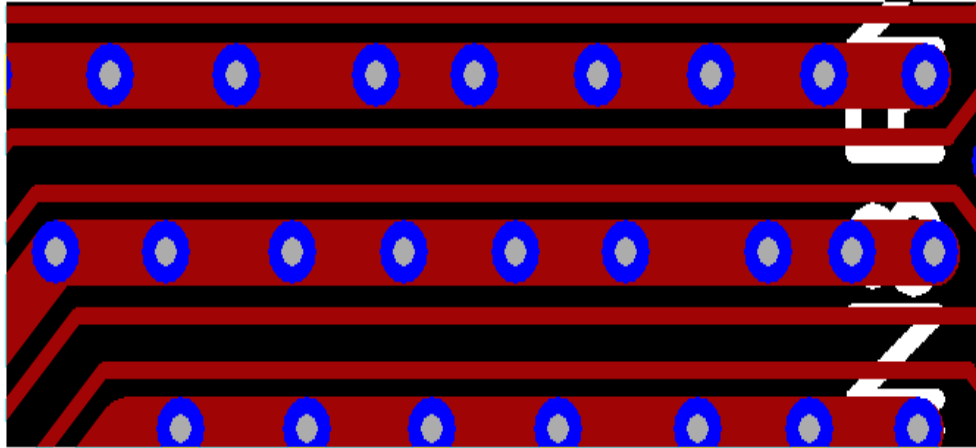
图2-2 90Ω 差分线阻抗控制





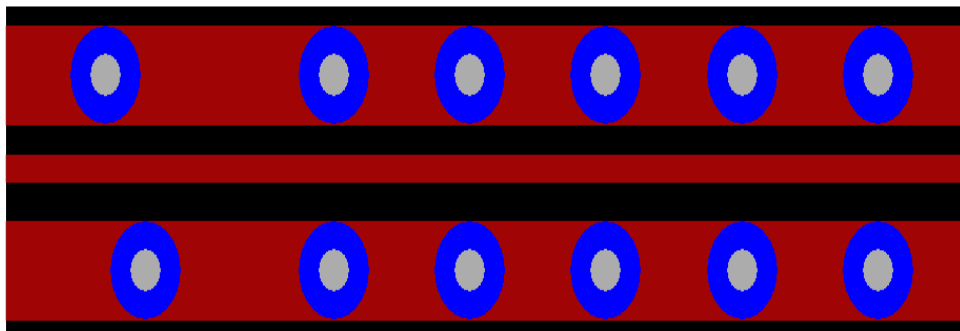
- 5mil 的单端信号单边包地，阻抗要求控制在 $85\Omega \pm 10\%$ ，如图 2-3 所示。例如 DDR 的数据、地址命令走线，走线与 GND 间距为 5mil。

图2-3 单端信号单边包地走线阻抗控制



- 5mil 单端信号两边包地，阻抗要求控制在 $70\Omega \pm 10\%$ ，如图 2-4 所示。例如所有的单根时钟 CLK 走线，走线与 GND 间距为 5mil。

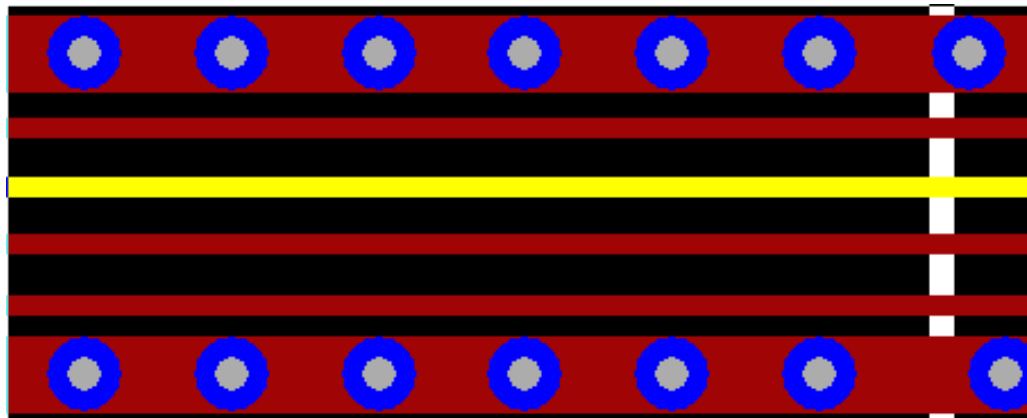
图2-4 单端信号两边包地走线阻抗控制



- 5mil 单端信号两边不包地，两边走其他信号线，阻抗要求控制在 $100\Omega \pm 10\%$ 。例如图 2-5 中 VI 的数据走线的 4 根一包地中高亮的这根。



图2-5 单端信号两边走信号线阻抗控制

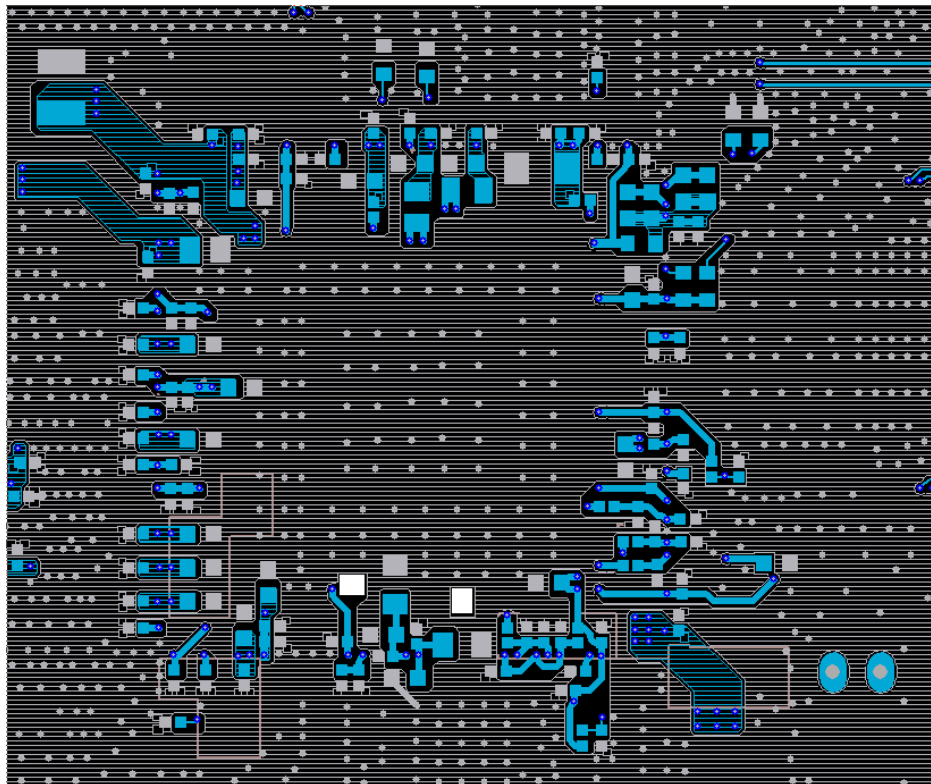


2.1.2 信号完整性

二层板没有单独的 GND 平面，为确保 GNG 平面的连通性和完整性，必须遵守以下要求：

- Bottom 面尽量不放或者少放器件，保证 Bottom 面的 GND 完整性。特别是在主芯片的底下。Hi3520DDMEB 板主芯片底下的 GND 连通性示意如图 2-6 所示。

图2-6 主芯片背面 GND 连通性示意图





- 没有布线的地方多打地过孔，保证 top 面与 bottom 面的 GND 铜皮连通。
- 保证没有孤岛的 GND 铜皮，尽量保证尽量多的铜皮连接在一起，让信号的回流路径尽量短。
- 高速信号线底下的 bottom 面，尽量保证完整的 GND 平面，不要有走线穿过。
- 关键信号线，如晶振、系统复位、I2C、CLK 等，需要全程包地处理。全程包地可以保证阻抗的连续性，可以抗干扰，以及防止 EMI 辐射等。
- 主芯片有 EPAD，需要在 B 面亮铜，有利于散热。

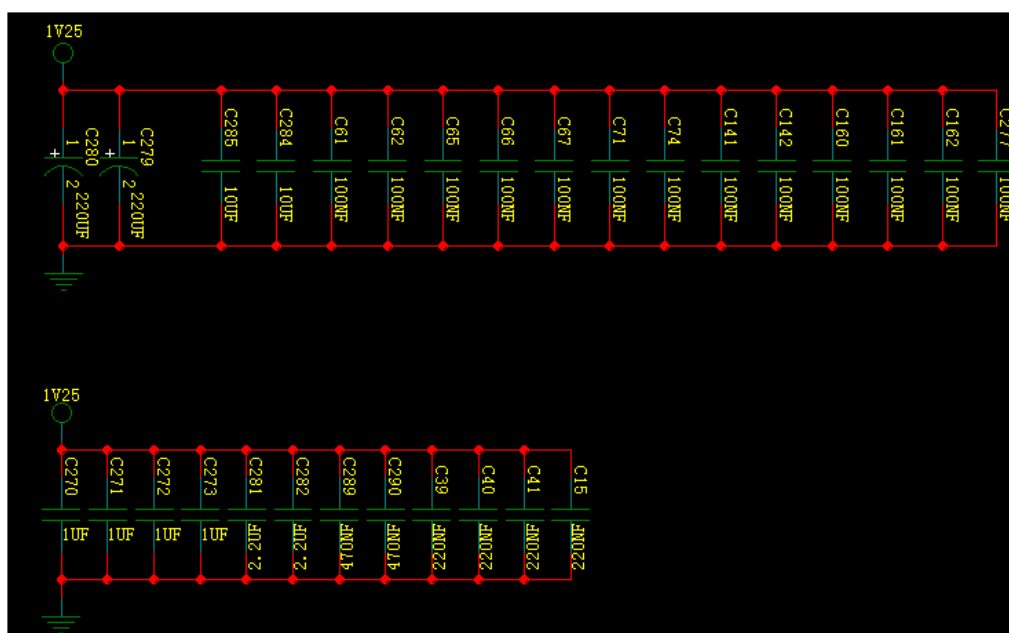
2.2 电源与滤波电容设计建议

2.2.1 Core 电源设计

滤波电容类型和数量

Core 电源的滤波电容类型、数量和布局要求完全复制 Hi3520DDMEB 的设计，电容材质推荐 X7R 材质，具体请参考 Hi3520DDMEB 原理图，如图 2-7 所示。

图2-7 Core 电源电容数量与类型示意图

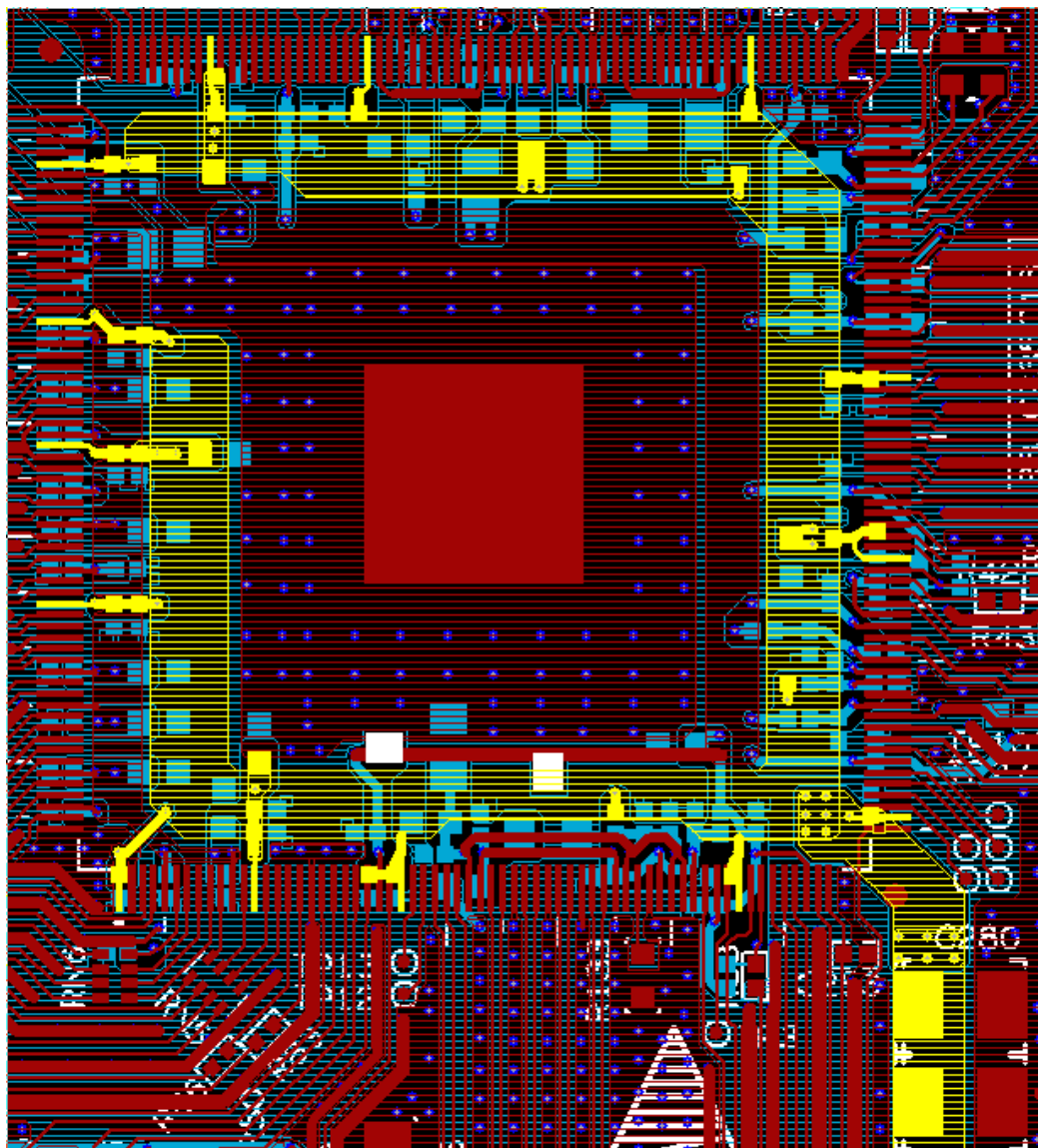


走线方式和滤波电容的布局

Core 电源的走线方式和滤波电容的布局，要求完全复制 Hi3520D DMEB 的设计。Core 电源设计如图 2-8 所示。



图2-8 Core 电源 PCB 设计示意图



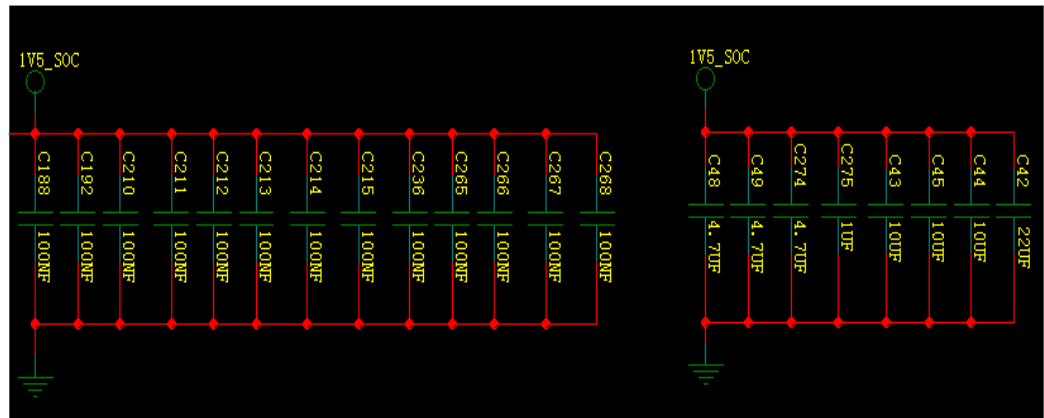
2.2.2 DDR 1V5 电源设计

滤波电容的类型和数量

DDR 1V5 滤波电容的类型和数量要求完全复制 Hi3520D DMEB 的设计，具体请参考 Hi3520D DMEB 原理图，如[图 2-9](#)所示。



图2-9 1V5 电源电容数量与类型示意图

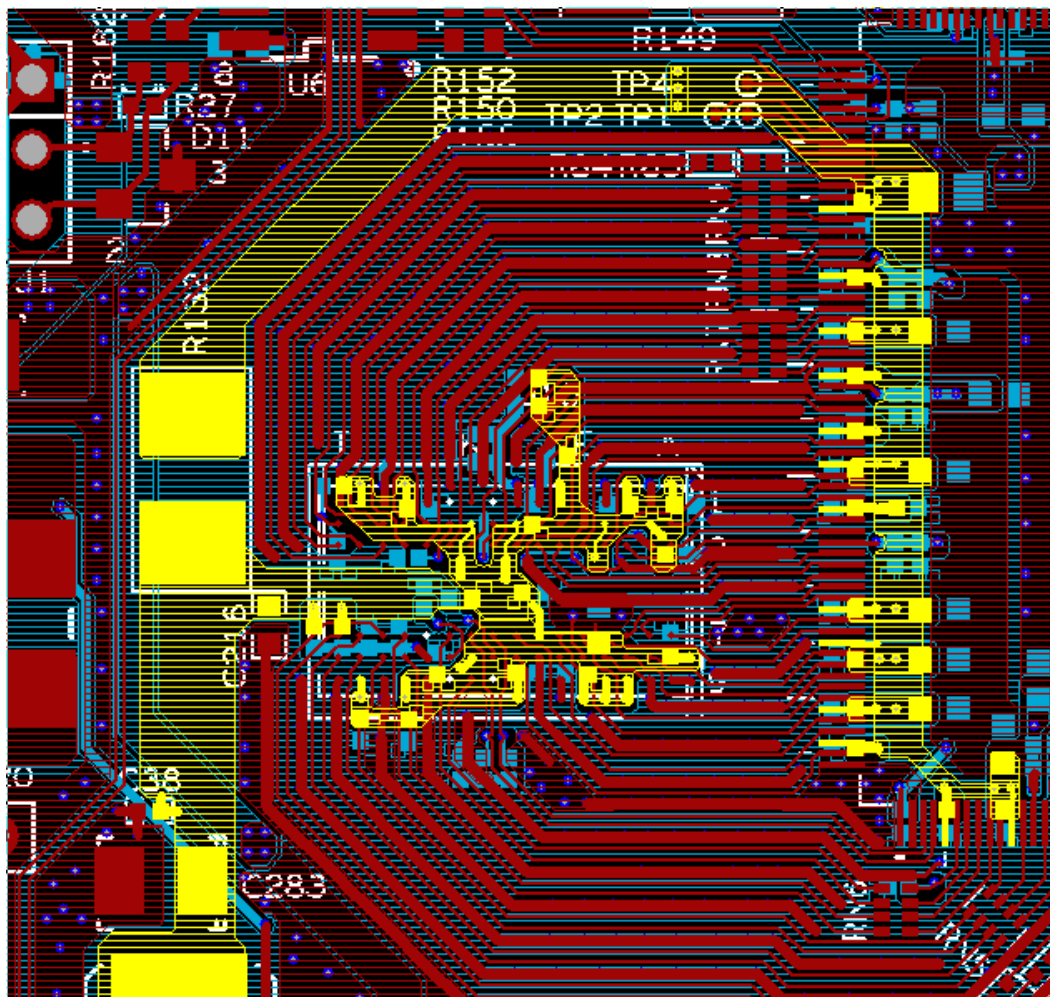


走线方式以及滤波电容的布局

1V5 电源的走线方式以及滤波电容的布局，要求完全复制 Hi3520D DMEB 的设计。
1V5 电源设计如[图 2-10](#) 所示。



图2-10 1V5 电源 PCB 设计示意图



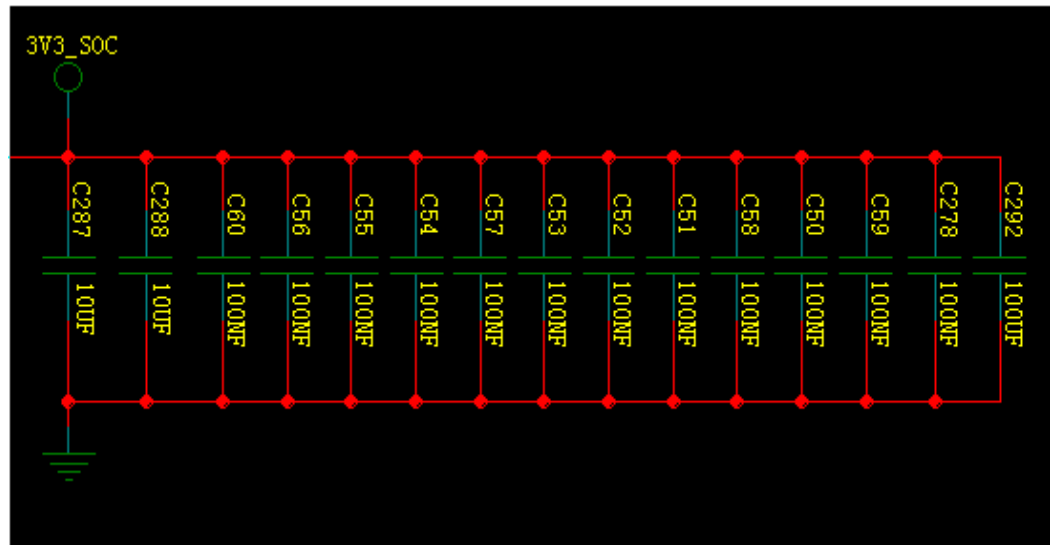
2.2.3 IO3V3 电源设计

滤波电容类型和数量

IO3V3 电源的滤波电容类型和数量要求完全复制 Hi3520D DMEB 的设计，具体请参考 Hi3520D DMEB 原理图，如图 2-11 所示。



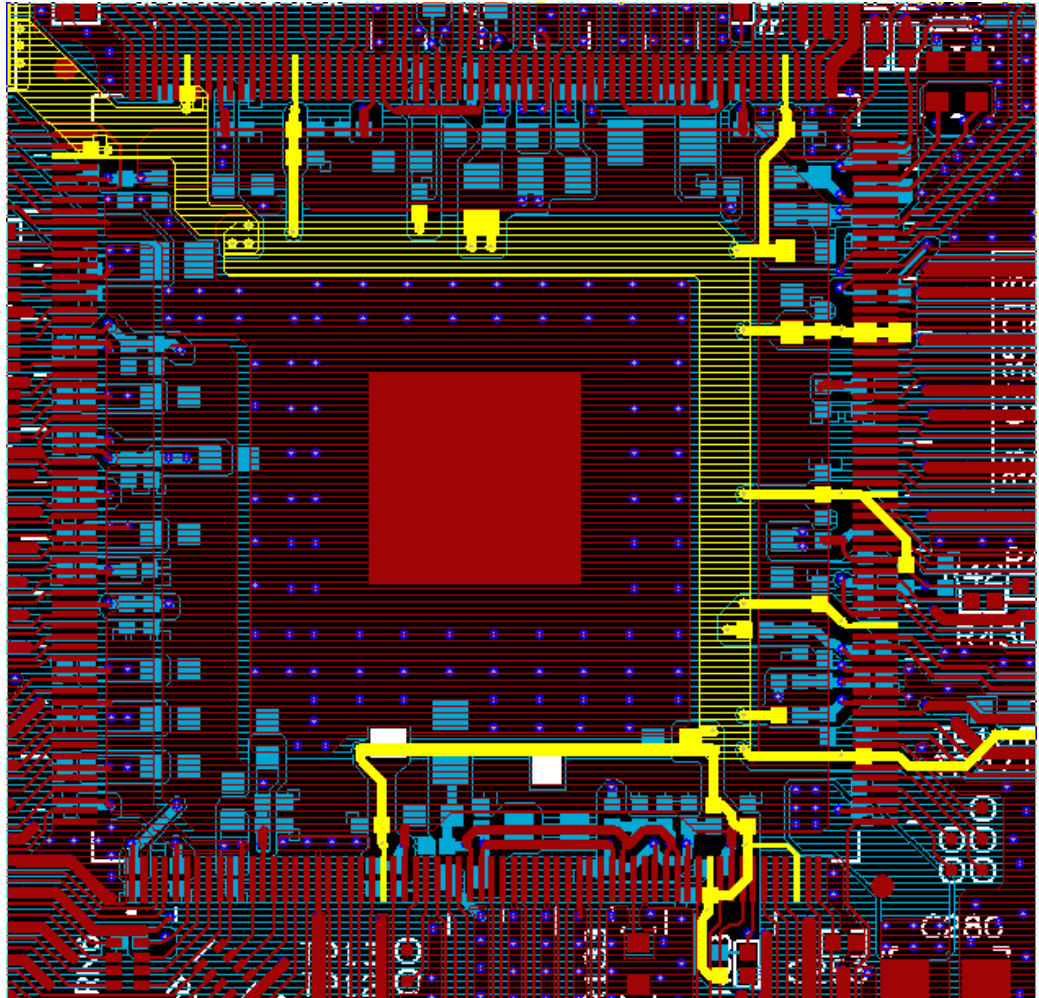
图2-11 IO3V3 电源电容数量与类型示意图



走线方式以及滤波电容的布局

IO3V3 电源的走线方式以及滤波电容的布局，要求完全复制 Hi3520D DMEB 的设计。
IO3V3 电源设计如[图 2-12](#) 所示。

图2-12 IO3V3 电源 PCB 设计示意图



2.3 DDR2/3 SDRAM 接口

Hi3520D 的 DDR 设计，要求完全复制 Hi3520DDMEB 的设计。包括线宽、线距、走线与 GND 的距离、走线长度、包地、滤波电容放置、匹配方式等。

2.4 网口布线设计要求

2.4.1 外置 RMII 布线要求

建议 PCB 布线设计采用以下原则以减小总线信号之间的串扰：

- 要求数据线 2 根一包地，时钟线单根包地，保证信号的回流。
- 数据线长度以时钟线为基准，控制在 $\pm 200\text{mil}$ 以内。
- 变压器芯片正下方的地需要挖空处理。



- 网口差分线长度控制在 5mil 以内，差分阻抗控制在 $100\Omega \pm 10\%$ 。阻抗控制方式请参见“[2.1.1 阻抗控制](#)”。

2.4.2 内置 FE PHY 布线要求

- 由于芯片集成内置 PHY，单板务必做好 ESD 和浪涌防护措施，避免来自网线上的静电和雷击，直接将主芯片打坏。
- 网口差分线长度控制在 5mil 以内，差分阻抗控制在 $100\Omega \pm 10\%$ 。阻抗控制方式请参见“[2.1.1 阻抗控制](#)”。
- 网口差分线要求导弧处理，全程包地。
- 变压器芯片正下方的地需要挖空处理。

2.5 USB 接口电路设计要求

为了保证良好的信号质量，USB2.0 Host 端口数据线需要差分布线。为了达到 USB2.0 高速 480MHz 的速度要求，建议 PCB 布线设计遵循以下原则：

- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长，误差建议控制在 5mil 范围内。
- 差分数据线走线控制 $90\Omega \pm 10\%$ 的均匀差分阻抗。阻抗控制方式请参见“[2.1.1 阻抗控制](#)”。
- USB 差分线要求导弧处理，全程包地。
- USB 的走线长度要求务必少于 5inch。

2.6 SATA 接口走线设计要求

Hi3520D/Hi3515A 提供两个 SATA 接口（Hi3515C 只支持 SATA0），其走线建议如下：

- SATA 走线差分阻抗控制在 $100\Omega \pm 10\%$ 。阻抗控制方式请参见“[2.1.1 阻抗控制](#)”。
- SATA 差分线要求导弧处理，全程包地。
- 差分信号线上串接的 10nf 贴片电容靠近 SATA 插座放置。
- 差分对内长度误差建议控制在 5mil 范围内。
- SATA 差分走线长度要求务必少于 3inch。

2.7 HDMI 接口走线设计要求

Hi3520D 自身自带一个 HDMI 接口，能直接输出 HDMI 信号，其走线建议如下：

- HDMI 的四对差分信号，差分阻抗控制在 $100\Omega \pm 10\%$ ；阻抗控制方式请参见“[2.1.1 阻抗控制](#)”。



- 接口 ESD 器件靠近 HDMI 插座放置。
- HDMI 差分线要求导弧处理，全程包地。
- 差分对内长度误差建议控制在 5mil 范围内，差分对之间控制在 50mil 范围之内。
- **HDMI 的差分走线长度要求务必少于 5inch。**

2.8 VI 接口走线设计要求

Hi3520D 共有 2 个 BT.656(可合并为 1 个 BT.1120)输入接口，其走线设计要求如下：

- 数据线走线长度要求以 CLK 信号作为参考，偏差建议不超过 200mil。
- VIU0_CLK, VIU1_CLK 要求单独包地，数据信号建议 4 根一包地，最好能做到 2 根一包地。
- VI_ADC_CLK 要求单独包地。
- VI 的线序可以根据具体 AD 的线序来做调整。具体请参见 [1.2.11 模拟 DAC 接口设计](#)。

2.9 VDAC 接口走线设计要求

Hi3520D 共有 2 个 VDAC 接口，支持一路 VGA，两路 CVBS 输出；其走线设计要求如下：

- 外置配置电阻和配置电容需要靠近主芯片放置。
- 模拟输出（CBVS0, CVBS1, VGA_R,VGA_G,VGA_B）要求全程包地处理。
- 走线尽量不打孔，最多只能打一个过孔。

2.10 PCB 信号完整性仿真设计建议

PCB 设计人员可以使用板级仿真工具，并结合提供的 Hi3520D 接口 IBIS 模型、器件 IBIS 模型、传输线模型以及板上拓扑结构完成信号完整性仿真分析。

PCB 设计人员可以通过对仿真结果的分析，不断调整拓扑结构，以达到所需的信号质量要求，包括过冲、下冲、振铃和单调性等。



3 单板热设计建议

3.1 工作条件

Hi3520D 的功耗、温度和热阻参数请参见《Hi3520D/Hi3515A/Hi3515C H.264 编解码处理器用户指南》中的“2.6 电性能参数”小节。

3.2 散热设计参考

散热器规格

器件/模块散热器热阻必须满足器件/模块工作散热要求：

$$\theta_{sa} < (T_{j_max} - T_a) / P - \theta_{jc} - \theta_{cs}。$$

其中：

- T_{j_max} 为器件结温上限。
- P 为耗散功率。
- T_a 为最高环境温度。
- θ_{jc} 为器件结到外壳的热阻。
- θ_{cs} 为器件与散热器之间的界面热阻。

Hi3520D 芯片的散热解决方案：要求客户采用散热能力不小于 31x31x16(mm)尺寸的散热片，散热片齿条尺寸：1.0x1.5x13(mm)，散热片表面推荐发黑处理；要求通过合理的散热措施，控制芯片表面温度始终在 100 度以下。散热器与芯片接触面涂敷导热硅脂，视情况加装绝缘垫。如图 3-1 所示。



图3-1 散热器组示意图



说明

以上规格选型仅作为参考，具体客户散热器规格选型需根据客户单板设计来定。

3.3 电路热设计参考

3.3.1 原理图

电源

整个单板电源树在保证稳定性的前提下效率较高，即要合理设计单板电源效率，少采用高压差 LDO 器件，减少电源自身在电源转换过程中所产生的热量。

闲置模块低功耗配置

在 Hi3520D 产品形态应用中，很多模块（USB、SATA 等）如果不使用，此时应当将这些模块配置为 Power Down 模式或者默认状态。



注意

为了降低功耗，请在软件中打开主芯片的时钟门控功能。



3.3.2 PCB

器件布局

结合产品结构和热设计，器件布局建议如下：

- 单板上大功耗且易产生热量器件要均匀分布，避免局部过热，影响器件可靠性和效率，建议 Hi3520D 和电源部分不要放置太近。
- 合理设计结构，保证产品内部与外界有热交换途径。
- 要求有 EPAD 的芯片，需要在 B 面亮铜，有利于散热。

走线

走线热设计建议如下：

- 芯片底下的过孔采用 FULL 孔连接，而不是普通的花孔连接，以提高单板散热效率；
- Hi3520D 的 1.25V/1.5V（1.8V）/3.3V 电源和地信号都通过平面铺铜的方式连接，在保证信号过流能力的前提下打更多过孔到这些铜皮上；
- 在热量大的器件正下方和周边尽量增大铜皮面积以保证单板利用 PCB 有效散热。特别是电源部分的电感和供电芯片，注意其摆放位置不要过于密集，周边尽量增加铺铜面积。