



Hi3520D/Hi3515A/Hi3515C 硬件设计

Checklist

文档版本 02

发布日期 2013-06-21

版权所有 © 深圳市海思半导体有限公司 2013。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址： <http://www.hisilicon.com>

客户服务电话： +86-755-28788858

客户服务传真： +86-755-28357515

客户服务邮箱： support@hisilicon.com



前言

概述

本文档主要介绍 Hi3520D/Hi3515A/Hi3515C 芯片方案的硬件 Checklist。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3520D 芯片	V100
Hi3515A 芯片	V100
Hi3515C 芯片	V100

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2013-06-21	02	新增 Hi3515C 的相关描述。



修订日期	版本	修订说明
2013-05-21	01	修改 1.2、1.9 的部分描述。 增加关于内置 RTC 设计要求的描述。
2013-04-03	00B02	增加 Hi3515A 的相关描述。
2013-02-07	00B01	初稿。



目 录

前 言.....	i
1 Checklist	1
1.1 二层板设计要求.....	1
1.2 芯片电源地的设计要求.....	1
1.3 主芯片时钟电路设计要求.....	2
1.4 复位电路设计要求.....	2
1.5 小系统设计要求.....	2
1.6 SPI Flash 设计要求	2
1.7 内置 RTC 设计要求	3
1.8 I ² C 电路设计要求.....	3
1.9 VI 接口设计要求.....	3
1.10 视频接口设计要求.....	3
1.11 音频电路设计要求.....	4
1.12 SPI 控制接口电路设计要求	4
1.13 USB 电路设计要求.....	4
1.14 SATA 接口电路要求	5
1.15 ETH 电路设计要求.....	5
1.16 JTAG 和系统控制电路设计要求.....	5
1.17 UART 电路设计要求	6
1.18 EFuse 模块设计要求.....	6
1.19 HDMI 设计	6
1.20 散热设计.....	6



1 Checklist



说明

本文档适用于 Hi3520D、Hi3515A 和 Hi3515C，如果没有特殊说明，均以 Hi3520D 为例进行说明。

1.1 二层板设计要求

√	Items
	请严格满足《Hi3520D/Hi3515A/Hi3515C 硬件用户设计指南》第 2.1 章节中关于二层板的设计要求。

1.2 芯片电源地的设计要求

√	Items
	CORE 电源（管脚名 DVDD12）：连接数字 1.25V 电源。Hi3520D 的 DVDD12 的设计，要求选择大于等于 2A 供电能力的 DC-DC。
	电源上电顺序，基于一个准则，即高压先于低压上电，即先上 3.3V，后上 1.5/1.8V，最后是 1.25V。
	PLL 供电管脚需要采用磁珠隔离并靠近管脚添加滤波电容， 磁珠的规格要求为 1000R@100M ，详细电路见 Hi3520D DEMB 原理图和 PCB。
	各模块电源的要求请参考芯片手册中的电性能参数，保证电源输出电压加上纹波噪声仍然满足芯片的需求。



1.3 主芯片时钟电路设计要求

√	Items
	Hi3520D 需要一个 24MHz 外接时钟，最大偏差±30ppm。

1.4 复位电路设计要求

√	Items
	低电平复位，输入的上电复位信号低电平，一般复位脉冲宽度为 100ms~300ms。
	Hi3520D 的 WDG 是 OD 输出，使用时需提供上拉，推荐上拉电阻阻值 4.7kΩ。

1.5 小系统设计要求

√	Items
	DDR 和主芯片电源要求完全复制 Hi3520D DMEB 的设计，包括原理图和 PCB。

1.6 SPI Flash 设计要求

√	Items
	SPI FLASH 支持且仅支持 CS1 启动。当采用 Single IO 模式时，建议 CS1、HOLD 信号加上拉电阻，推荐电阻值为 4.7kΩ。WP 信号增加下拉电阻，推荐电阻值为 4.7K。



1.7 内置 RTC 设计要求

√	Items
	内置 RTC 在固定分频模式，计时精度主要取决于外置晶体，请综合考虑晶体频率误差、温度漂移等因素，选择合适的晶体；对计时精度要求较严格的产品，建议选择外置高精度集成 RTC。

1.8 I²C 电路设计要求

√	Items
	I ² C 信号 SCL、SDA 是 OD 输出的管脚，需要外接 1K 上拉电阻。
	需要注意区分 I ² C 地址，避免 I ² C 地址冲突。

1.9 VI 接口设计要求

√	Items
	Hi3520D 在物理接口上 2 个 BT656 输入接口（Hi3515A/Hi3515C 只支持 1 个 BT.656），两个 BT.656 可以合并成一路 BT.1120 输入。
	VI 的线序可以根据具体 AD 的线序来做调整。CLK 的线序可以通过复用关系来调整，DATA 信号的线序可以实现大小端切换，具体的实现方式请参考 Hi3520D/Hi3515A/Hi3515C H.264 编解码处理器用户指南。
	VI 的 BT.656 信号与 Hi3520D/Hi3515A/Hi3515C 对接时，要求根据 AD 的驱动能力和走线长度，选择合适的串阻。

1.10 视频接口设计要求

√	Items
	Hi3520D 自带内置 HDMI PHY，即芯片本身可直接输出 HDMI 信号；其 HDMI 模块具有一个专用 I ² C 接口，HDMI_REXT 管脚外接 51K 与 6.8K 电阻的并联到地，精度均为 1%；
	VDAC 的外置匹配电阻 VDAC_REXT 和 VDAC_REXTS 的阻值，请务必跟 Hi3520DDMEB 的原理图一致。



√	Items
	特别需要注意：高清 PIP 与 CVBS0 复用，若需要高清 PIP 功能，则 CVBS0 无视频输出。即若需要同时支持高清 PIP 和标清 CVBS 输出，标清 CVBS 只能通过 CVBS1 来输出。

1.11 音频电路设计要求

√	Items
	Hi3520D 提供 2 组 I ² S 音频信号接口；一组输入，一组输出，同时还提供一个 MCLK 信号。
	当需要把 2 组 I ² S 合并成一组输入输出做对讲应用时，请特别注意主模式和从模式不同的连接方式。特别是从模式下，BCLK 和 WCLK 需要同时连接到 2 组 I ² S 信号上。具体请参考《Hi3520D/Hi3515A/Hi3515C 硬件设计用户指南》的 1.2.8 章节。

1.12 SPI 控制接口电路设计要求

√	Items
	Hi3520D SPI 控制接口，存在 SPI CLK、SDO、SDI 信号以及外加 2 个 CS(低电平有效)信号
	需要注意的是，SPI 在外挂 GV7601 这类采用菊花链连接方式的多组设备时，需要考虑数据经过每个设备时的时延，来设定 SPI 时钟 SCLK 的工作频率。

1.13 USB 电路设计要求

√	Items
	Hi3520D 提供 2 个 USB 接口：USB0 和 USB1
	建议 Hi3520D 芯片 USB_REXT 管脚外接 43.2Ω±1%电阻到地，并尽量靠近 Hi3520D 芯片管脚放置。
	注意二层板的设计要求，USB 的走线长度要求务必少于 5inch。



1.14 SATA 接口电路要求

√	Items
	Hi3520D/Hi3515A 提供 2 个 SATA2.6 接口：SATA0 和 SATA1（Hi3515C 只有一个 SATA 接口）。
	SATA 差分的 TX 和 RX 四根差分信号线上串接 10nf 贴片陶瓷电容，需靠近 SATA 插座，走线差分阻抗控制在 100 Ω
	注意二层板的设计要求，SATA 的走线长度要求务必少于 3inch。

1.15 ETH 电路设计要求

√	Items
	当使用内置网口 PHY 时，请务必做好 ESD 和浪涌防护措施。
	注意 Hi3520D 只支持 1 路 ETH，即当采用内置 PHY 时，RMII 对接外置 PHY 将不可用；反之当采用外置 RMII 对接外置 PHY 时，内置的 PHY 将不可用。

1.16 JTAG 和系统控制电路设计要求

√	Items
	TDI、TDO、TMS 加上拉电阻，阻值 4.7k Ω ，TCK 加 1k Ω 下拉电阻，TRST 信号加 10k Ω 的下拉电阻，预留上拉电阻。
	TESTMODE 管脚接下拉电阻到地，阻值 10k Ω 。
	Hi3520D 的 JTAG 功能管脚可以复用为 GPIO 使用，通过 JATG_EN 来配置选择。



1.17 UART 电路设计要求

√	Items
	调试串口需要引出来，默认使用 UART0 进行调试。

1.18 EFuse 模块设计要求

√	Items
	要求 VDD25_EFUSE 管脚接 4.7k Ω 下拉电阻到地。

1.19 HDMI 设计

√	Items
	HDMI 的模拟 1.25V 供电 AVDD10_HDMI（管脚 K21，L21），要求必须用 1000R100M 的磁珠跟 1.25V 隔离，并且在磁珠后加 100uF 和 0.1uF 的滤波电容，详细请参考 Hi3520D DMEB 板的原理图设计。
	差分对内长度误差建议控制在 5mil 范围内，差分对之间控制在 50mil 范围之内。
	注意二层板的设计要求，HDMI 的走线长度要求务必少于 5inch。

1.20 散热设计

√	Items
	单板散热设计需要适配产品的结构设计，在结构允许的情况下尽量加大散热层的面积。单板上大功耗且易产生热量器件要均匀分布，避免局部过热，影响器件可靠性和效率，建议 Hi3520D 和电源部分不要放置太近。合理设计结构，保证产品内部与外界有热交换途径。有 EPAD 的芯片，需要在 B 面亮铜，有利于散热。