**ĐẠI HỌC**

**KHOC HỌC TỰ NHIÊN**

-----🙞🙜🕮🙞🙜-----

**BÀI KIỂM TRA CUỐI KÌ**



**MSSV-Họ và Tên**

**20200172-Nguyễn Xuân Dũng**

**Đề**

Thiết kế mạch và layout mạch dao động vòng (Ring Oscillator) có chân ENABLE sử dụng qui trình C5 biết:

- Nếu 3 số cuối **200 >= *MSSV > 100*** thì Fout = [(3 số cuối MSSV) \* 7MHz] ±5MHz

Sóng ngõ ra có Vpp = 5V ± 0.5V.

- Tụ tải (off-chip) = 1uF

- Ngõ vào ra của chip chịu được ESD mức 4.

- Mạch chỉ dao động khi ENABLE = 0.

- VDD biến thiên từ 4.7V tới 5.3V

- Nhiệt độ biến thiên từ 25 tới 35 độ C

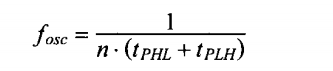
Tìm nhiễu lớn nhất của layout.

Xuất bản GDSII topchip.

**Bài Làm**

Nếu 3 số cuối **200 >= *MSSV > 100*** thì Fout = [(3 số cuối MSSV) \* 7MHz] ± 5MHz

=> fout=172\*7MHz = 1204Mhz=1,2Ghz ± 5MHz



A diagram of a phage

Description automatically generated

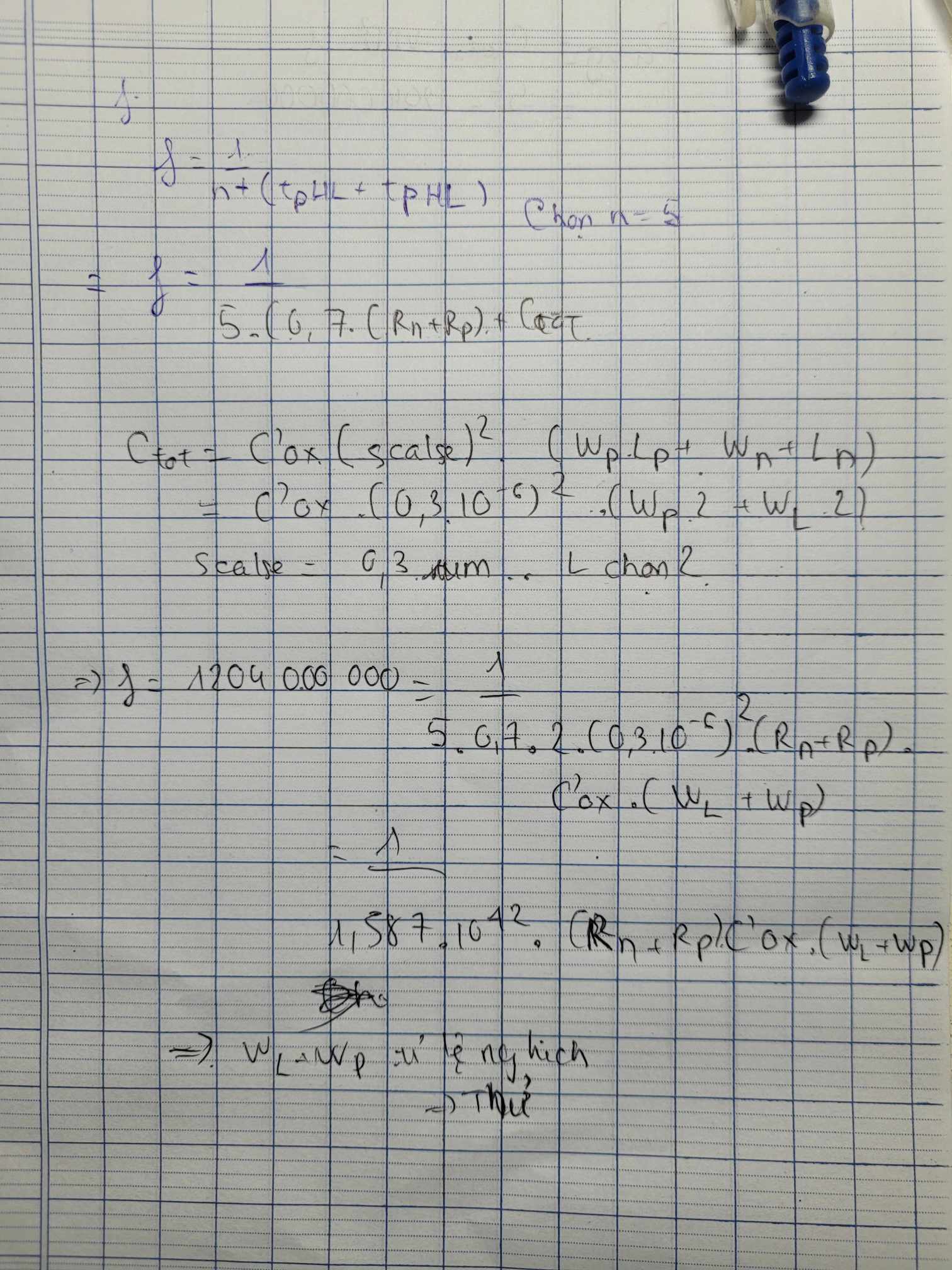
Để mạch Ring Oscillator có thể tạo xung thì

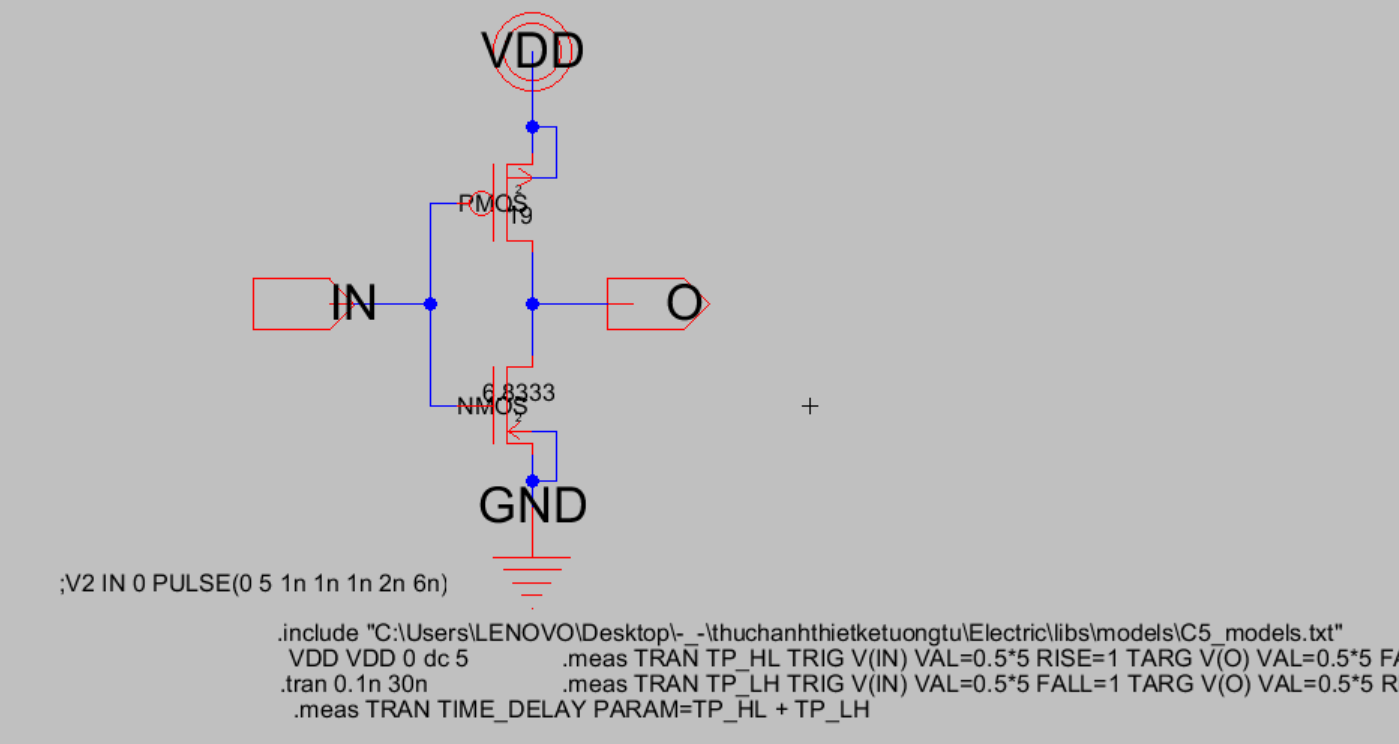
= bằng số lẻ

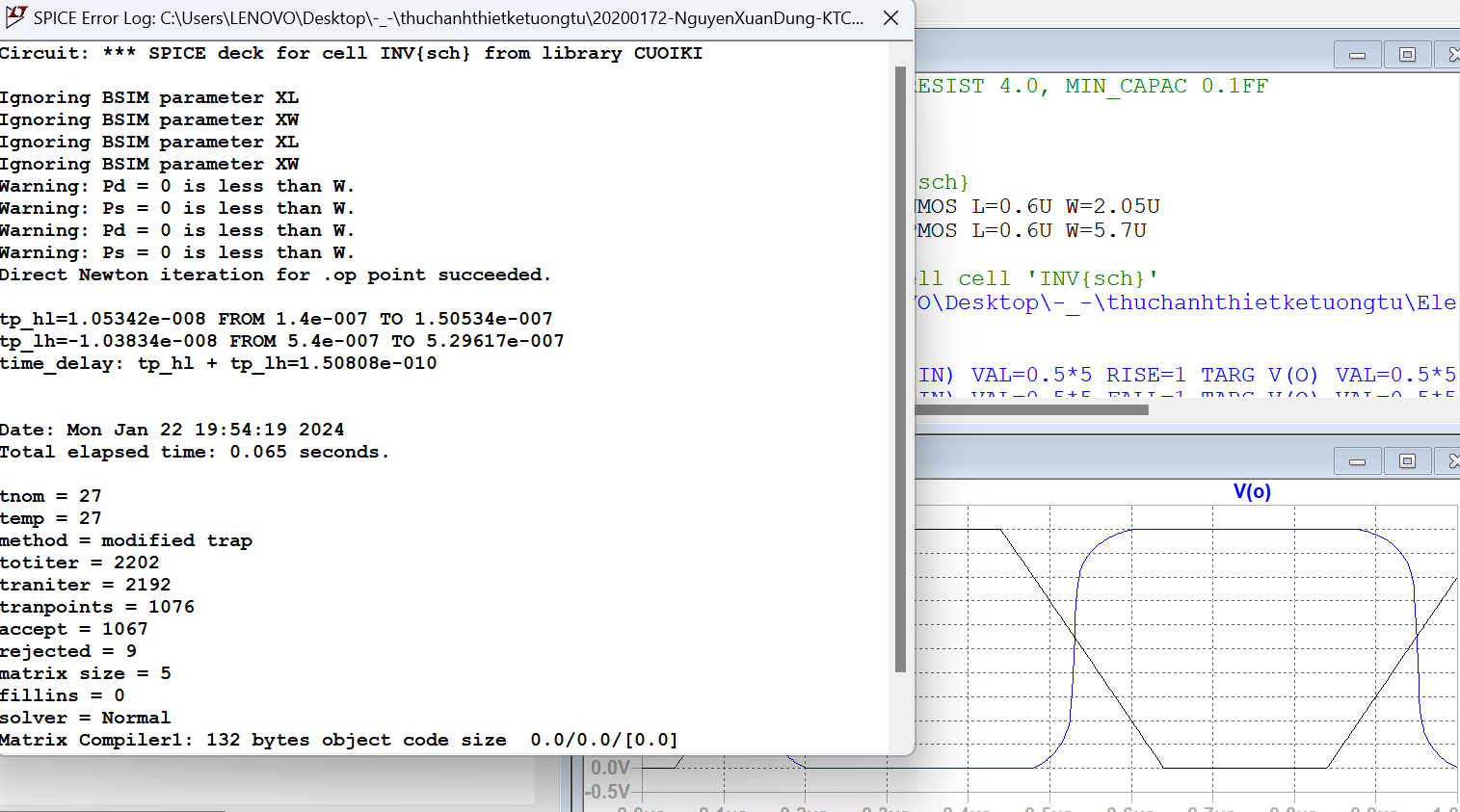
Chọn n= 5

=> tpHL+ tpLH=

Xét W/L để tpHL+ tpLH

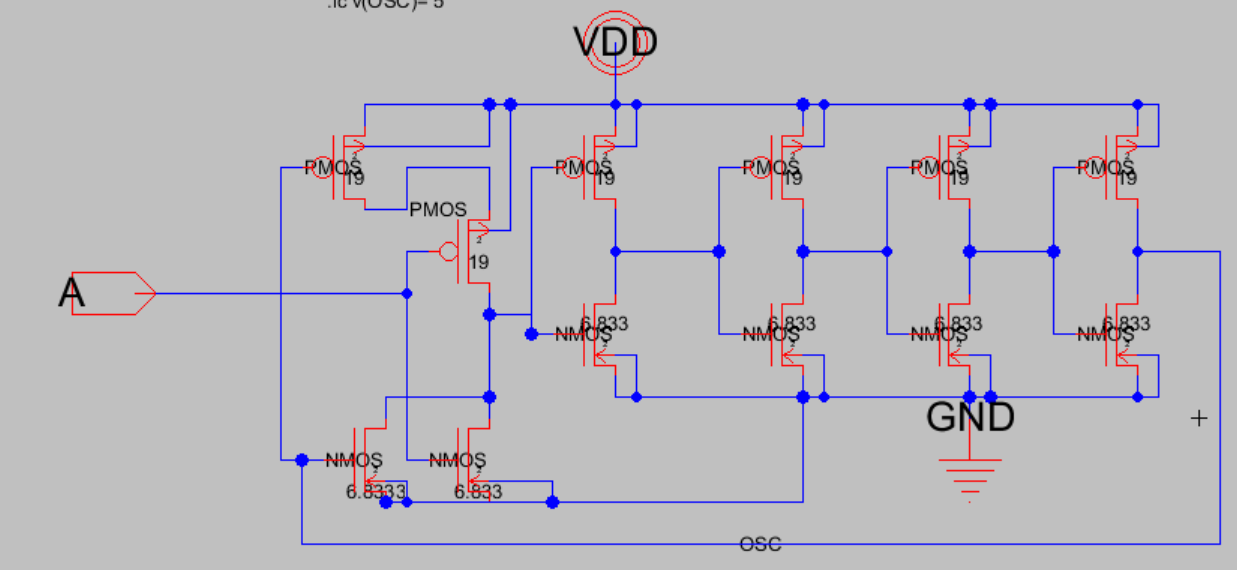


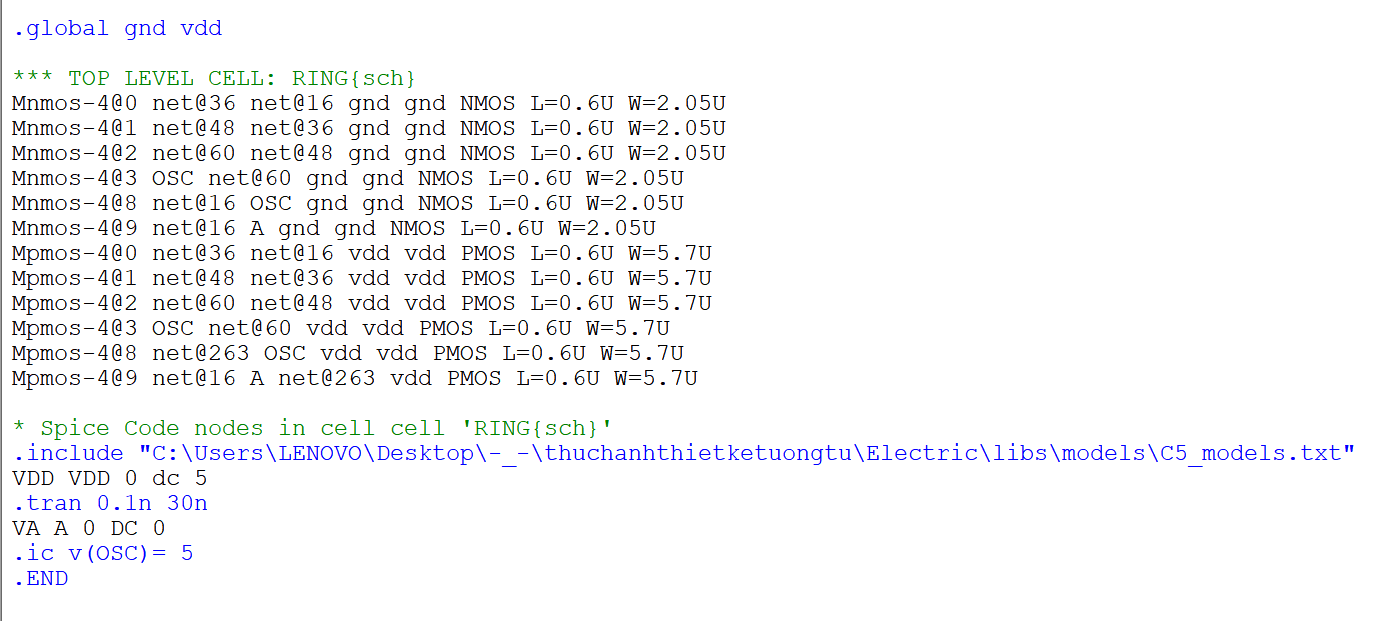


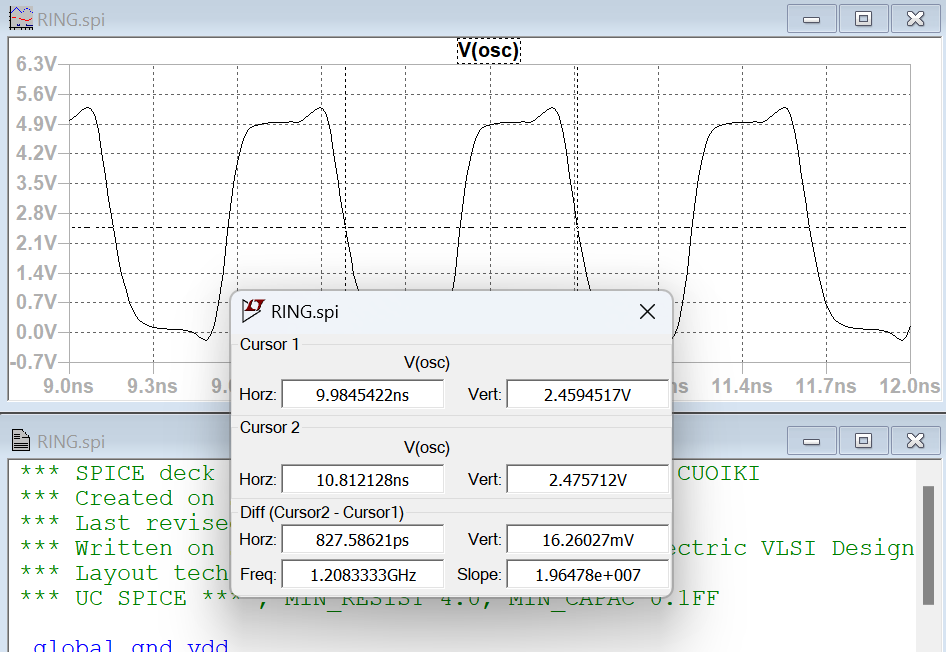


Mạch chỉ dao động khi ENABLE = 0.

=> Dùng cổng NOR để xét chân enable



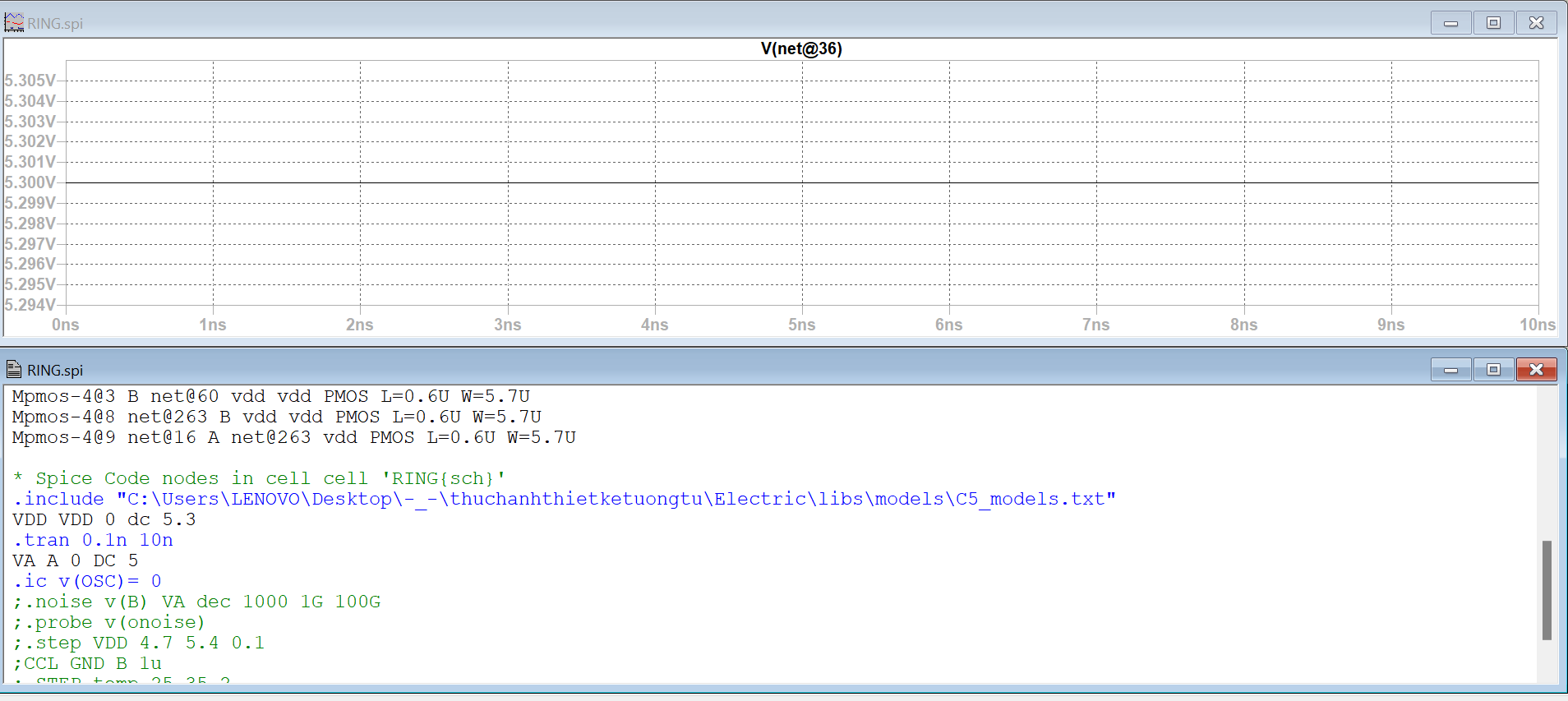




Sóng ngõ ra có Vpp = 5V ± 0.5V.

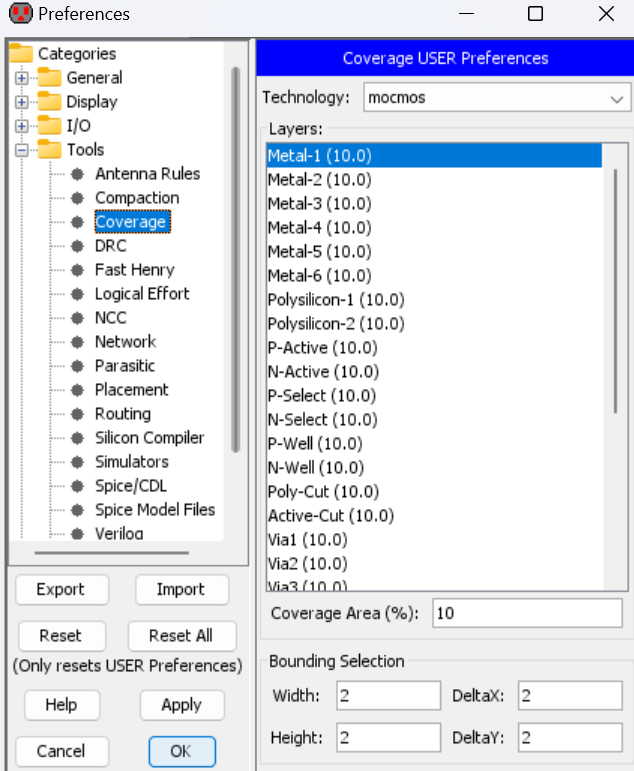
=> đạt

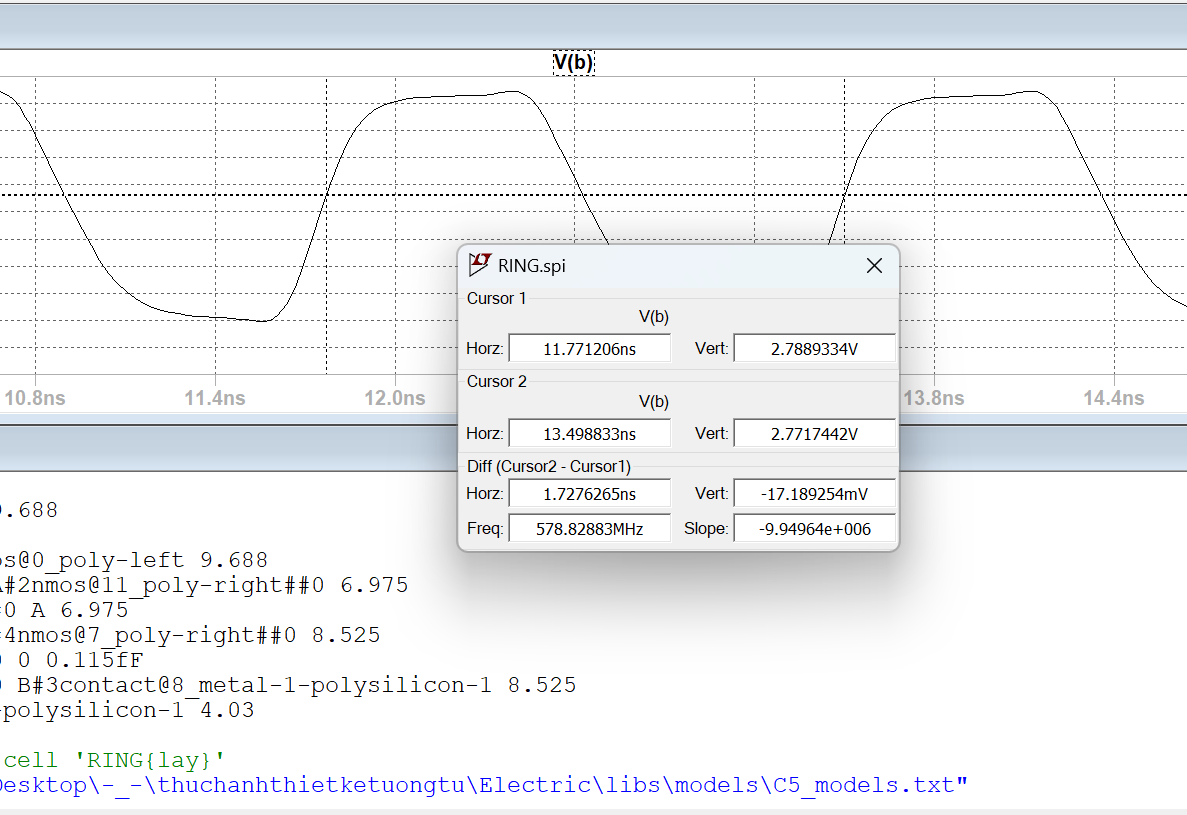
Khi enable =5



Layout

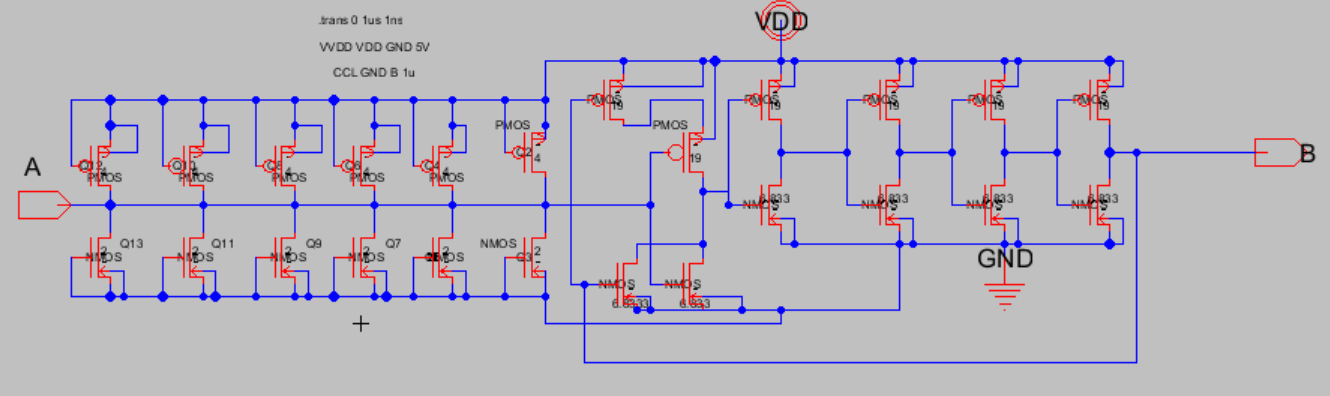
Thiết lập coverage

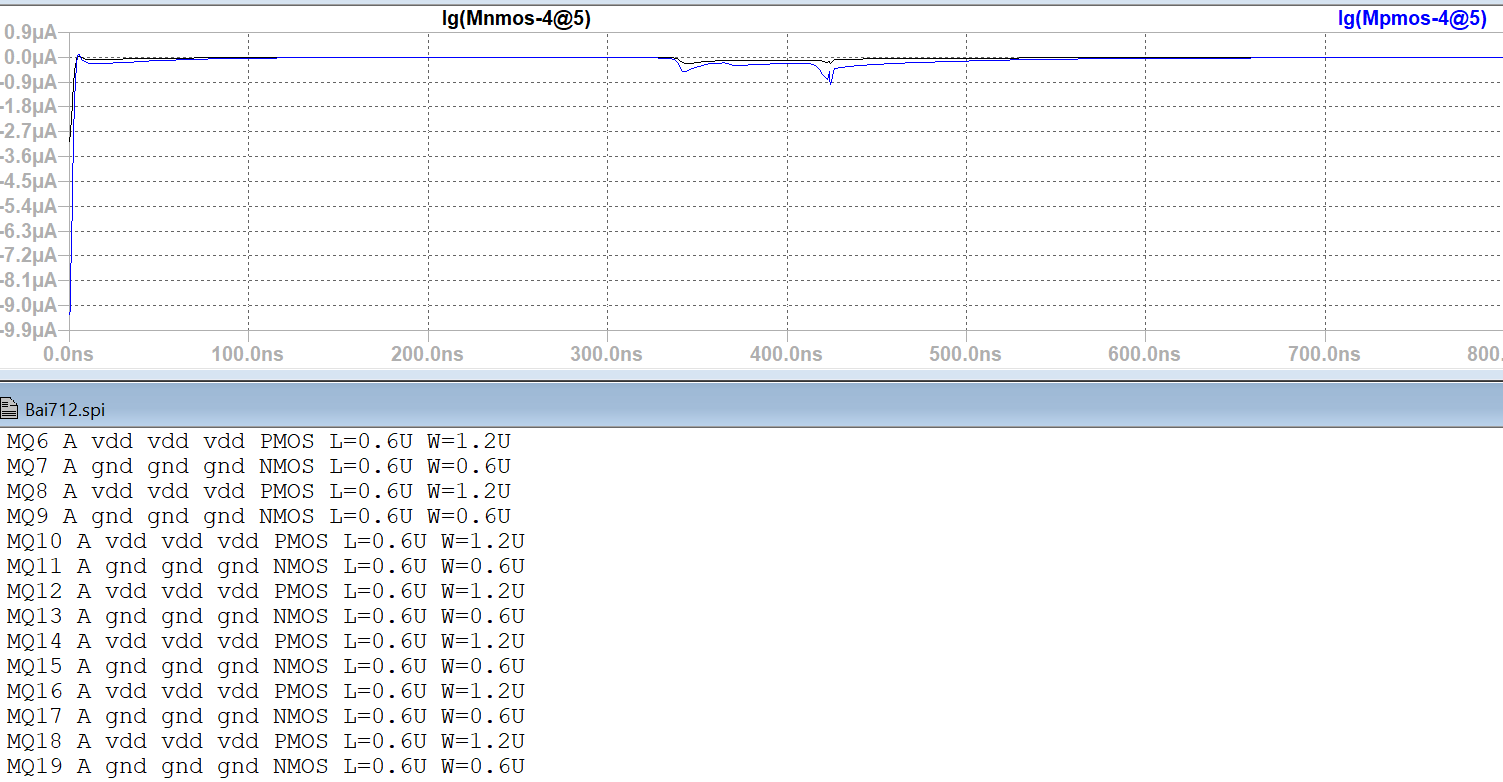




ESD mức 4

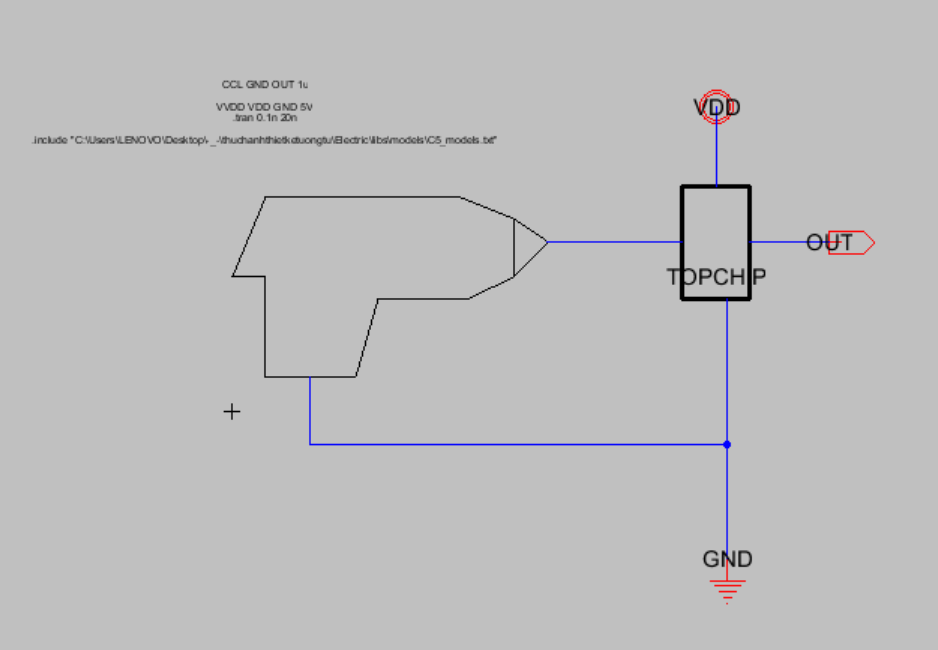
Thử



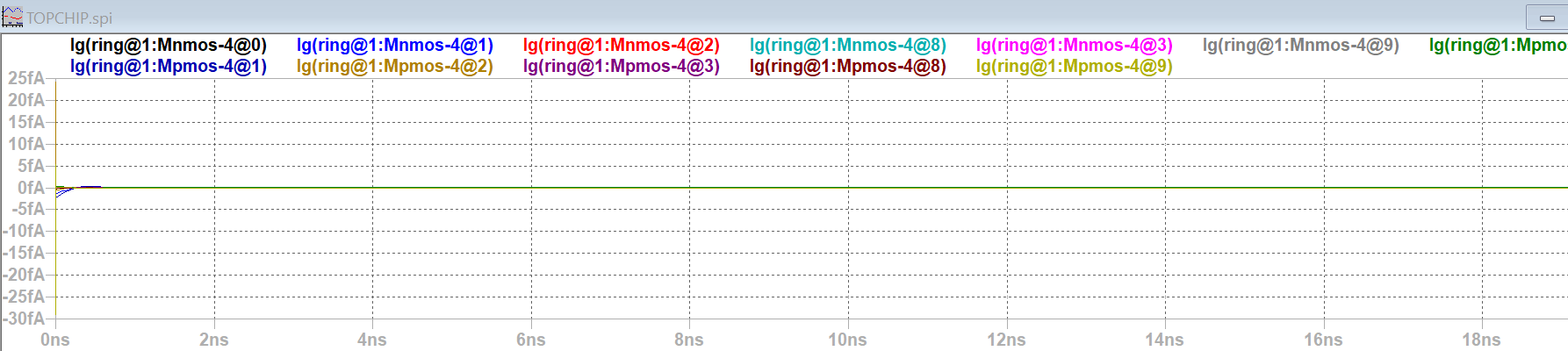


Chọn IOPAD 9 cặp pmosnmos

+ Khoảng tần số ngõ ra và công suất trung bình của mạch khi VDD biến thiên

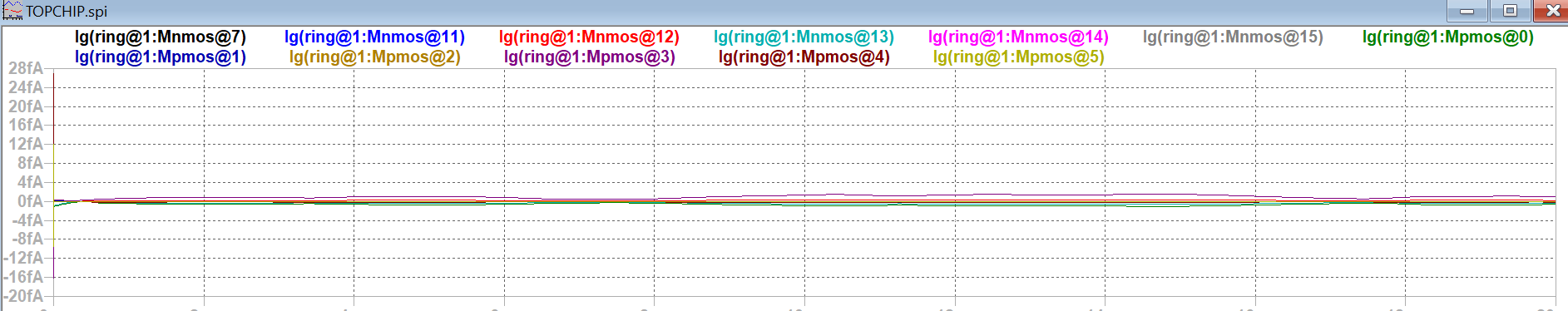


IOPAD của SHEMATIC TOPCHIP

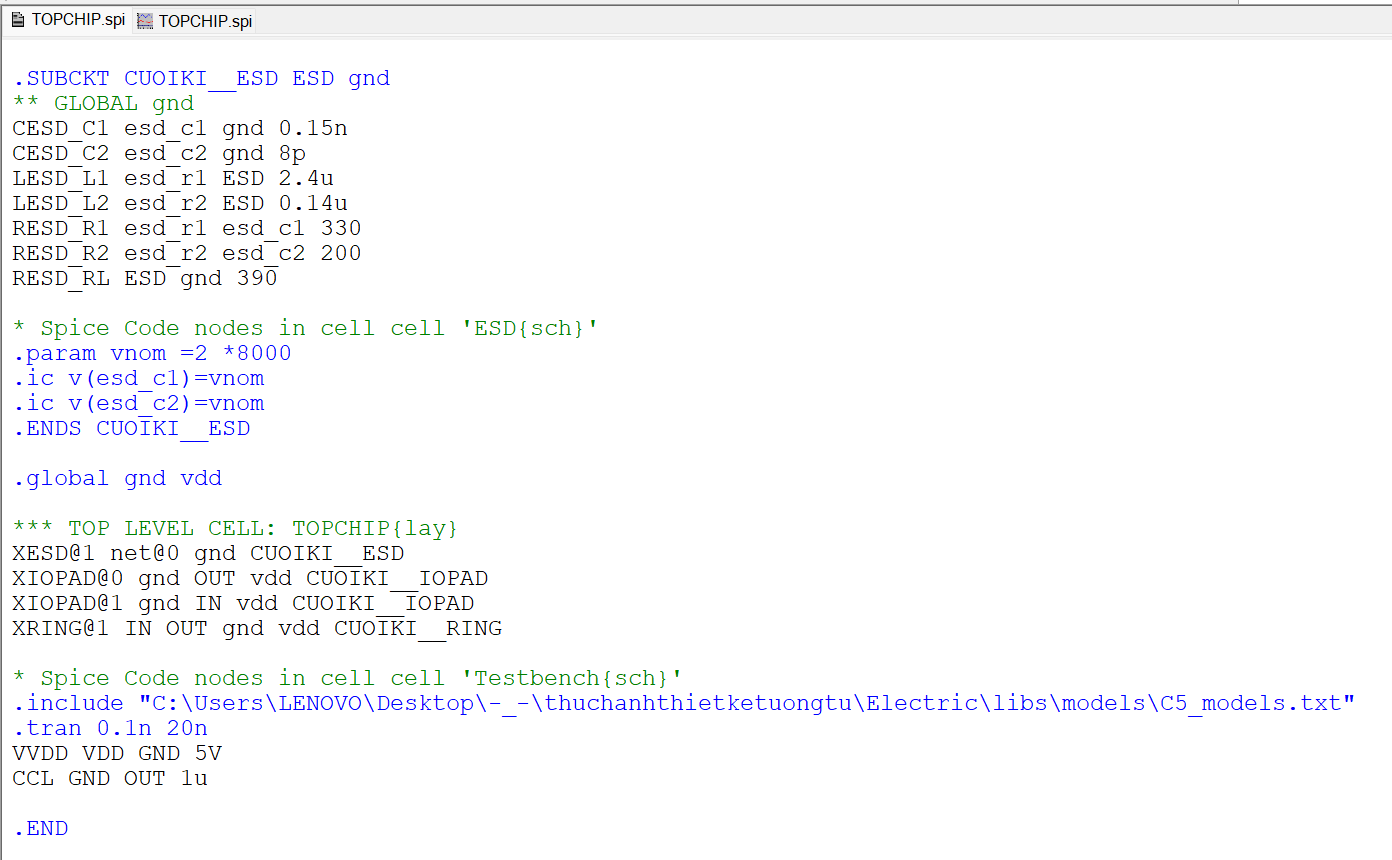


Đạt yêu cầu

IOPAD của LAYOUT TOPCHIP



Đạt yêu cầu

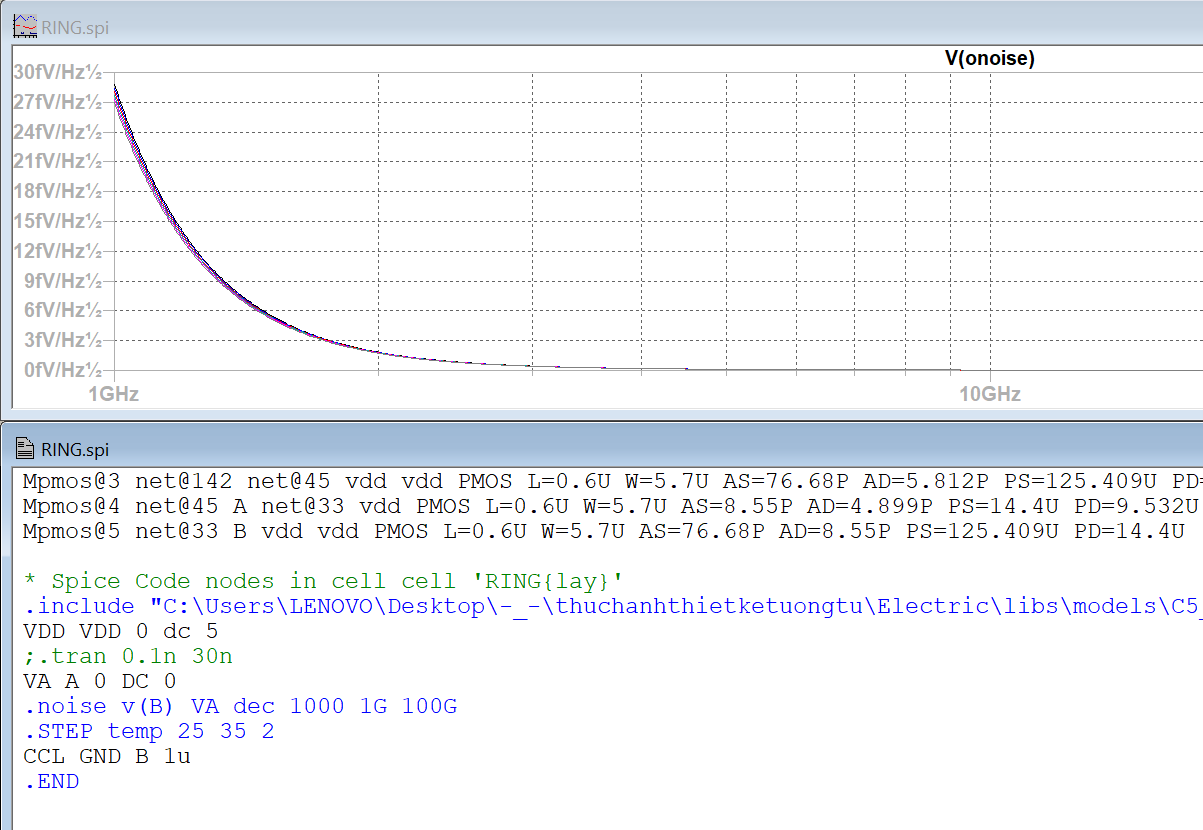


File đã thêm ESD bậc 4

+ Nhiễu lớn nhất của layout khi nhiệt độ biến thiên.

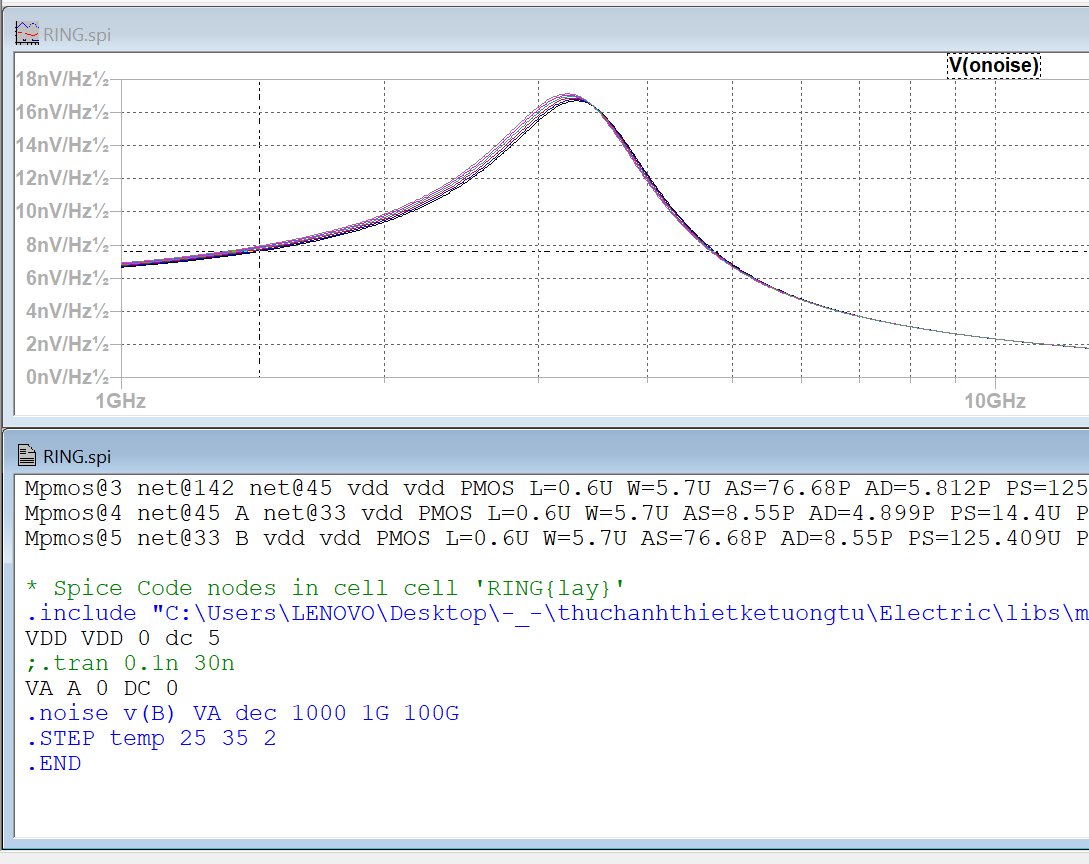
-Không có IOPAD

Khi lắp tụ 1u



29fV/hz 1/2

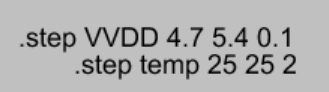
Không tụ



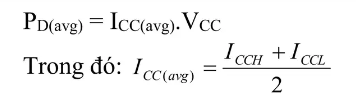
17nV/hz1/2

- VDD biến thiên từ 4.7V tới 5.3V

- Nhiệt độ biến thiên từ 25 tới 35 độ C

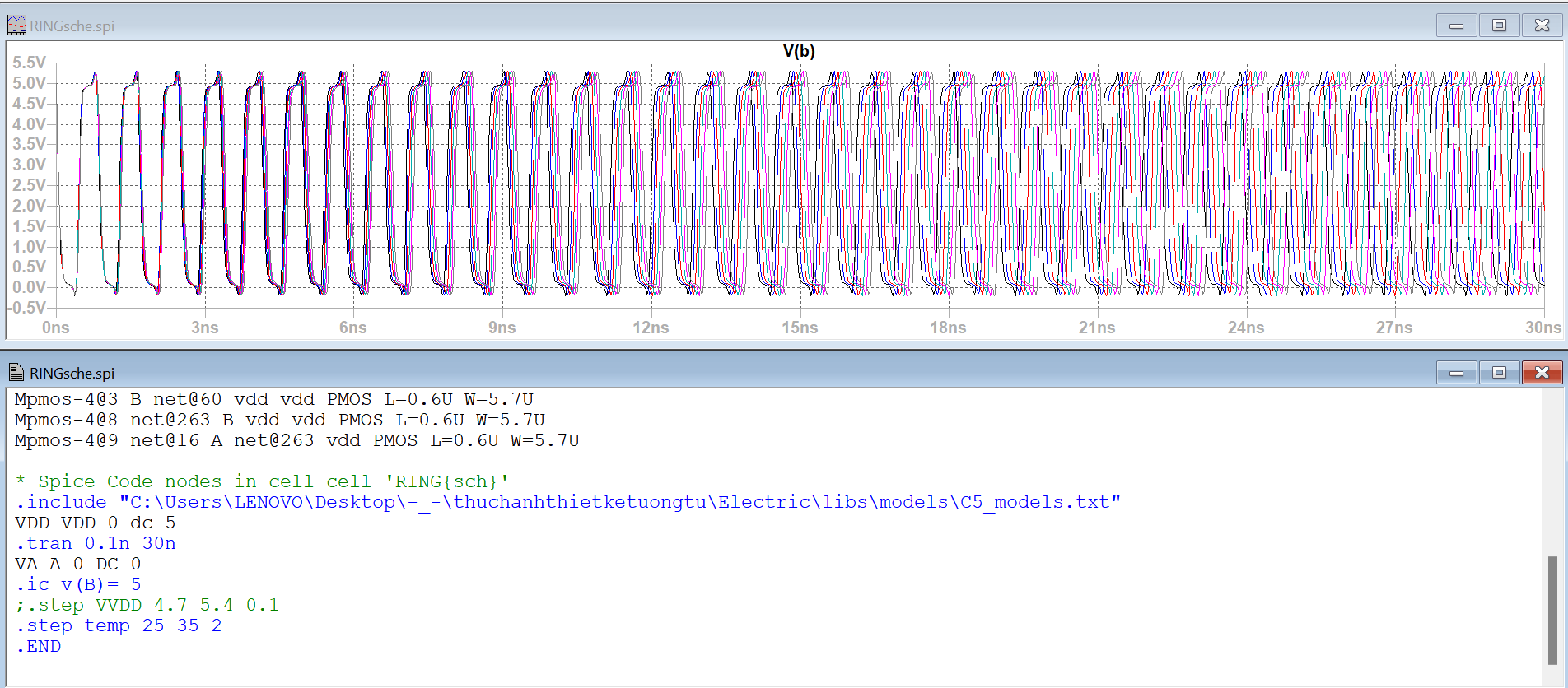


+ Khoảng tần số ngõ ra và công suất trung bình của mạch khi VDD biến thiên



Công suất

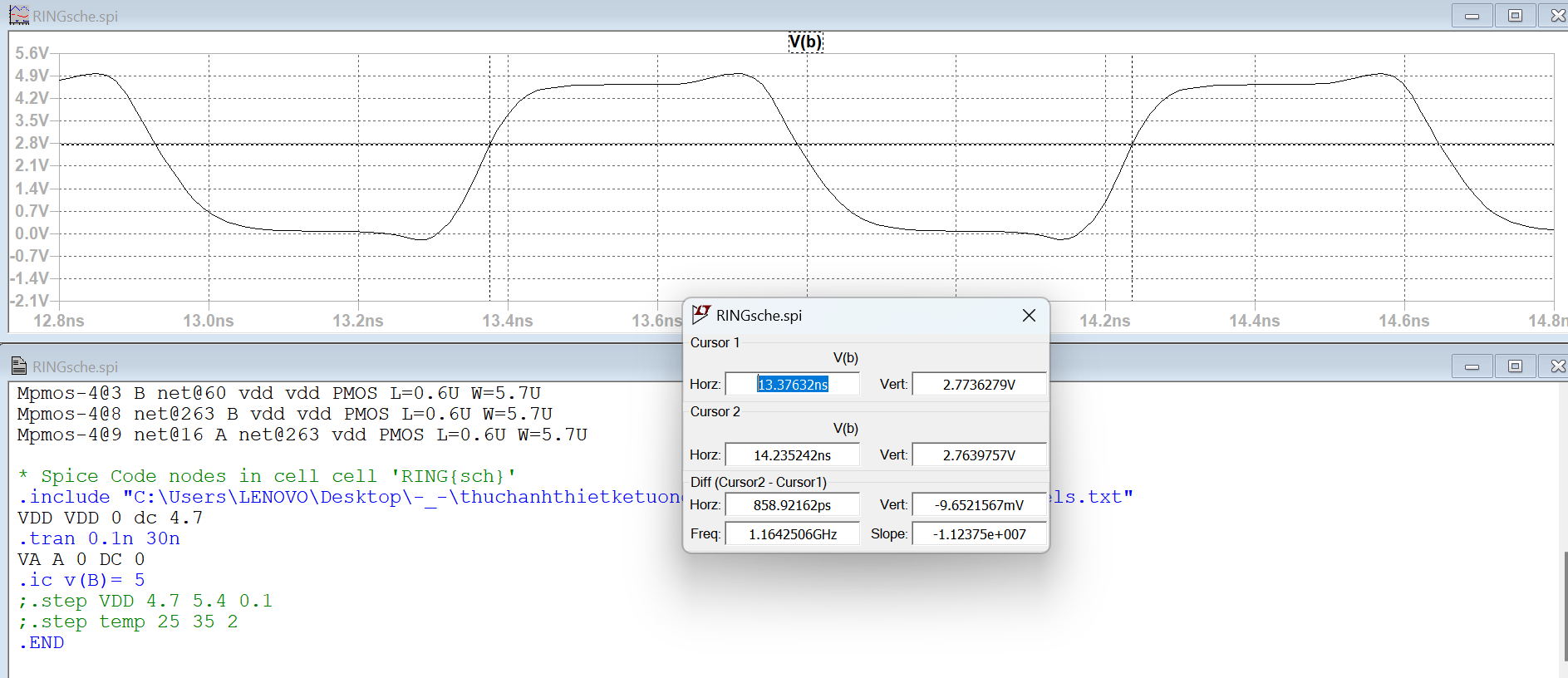
+ Khoảng tần số ngõ ra khi nhiệt độ biến thiên



Nhiệt độ càng lớn thì f càng nhỏ

+ Khoảng tần số ngõ ra và công suất trung bình của mạch khi VDD biến thiên

Khi VDD=4.7



VDD=5.3

