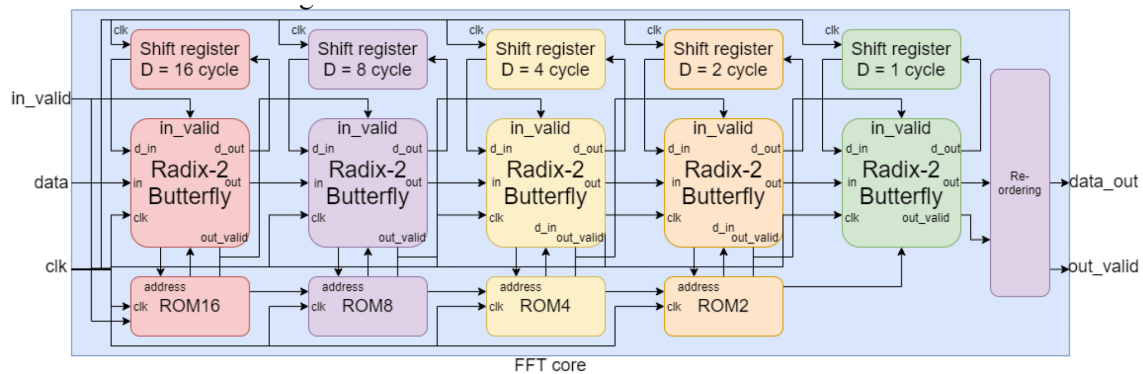


A-Single-Path-Delay-32-Point- FFT-Processor

劉彥甫
台大電機所
2021年4月22日

Schematic



Module

A. Radix-2 Butterfly: 分為四個狀態

1. 將輸入之數據存入Shift register。
2. 將輸入與shift register進行計算，得到結果後將first half輸出，並將second half存入Shift register。
3. 將second half從shift register中讀出。
4. 關閉電路運作以節省能源。

B. ROM Files: 由 Matlab模擬量化結果並自動產生Lookup table。如下

```

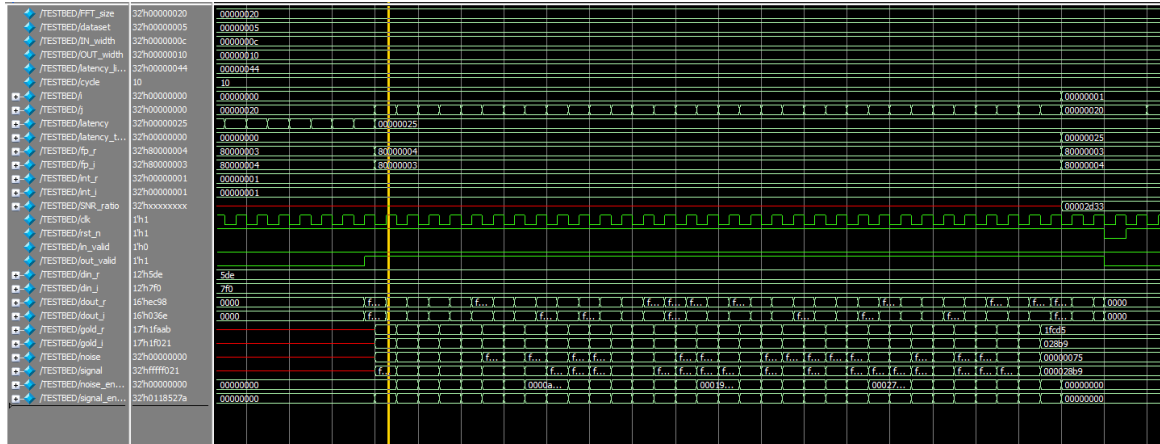
2      % Wnr Rom File
3      %=====
4
5      % =====settings=====
6
7      %ROM_type = 16;
8      %ring_counter = false;
9
10     % delay Number is
11     function wnr_generator4(ROM_type,ring_counter):
12
13     %ROM_type=16;
14     %ring_counter=false;
15     delay=ROM_type;
16     stage = 32/(ROM_type*2);
17
18
19     disp(ROM_type);
20     fileID = fopen(append('rom',num2str(ROM_type),'.v'),'w');
21     fprintf(fileID,append("module Rom",num2str(ROM_type),"\n"));
22     fprintf(fileID,"    input clk;\n");
23     .....

```

C. Shift registers: 為FFT 提供延遲，並提供Butterfly 之輸入。

D. Re-ordering: 因為是Decimation in frequency，故輸出要重新排序。

Simulation



Design Specification

Spec	Value
Technology	UMC .18製程
Frequency	100MHz
Chip Size	$364700 \mu m^2$
Dynamic power	10.73 mW
SNR	42.28 dB

Design Space Exploration

	Output SNR [dB]	V _{DD} [V]	f _{clk} [MHz]	Latency [cycle]	Dynamic Power [mW]	Area [μm^2]	PAP [mW· μm^2]
3 mult 5 adder	42.28~40.63	1.8	100	37	10.7752	370698.150688	3994346.713
與之 Parallel	42.28~40.63	1.212V	50	37	4.88524	741396.3014	3621896.073
與之 Pipeline	42.28~40.63	1.212V	100	64	5.37376	407767.9658	2191247.124
4 mult 2 adder	42.28~40.63	1.8	100	37	10.7313	364701.660125	3913722.925
與之 Parallel	42.28~40.63	1.212V	50	37	4.86557	729403.3203	3548962.913
與之 Pipeline	42.28~40.63	1.212V	100	64	5.3517	401171.8261	2146951.262
與之 Folding	42.28~40.63	1.8	200	37	10.7313	182350.8301	3913722.925

Pin Map

Spec	Value
輸入(實數) word length	12 bits
輸入(虛數) word length	12 bits
輸入致能訊號	in_valid
輸入時脈	Clk (100MHz)
非同步重設訊號	rst_n
輸出(實數) word length	16 bits
輸出(虛數) word length	16 bits
輸出致能訊號	out_valid