國立彰化師範大學電子系110學年第2學期

「超大型積體電路設計導論」學期專題報告

全訂製佈局(Full-Custom Layout)設計流程

題目：選擇一個2輸入以上，1個輸出以上，有意義的CMOS電路，依完整標準流程項目鍵入並貼上親自上機相關畫面，更改檔名的學號。於2022/6/20(一) 17:00前上傳至雲端學院。擷圖要包含視窗左上角有你學號的畫面，最後請與成功畫面合照(側面亦可)。

姓名：蘇煒淵

學號：S0853044

日期：6/15



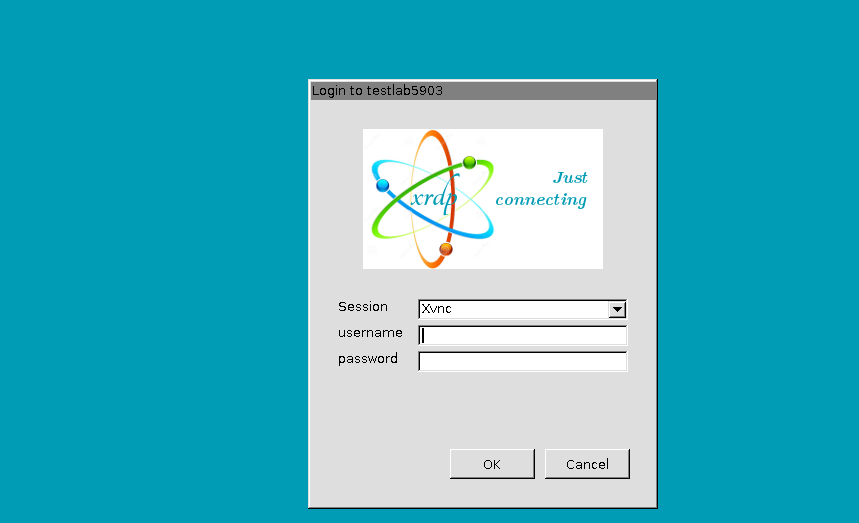
1. 自行完成專題保證：以50字以內說明獨字完成之聲明。

我保證是獨自完成的。

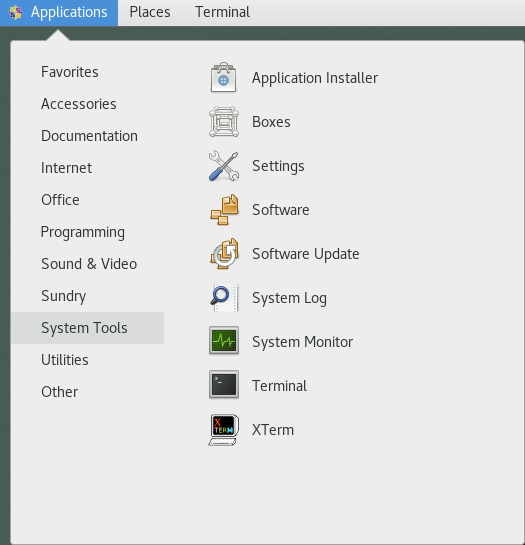
1. 進入工作站之設定步驟：

早期以NX或Putty/Xming進入工作站，最近使用遠端桌面進入，請敘述使用遠端桌面進入工作站所需之設定及步驟：

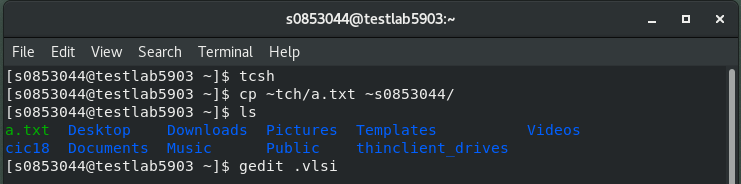
1. 打開遠端桌面連線

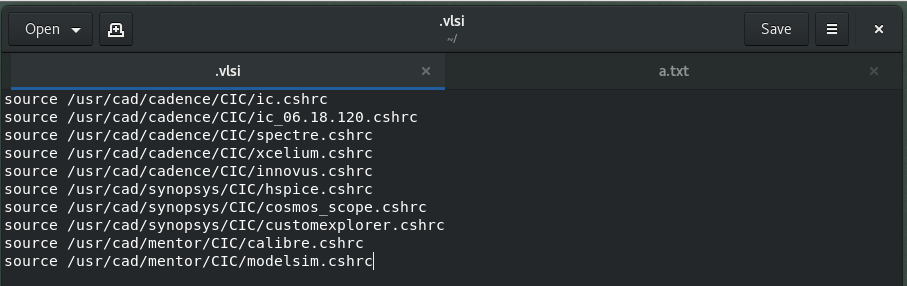


1. 開啟終端機



1. 導入所需的source到.vlsi

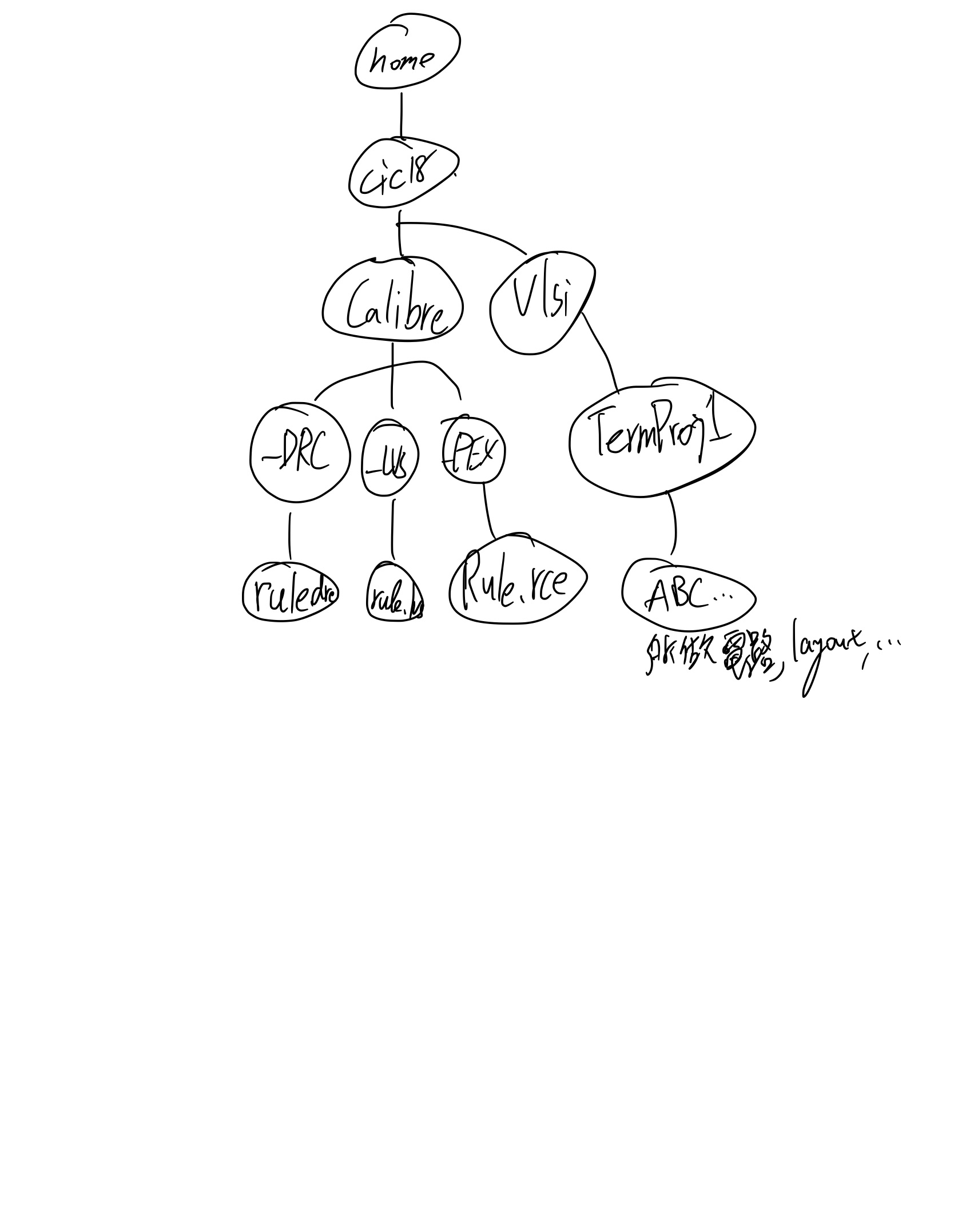




1. 常見Linux指令說明(最少15個)

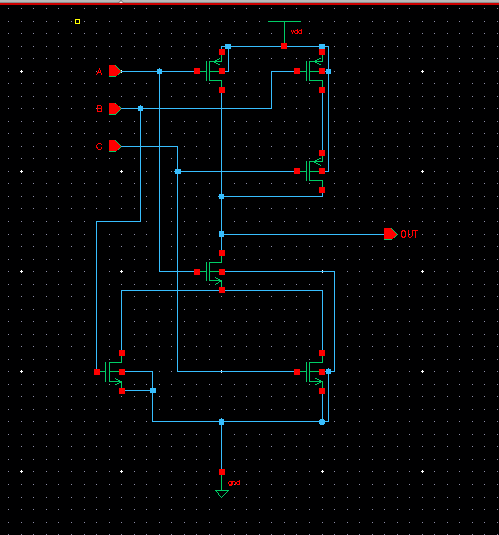
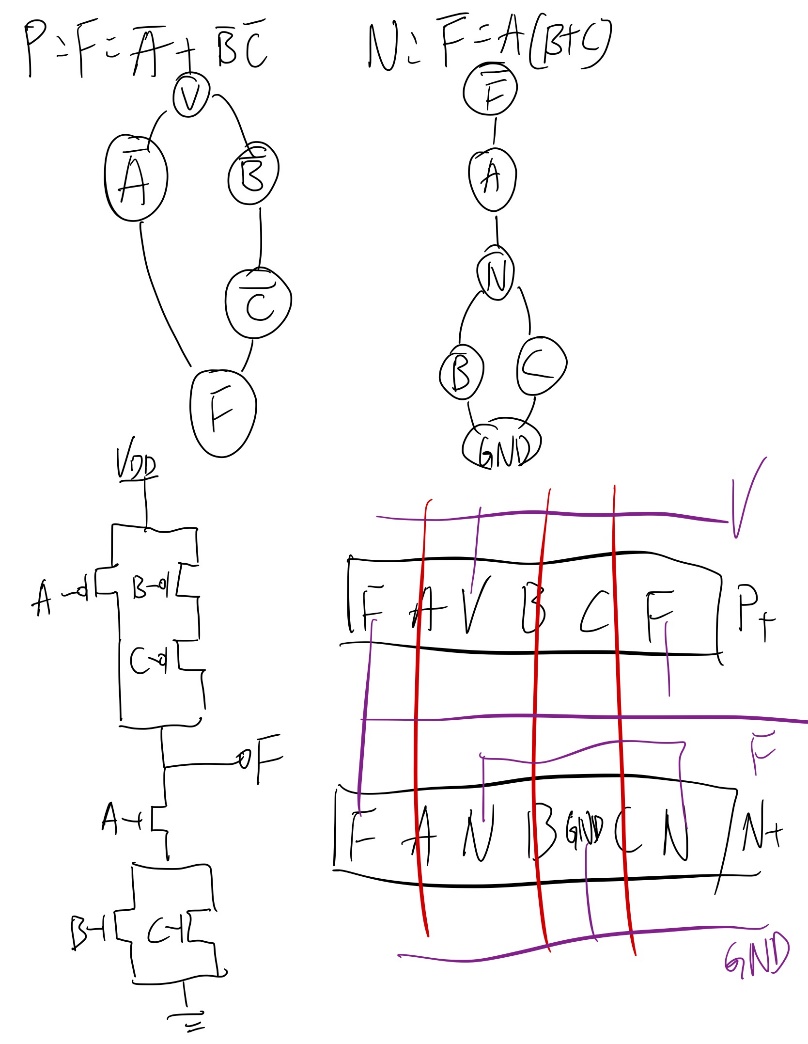
例：

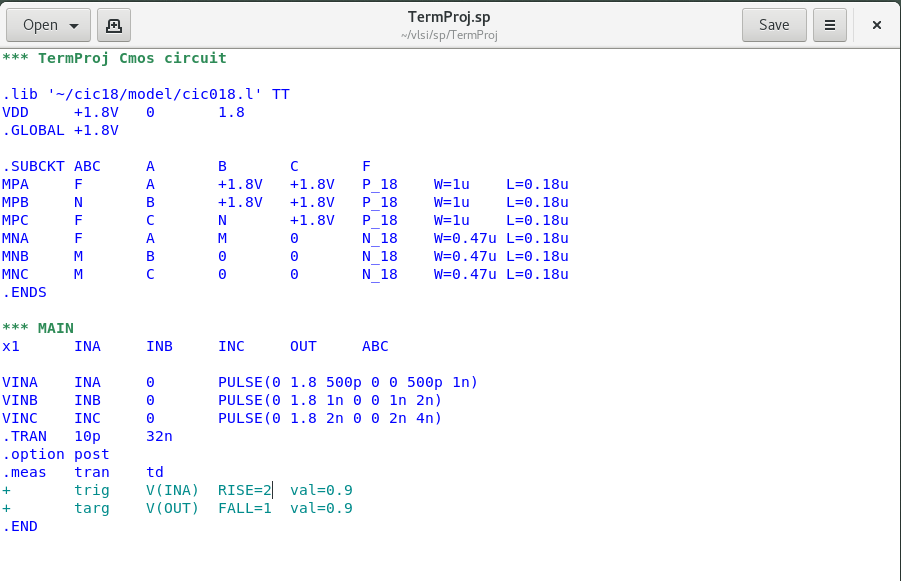
1. cat:將檔案內容列出
2. pwd:顯示所在的目錄
3. exit:離開Linux系統
4. cp:複製
5. cd:跳到根目錄，若後面有加路徑則跳到該目錄
6. history:查之前所使用過的指令
7. alias:可幫指令另取別名
8. which:搜尋執行檔
9. ls:顯示檔案內容
10. whoami:顯示目前使用者的身分
11. mkdir:建立新目錄
12. passwd:更改密碼
13. who:顯示目前在系統上的使用者
14. more:檔案內容太大，使用 cat 時無法將檔案內容全部列出，用 more 即可看到未列出的部分
15. clear:清除螢幕畫面
16. 畫樹狀圖說明所需檔案結構並簡要說明檔案用途。

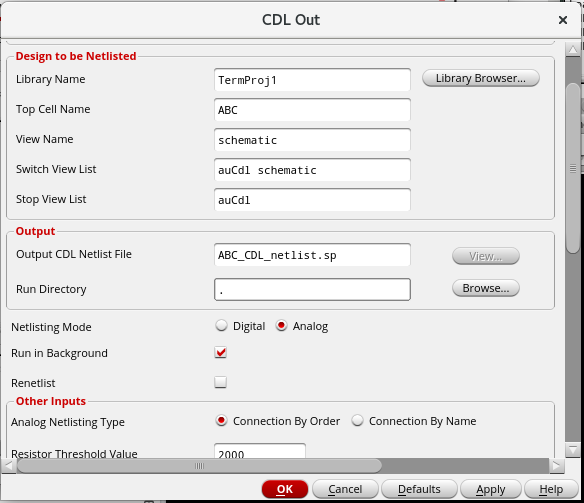


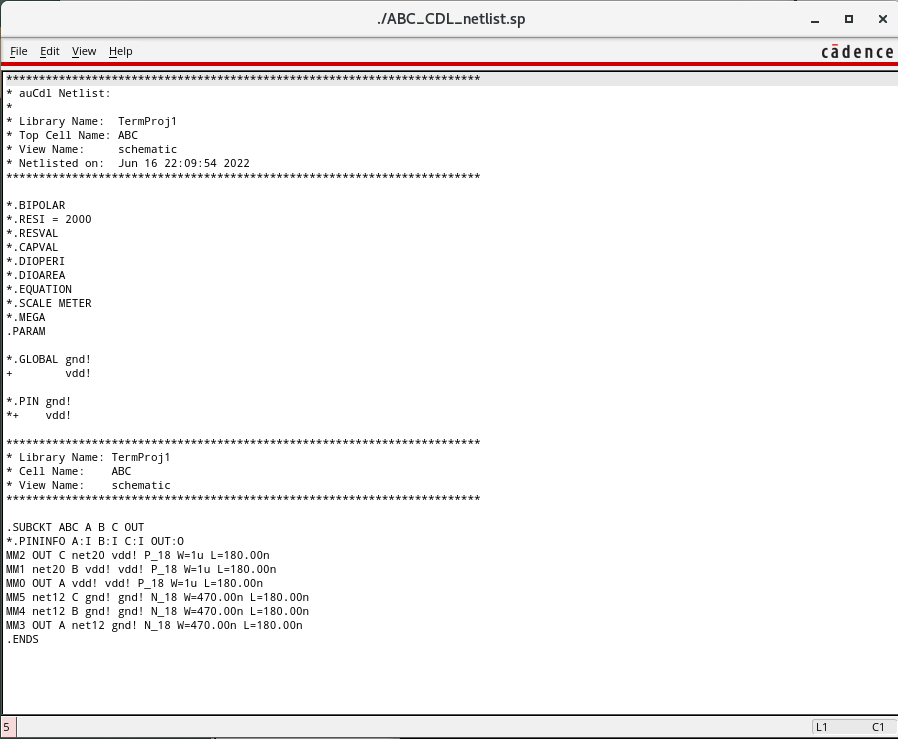
1. 假設Lp=Ln=0.18um, Wp=1um, Wn=0.47um設計一個2輸入以上，1個輸出以上，有意義的CMOS電路, 先畫Schematic流程，要做到Check & Save, 及Export to CDL備用。(細部流程自行編號)

F=



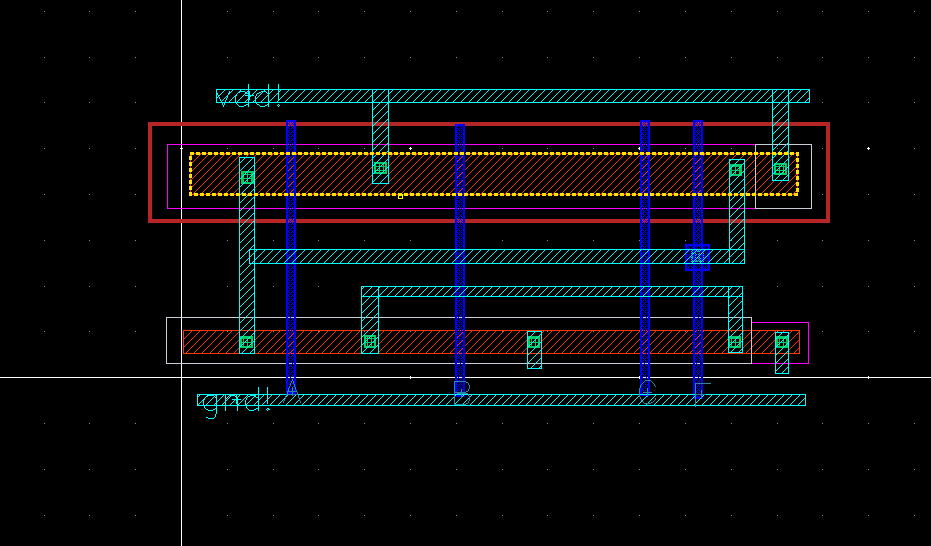




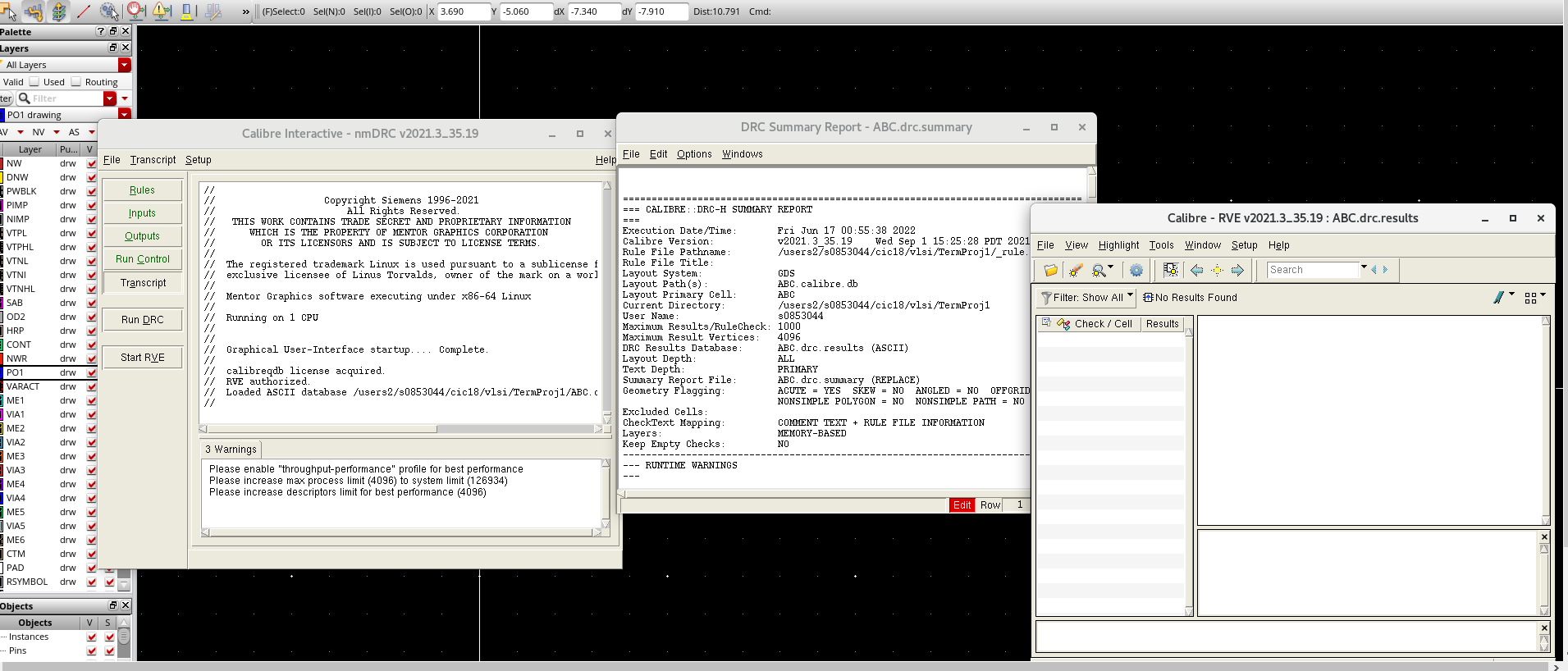


1. 以Cadence Virtuoso佈局，完成DRC/LVS和PEX。

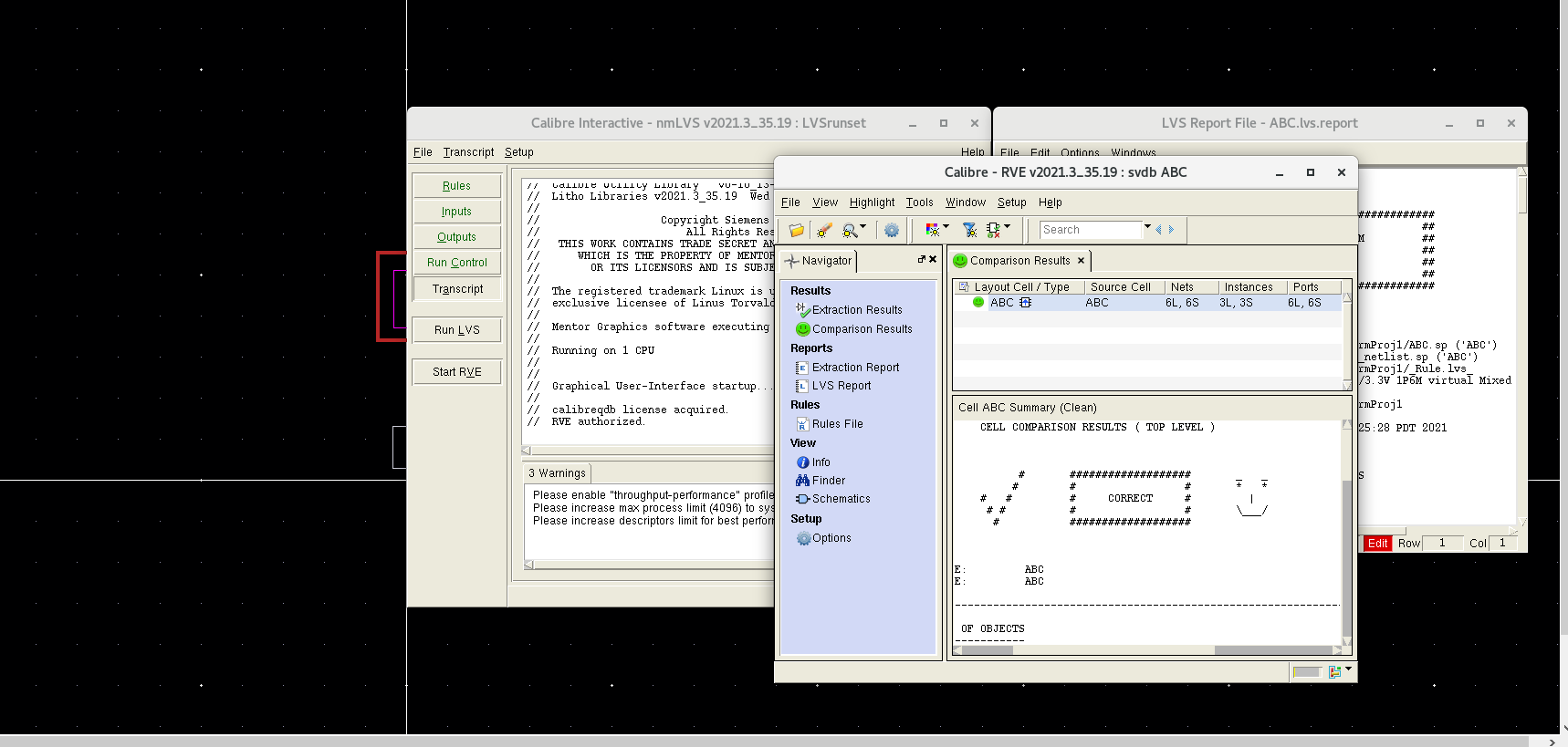
佈局



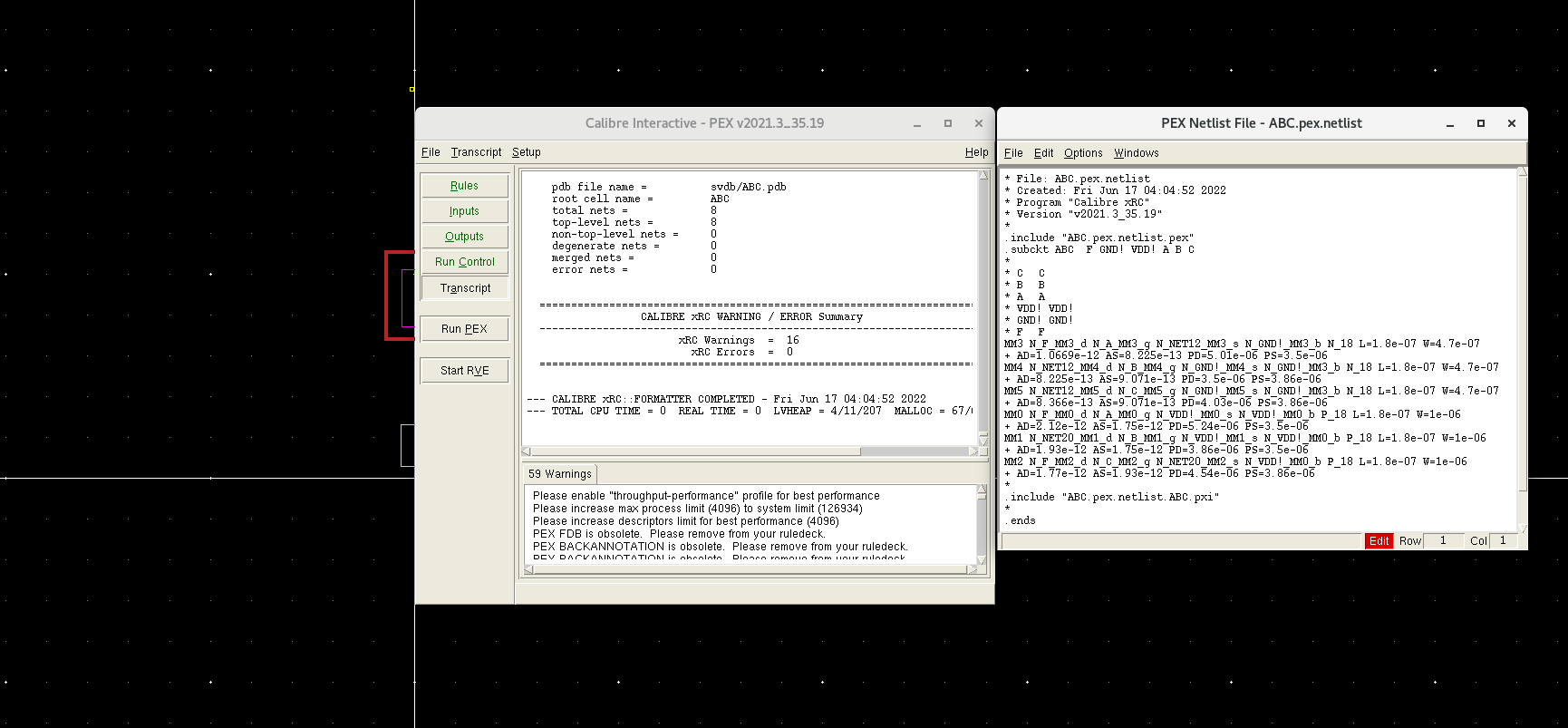
DRC



LVS

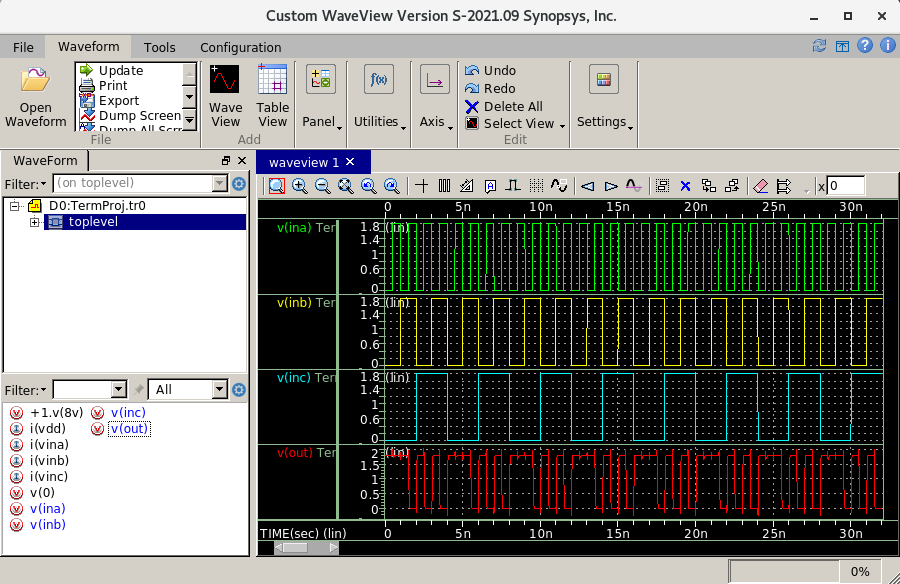
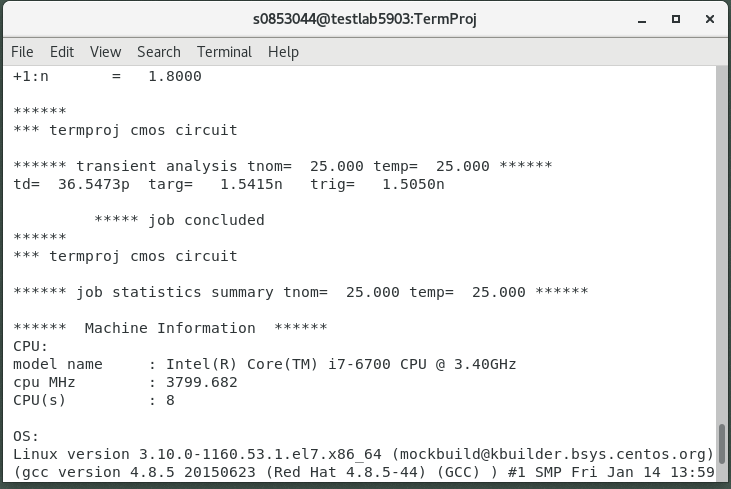


PEX

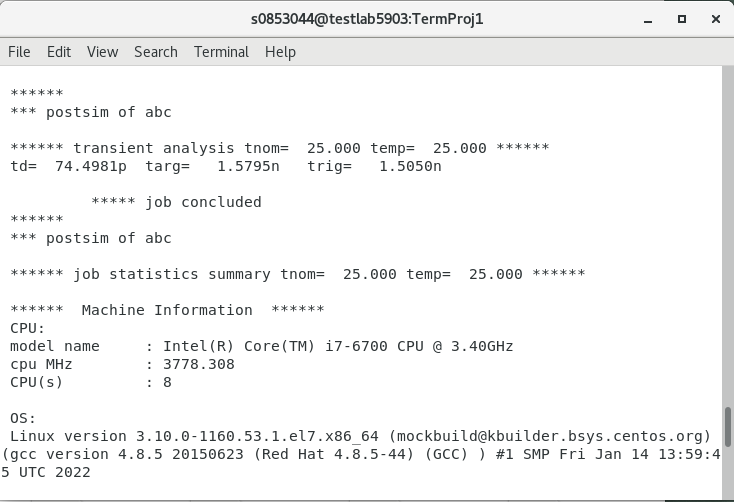


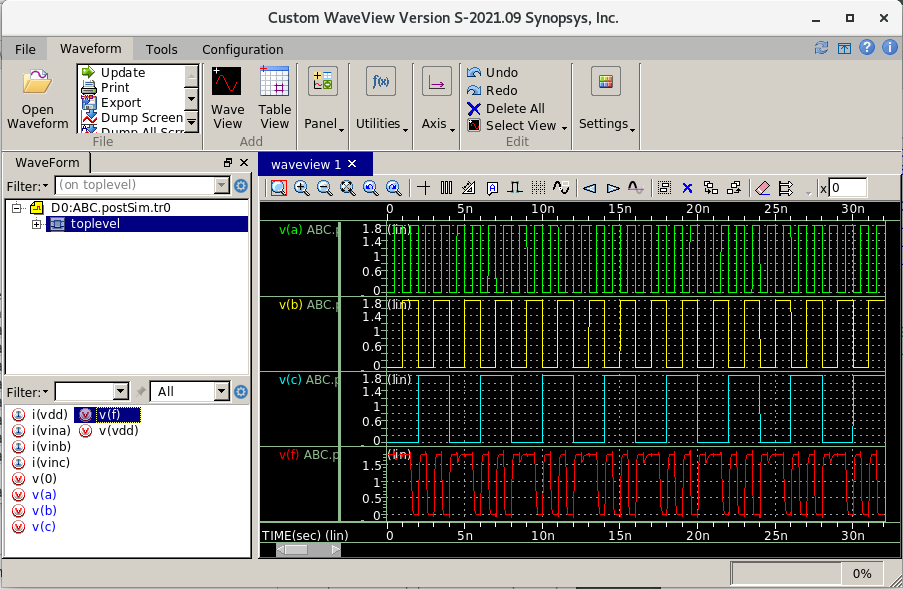
1. Post-Layout HSPICE Simulation，以.MEAS 量測延遲時間，貼上 WaveView (wv) 脈波圖及圈出 List 檔中延遲時間。

Hspice做出來的結果



用virtuoso的schematic 所做出來的結果





1. 學習心得 (100字以內)

此次的專題讓我了解到佈局是個複雜的工作。雖然過程很艱難，但是能夠學到佈局的知識，對於之後的工作也有著很好的開頭。而這個工作也的確需要付出許多的努力。