初赛选择的题目为第四题：

题目四：基于 FPGA 的波形产生、采集、显示装置

赛题内容：

使用 FPGA 制作一个波形产生、采集、显示装置。题目要求如下：

1. 产生如下参数的正弦波、方波、三角波，通过 DA 模块输出；

1) 正弦波：输出频率 100Hz~1000Hz 可调，步进值为 100Hz，幅值要 求可以设置为原波形的 1 倍、1/2 倍、1/4 倍、1/8 倍，其他参数不作要求;

2) 方波：输出频率 100Hz~1000Hz 可调，步进值为 100Hz，幅值要求 可以设置为原波形的 1 倍、1/2 倍、1/4 倍、1/8 倍，占空比设置可切 换 10%、50%、80%，其他参数不作要求； 3) 三角波参数不作要求；

2．采集 AD 数据，并将采集到的数据叠加到波形显示窗口进行显示；

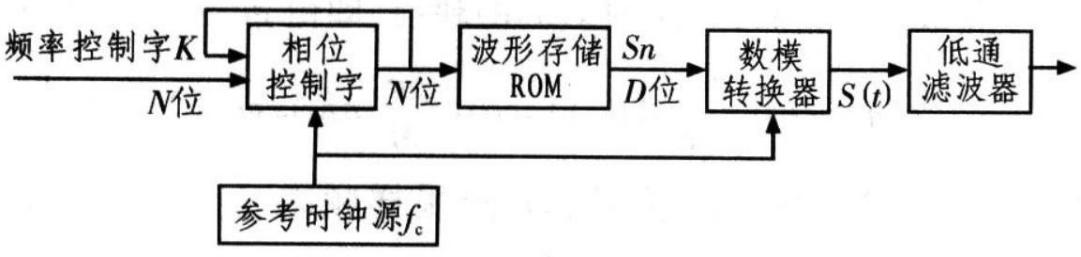
3．波形显示：基础部分要求通过 ILA 抓取信号显示，提高部分要求通过 HDMI\MIPI\VGA 在显示器上显示出来（要求有时间栅格，可以判断信号频率）。

**本设计利用DDS的原理设计产生正弦波等波形进行输出。**

DDS（Direct Digital Synthesis）是一种把一系列数字信号通过D/A转换器转换成模拟信号的数字合成技术。它有查表法和计算法两种基本合成方法。由于ROM查询法结构简单，只需要在ROM中存放不同相位对应的幅度序列，然后通过相位累加器的输出对其寻址，经过数/模转换和低通滤波（LPF）输出便可以得到所需要的模拟信号。这里，选用ROM查表法。

在该方法的实际操作中，首先根据奈奎斯特取样定理，从连续信号的相位Φ 出发将一个信号取样、量化、编码，最后形成一个信号函数表，并且事先存于ROM 中。在信号合成时，通过改变相位累加器的频率控制字，来改变相位增量， 而相位增量的不同将导致一个周期内取样点的不同，从而改变频率。具体的 DDS 实现时，是通过在采样频率不变的情况下，改变相位累加器的频率控制字，将这 种变化的相位、幅值量化的数字信号通过 DA 变换及滤波，最终得到合成的模拟 信号。

DDS 主要由相位累加器、波形 ROM、DAC 以及低通滤波器等组成，其基本结 构图如图 2.1 所示。

图2.1 DDS的基本结构图

位相位累加器的位数为 N，每一个取样时钟相位累加器都会对频率控制字 K进行累加。相位累加器的高位输出作为波形 ROM 的地址，从而实现了波形相位到幅值的转换。波形数据经 DAC 转换得到阶梯状的信号，通过滤波器输出相对平滑的波形。

由 DDS 的结构可以看出 DDS 输出信号的频率分辨率是由相位累加器的位数 N决定，相位分辨率由 ROM 的寻址位数决定，而幅值分辨率是由 DAC 的数据位数所决定。

**方案论证：**

１.1波形数据存储方案：

用 FPGA 作为数据转换桥梁，将波形存储在其内部的 RAM 中，通过硬件扫描将波形数据传输给 STM32 产生波形输出。由于 FPGA 是一种高密可编程逻辑器件，可以满足题目的要求。

1.2DA产生波形和AD采集数据方案

使用高速AD转换芯片AD9280和高速DA转换芯片AD9708分别进行数据采集和数据产生。

AD9708 是 ADI 公司（Analog Devices，Inc.，亚德诺半导体技术有限公司）生产的 TxDAC 系列数模转 换器，具有高性能、低功耗的特点。AD9708 的数模转换位数为 8 位，最大转换速度为 125MSPS（每秒采 样百万次 Million Samples per Second）。

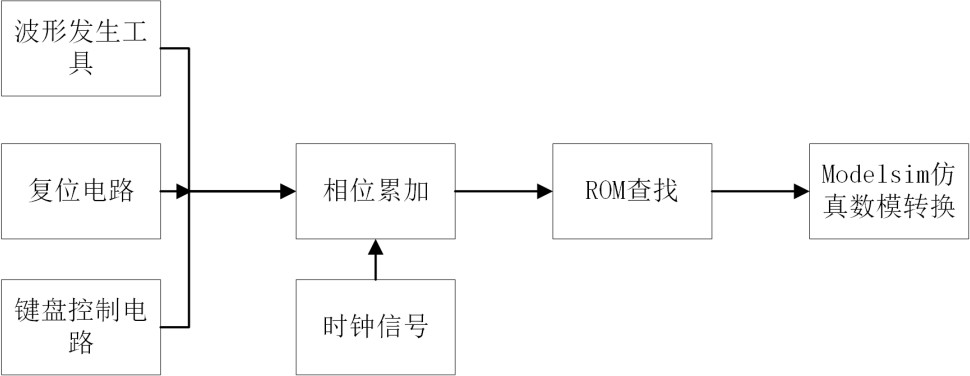
AD9280 是 ADI 公司生产的一款单芯片、8 位、32MSPS（Million Samples Per Second，每秒采样百万次） 模数转换器，具有高性能、低功耗的特点。

两者的性能均满足题目所需的指标。

1.3HDMI输出

HDMI 是新一代的多媒体接口标准，英文全称是 High-Definition Multimedia Interface，即高清多媒体接 口。它能够同时传输视频和音频，简化了设备的接口和连线；同时提供了更高的数据传输带宽，可以传输 无压缩的数字音频及高分辨率视频信号。HDMI 1.0 版本于 2002 年发布，最高数据传输速度为 5Gbps；而 2017 年发布的 HDMI 2.1 标准的理论带宽可达 48Gbps。满足题目所需。

1.4DDS的总体设计方案



# 2. Verilog 源代码及测试文件编写

ROM的地址共有14位。故程序的always块设计如下：当clk的上升沿或复位信号sys\_rst\_n的下降沿到来时进入always块，执行判断，若reset\_n的下降沿到来，说明复位信号生效，执行复位操作，ROM的地址复位为14'd0。反之，进行波形的选择，不同波形有对应的初始化地址，然后进行地址的累加。相位的累加是通过对ROM地址的累加实现的。改变该累加数值可实现信号频率的改变。Verilog程序代码见附件所示。

使用Mif精灵软件，选择开发环境Quartus，位宽选择8bit，深度选择16384，和ROM的地址2^14保持一致。再分别选择波形类型为正弦波、三角波、方波、锯齿波。单击OK按键，即可生成初始化ROM所需的.coe文件。软件运行截图如图2.1所示。

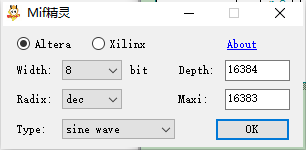


图 2.1 Mif 精灵软件运行截图

由于生成的ROM初始化数据较多，在此只展示正弦波的部分数据，如图2.2所示。

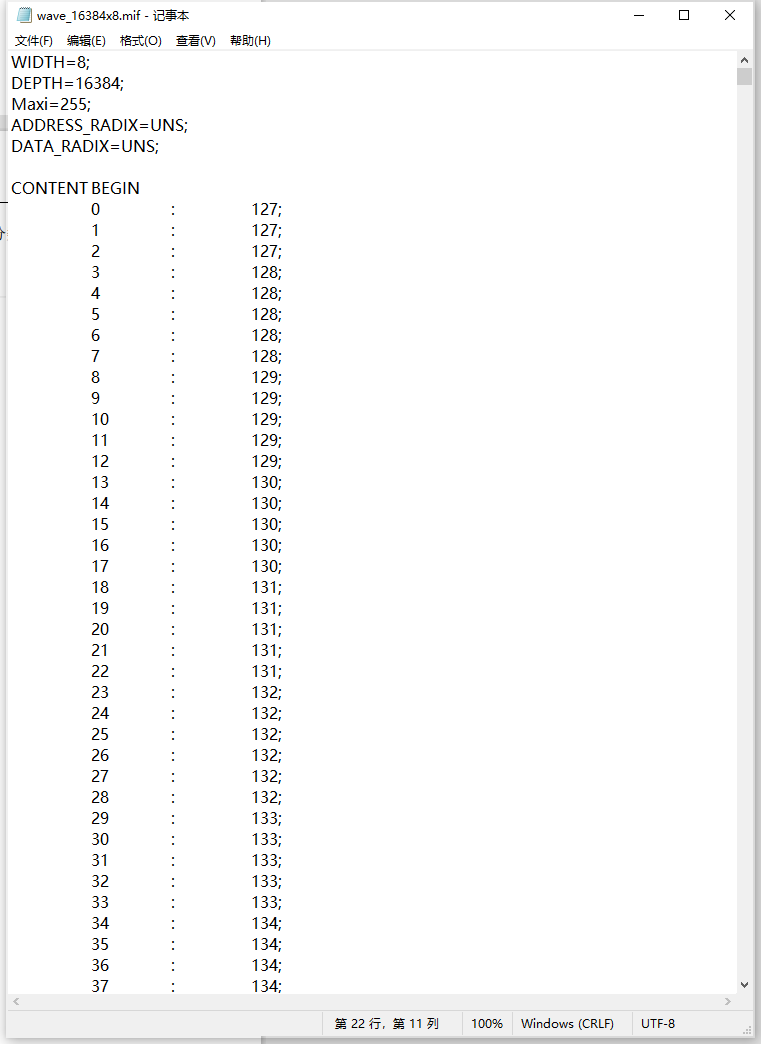
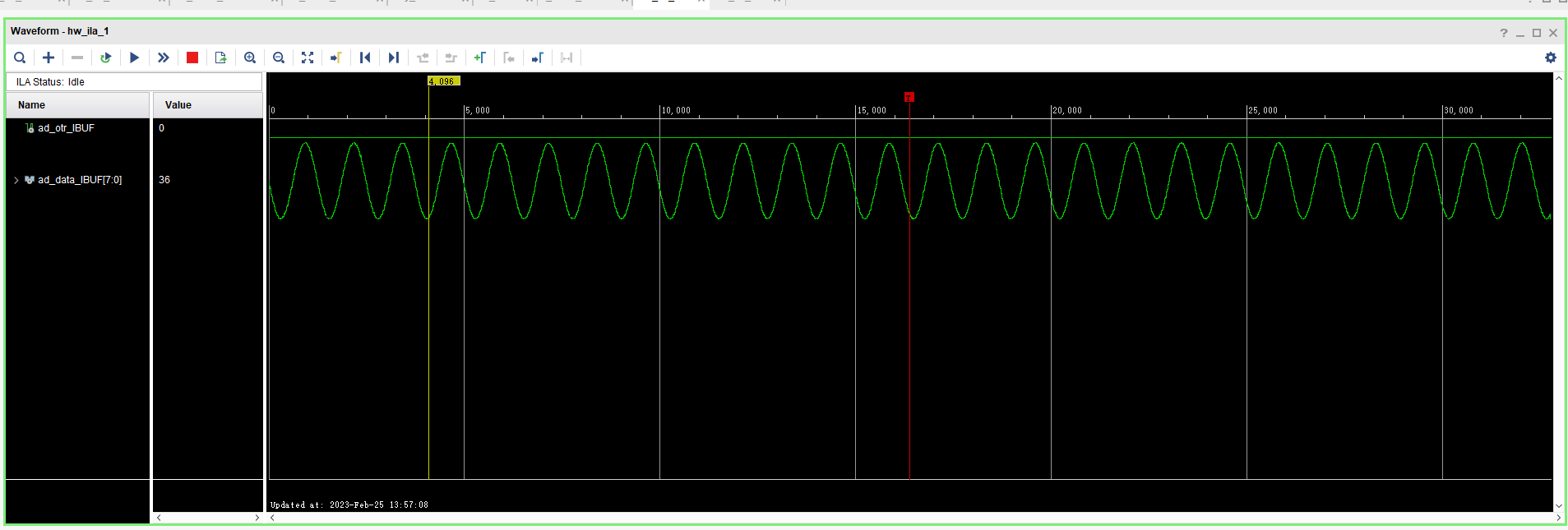


图2.2 正弦波部分数据截取

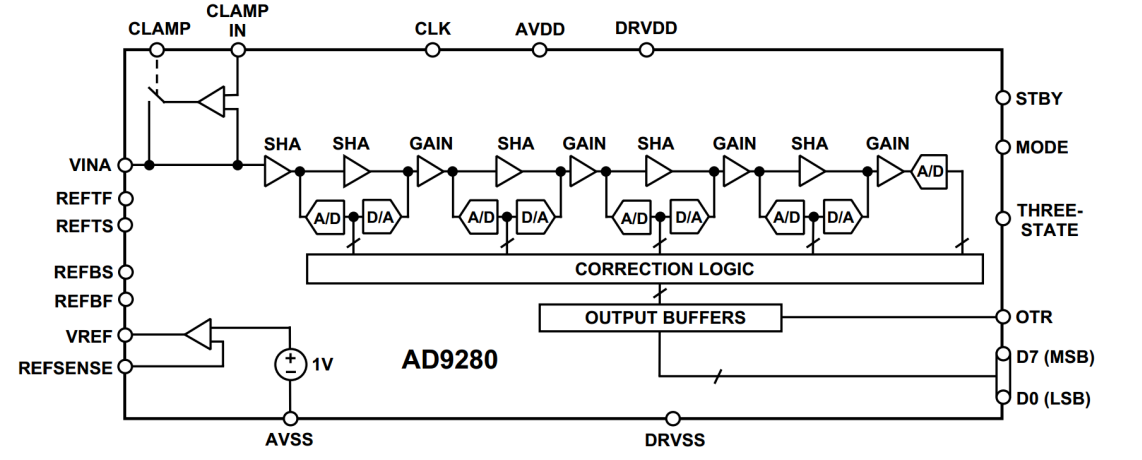
本设计使用的板子为digilent-Basys3，设计可分为三个模块，分别为：信号产生模块，信号采集接收模块，信号显示模块。

之后再例化模块即可；正弦波在给定的频率下通过相位自增模块来产生相位，每一个相位对应一个幅值，可以控制频率和步长（这对输出波形的完整性有影响），这便是rom查表法产生正弦波原理。

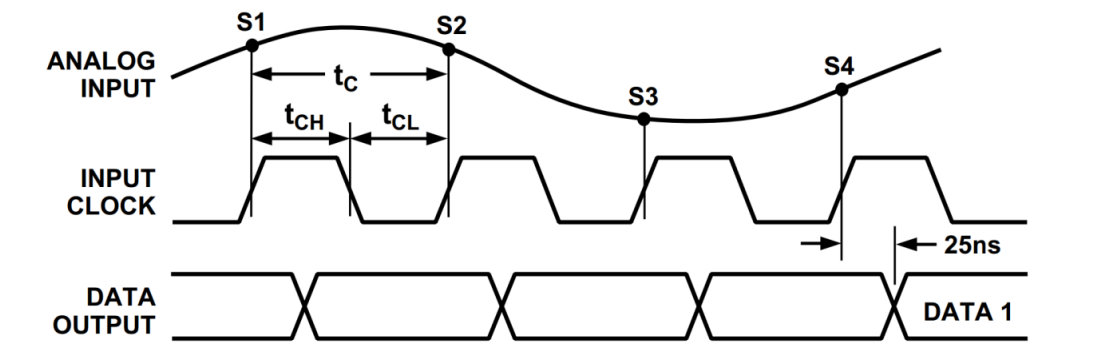
产生波形结果如下所示：

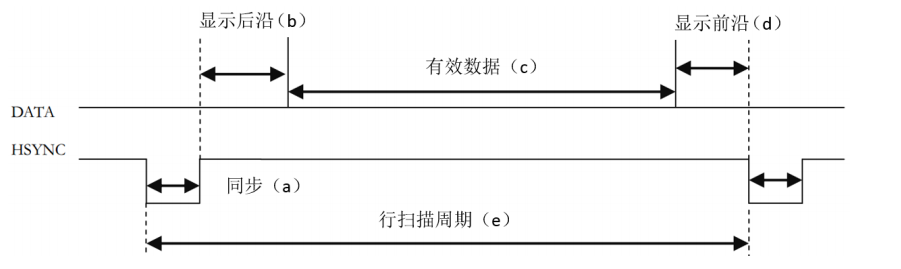


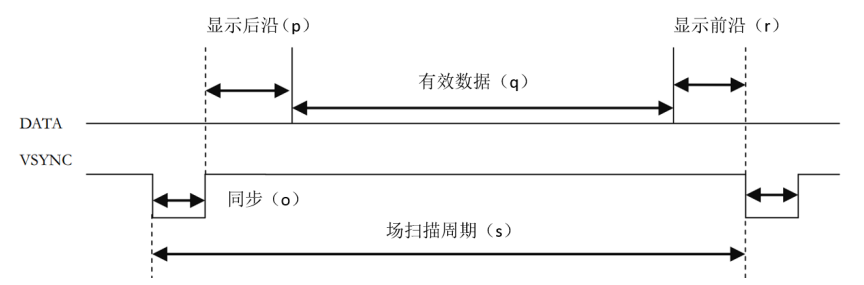
1. 信号采集接收模块，即AD-DA模块，这里采用的是AD9280模块



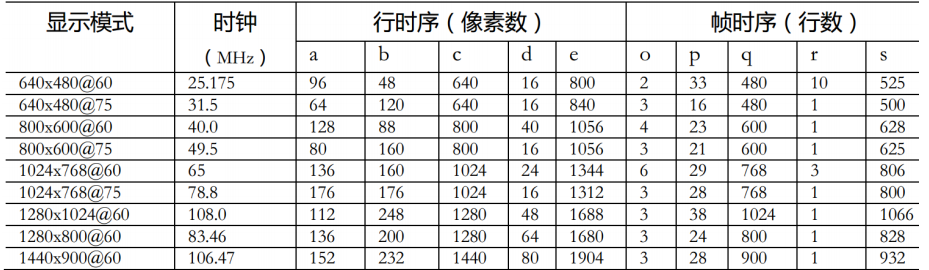
根据AD9280的时序图编写verilog代码，产生相应的驱动程序，完成数据的采集，其时序如下所示：







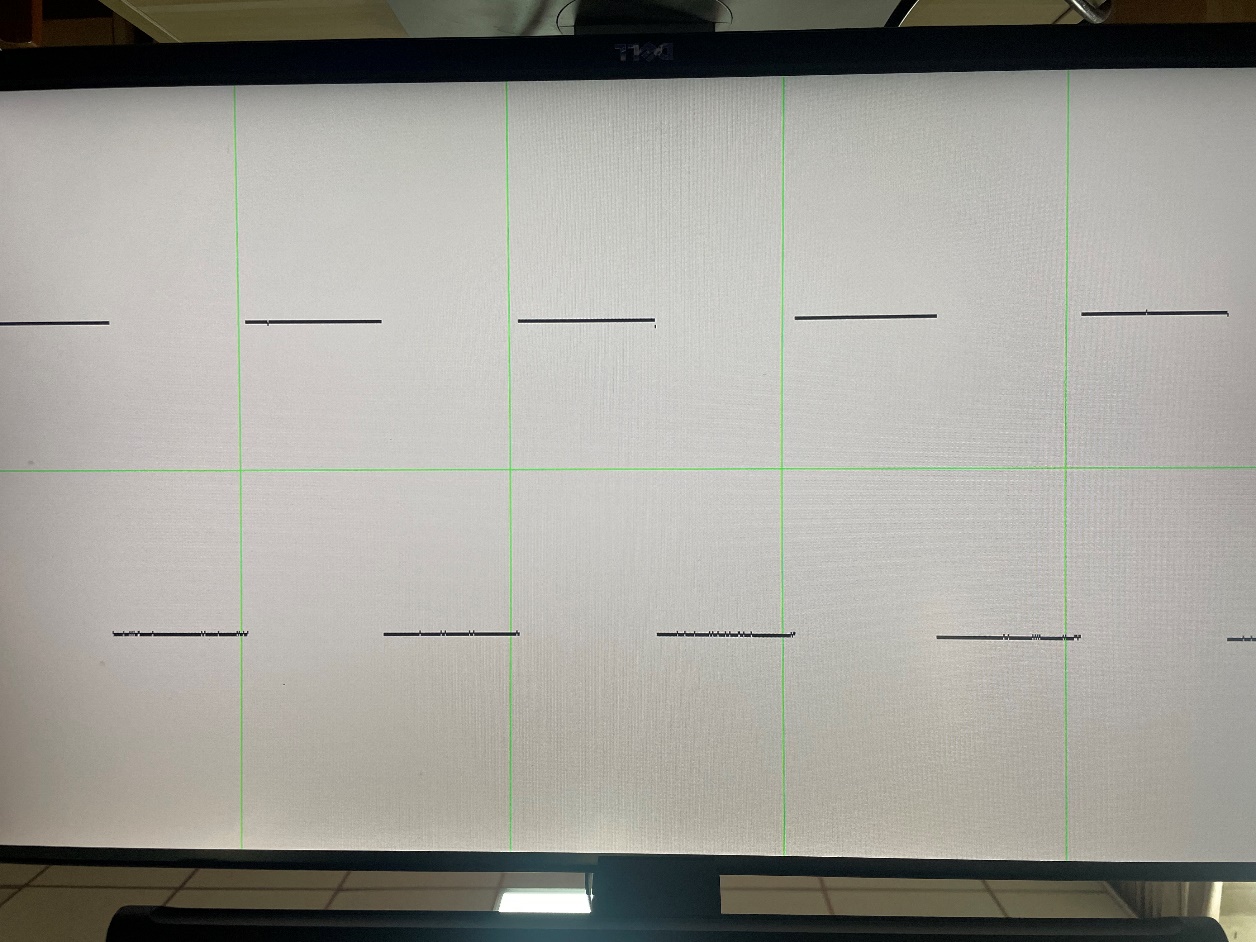
从上面两幅图中我们可以看到VGA传输过程中的行同步时序和场同步时序非常类似，一行 或一场（又称一帧）数据都分为四个部分：低电平同步脉冲、显示后沿、有效数据段以及显示前沿。行同步信号HSYNC在一个行扫描周期中完成一行图像的显示，其中在a段维持一段时间的低电平用于数据同步，其余时间拉高；在有效数据期间（c段），红绿蓝三原色数据通道上输出一行图像信号，其余时间数据无效。 与之类似，场同步信号在一个场扫描周期中完成一帧图像的显示，不同的是行扫描周期的基本单位是像素点时钟，即完成一个像素点显示所需要的时间；而场扫描周期的基本单位是完 成一行图像显示所需要的时间。下图为常见的几种分辨率及其对应的时序：

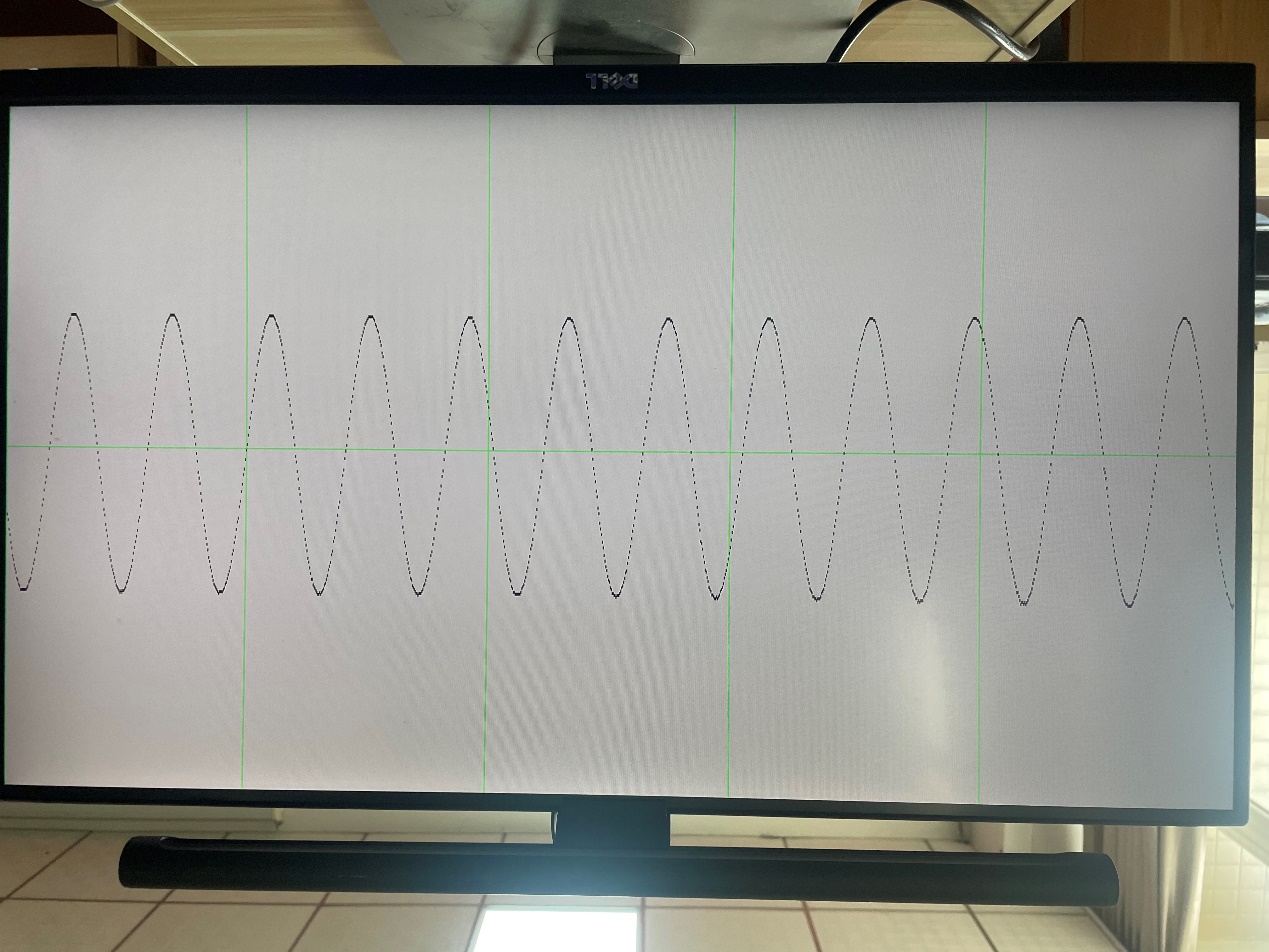


这里采用的是720x1280的显示模式。

因为传输的信号为一个八位的数字信号，且由于HDMI扫描为一行一行扫描，故坐标轴方向则选择为从上到下，选择屏幕正中间为坐标轴（这里采用红色线标示），每次扫描完一行则读取下一个相位的幅值，对该点进行显示，显示的一个个点连接起来便是我们所要显示的图形；对于时间栅格的显示则确定间距直接显示即可，这里使用蓝色线标示，对于频率的显示则采用字模软件对相与的频率进行取模然后显示即可。

最后产生的结果：





代码使用git进行托管，仓库地址为：

https://github.com/WayneJiangCN/School\_competition