实验报告

东北林业大学

计算机科学与技术专业

|  |
| --- |
| 一、实验目的  （1）掌握组合逻辑电路的设计方法及测试技巧；  （2）掌握逻辑函数化简的方法。  （3）掌握利用138译码器的逻辑电路设计方法 |
| 二、实验环境  操作系统：Windows  虚拟模拟软件：logisim |
| 三、实验内容及结果  1、利用Logisim仿真软件的数据输入开关和数据输出灯掌握74LS00和74LS10内部逻辑结构。  (1)74LS00是四组2输入端与非门，逻辑为F=(AB)’，在输入端A1输入1，在B1输入1，会输出0，其余情况下都会输出1。  (1)74LS10是三组3输入与非门，逻辑为F=(ABC)’，在输入端A1输入1，在B1输入1，在C1输入1，会输出0，其余情况下都会输出1。  2、利用已知的74LS00、74LS10门电路，及相关的数据插线，设计一个三人的投票表决器，画出连线图，及功能验证真值表。(两人或三人同意时通过)  （1）三人表决器共有三个输入端，一个输出端。在两个或三个输入端输入1时，输出1。  （2）表达式为F=B C + A C + A B，真值表为  （3）电路运用74LS00、74LS10门电路，连线图为  3、利用仿真软件，设计一个加法器  （1）加法器共有三个输入端A，B，cc，两个输出端S，C。  （2）输出端S表达式为S=，输出端C的表达式为C=B cc + A cc + A B，真值表为 （3）电路运用异或门、与门和或门组成 |
|  |

|  |
| --- |
| 四、实验过程分析与讨论  1、三人表决器  （1）表达式为F=B C + A C + A B，在两个或两个以上的输入端输入1，输出端才会输出1。  （2）先将其中两个输入端进行与非输出，利用74LS00门电路其中三组，再将三个输出端作为输入端接入74LS10门电路进行与非操作，最终输出结果为F。  （3）三人表决器当两人及以上输入1，结果为1。  2、加法器  （1）加法器是由两个相加的数，以及进位组成，输出时，不仅会输出当前位置S，也会输出进位C。  （2）先将三个输入端进行异或输出S，如果有奇数个1，则S输出1，否则将输出0。对于进位C，如果有两个及两个以上的输入端输入1，则输出端输出1。原理与三人表决器相同。  （3）加法器电路为  内部电路为  （4）加法过程（四位加法器）  当输入全为0时，没有输出。  当某一位输入都为1，则进位1。  当任意相加时，输出正确结果 |
| 五、指导教师意见  指导教师签字： |