实习报告

东北林业大学

计算机科学与技术专业

一、课程设计目的

1、掌握数字系统的分析设计方法。

2、能够合理地选用集成电路器件进行仿真电路的设计。

3、掌握仿真电路的布局、布线，学会对仿真电路检查，以及锻炼排除故障的能力。

4、学会利用虚拟仿真的方法对设计的数字电路进行调试。

二、虚拟环境

操作系统：Windows

虚拟模拟软件：logisim

三、课程设计相关原理

**1. 振荡器原理**

振荡器是一种能产生周期性电子信号的电路。该信号的频率决定了计时器的精度。使用石英晶体振荡器，其高稳定性和准确性使其成为计时器的理想选择。示例电路中，石英晶体与非门（如74LS00）结合形成反馈回路，产生振荡信号。

**2. 分频器原理**

分频器将输入信号的频率降低，以产生所需的低频信号。计数器芯片（如74LS90）常用于实现分频功能。通过级联多个计数器，利用其不同输出位（Q0-Q3）实现所需分频。示例中，输入信号为1000Hz，通过74LS90实现二分频（500Hz）和十分频（100Hz）。

计数器芯片：如74LS90（十进制计数器）和74LS393（双4位二进制计数器），广泛用于分频和计数应用。分频公式：分频比 = 输入频率 / 输出频率。例如，输入频率1000Hz，需分频至100Hz，则分频比为10。

**3. 计数器原理**

计数器通过计数输入脉冲，产生一系列计数输出。

对于60进制计数器，需要两个部分：一个10进制计数器和一个6进制计数器。使用两个74LS90芯片，一个作为个位计数器，一个作为十位计数器。个位计数器计数0-9，十位计数器计数0-5。在个位计数到9并进位时，十位计数器加1；当十位计数器达到6时，系统复位。十进制计数器由一个二进制计数器和一个五进制计数器组成

个位计数器满10进位：个位计数器输出Q0-Q3为1010时，通过逻辑电路触发进位脉冲。十位计数器满6清零：十位计数器输出Q0-Q3为0110时，通过逻辑电路触发复位信号。级联计数器：将多个计数器的进位输出连接到下一级计数器的输入，实现更高进制的计数功能。

**4.74LS90**

由一个二分频和一个五分频电路合成

**5.74LS390**

74LS390是两个74LS90组成，一片74LS90的最高位输出的取反是另一片74LS90的输入，构成74LS390，两片共用一个振荡器输入。

**6. 7段数码管显示输出原理**

7段数码管由7个发光二极管组成，通过不同组合点亮表示数字0-9。译码器（如74LS48）将二进制数转换为7段显示格式。输入四位二进制数，译码器将其转换为对应的7段显示编码。通过控制七段数码管的各个LED，显示对应的数字。

**7.四位全加器**

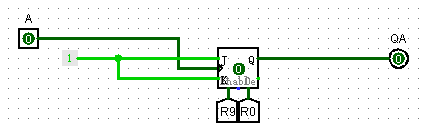
四位全加器由四个一位全加器（FA）级联组成，每个一位全加器负责计算对应位的加法，并将进位传递给下一个高位加器。输入包括两个四位二进制数A（A3, A2, A1, A0）和B（B3, B2, B1, B0），以及来自低位的初始进位C\_in。输出是四位和S（S3, S2, S1, S0）和最高位的进位C\_out。

每个一位全加器接收两个加数位Ai和Bi，以及前一级的进位C\_in，并输出该位的和Si和进位C\_out。具体地，最低位加法器FA0处理A0、B0和初始进位C\_in，输出S0和进位C1。第二位加法器FA1接收A1、B1和C1，输出S1和进位C2。第三位加法器FA2接收A2、B2和C2，输出S2和进位C3。最高位加法器FA3接收A3、B3和C3，输出S3和最终的进位C\_out。

1. 课程设计过程

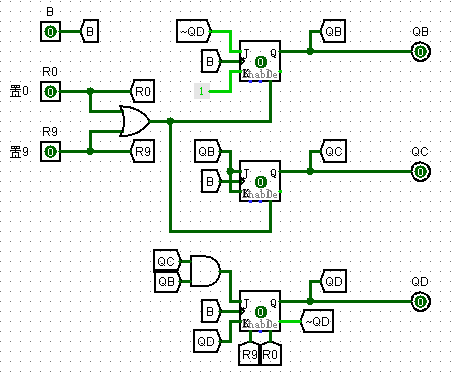
**1.74LS90计数器设计**

**1.2.二分频电路**



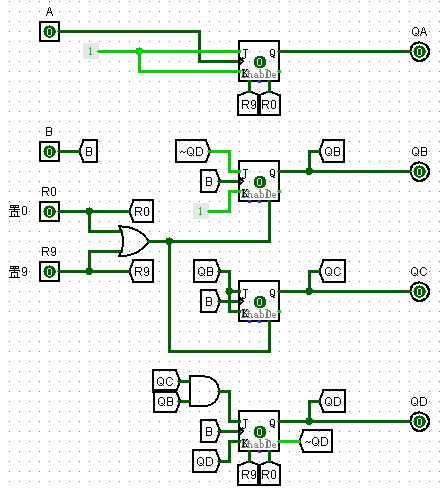
利用JK触发器下降沿，A每一次触发时，QA产生变化，将QA用来五分频电路的输入，实现01循环。

**1.3.五分频电路**



利用管道和三个JK触发器组合形成最多八种状态，通过限制得到01234循环。

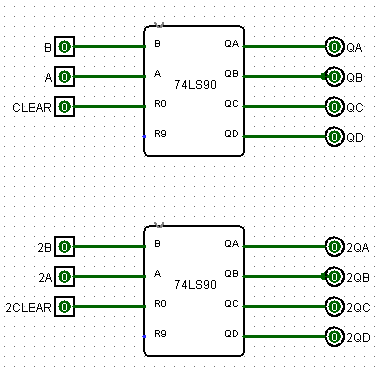
**1.4十位计数器**



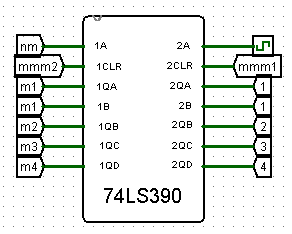
十位计数器，也可以叫做74LS90电路，74LS90包含两个独立的计数模块：一个是MOD-2（两进制计数器），另一个是MOD-5（五进制计数器）。MOD-2计数器每次输入脉冲时翻转其输出，形成一个2分频的信号。MOD-5计数器则每5个输入脉冲翻转一次其输出，形成一个5分频的信号。

通过合理连接和组合这两个模块，可以实现十进制和二进制的计数。通常情况下，将MOD-5的输出连接到MOD-2的输入，可以实现一个十进制计数器，每计数10次输入脉冲，计数器复位。

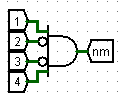
**2. 74LS390**



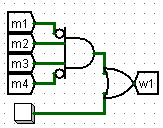
74LS390是一个双十进制（MOD-10）计数器集成电路，具有两个独立的四位计数器，每个计数器可以进行十进制计数。它能够分频和计数，每个计数器有独立的时钟输入和复位引脚。74LS390广泛应用于数字计数、电路分频和定时应用中。



在一片74LS390中，利用电路解决两位的低位，十进制满9清零。



两片74LS390之间，作为分钟向时钟进位，秒钟向分钟进位。低位的高位满5向高位的低位进位。

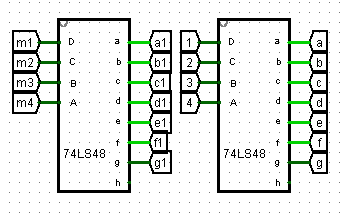


**3.74LS48**

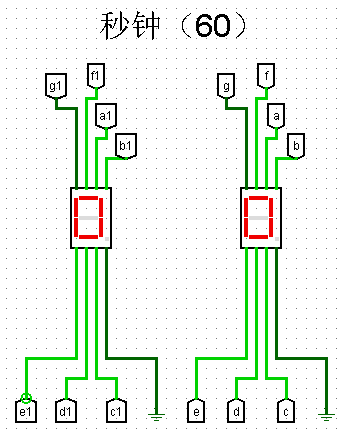
74LS48是一个BCD（Binary-Coded Decimal）到七段显示译码器/驱动器，用于将4位BCD输入转换为驱动七段显示器的相应输出信号，从而显示十进制数字0到9。能够将4位BCD输入（0000到1001）转换为七段显示器所需的输出信号。提供七个输出引脚，分别连接到七段显示器的各个段（a, b, c, d, e, f, g），以显示十进制数字。

74LS48接收4位BCD输入，根据输入代码激活相应的输出段，使七段显示器显示相应的数字。当输入为0000到1001时，输出对应显示0到9。当输入为无效代码（如1010到1111）时，输出将点亮显示器的全部段，作为错误指示。

假设需要显示一个BCD码：将BCD码输入连接到A（引脚1）、B（引脚2）、C（引脚6）、D（引脚7）。将七段显示器的各个段连接到输出引脚a（引脚13）、b（引脚12）、c（引脚11）、d（引脚10）、e（引脚9）、f（引脚15）、g（引脚14）。将LT（引脚3）和BI（引脚4）连接到高电平，以正常工作。将电源Vcc（引脚16）和GND（引脚8）连接到电源。这样，当BCD输入为有效代码时，74LS48将控制七段显示器显示相应的数字。



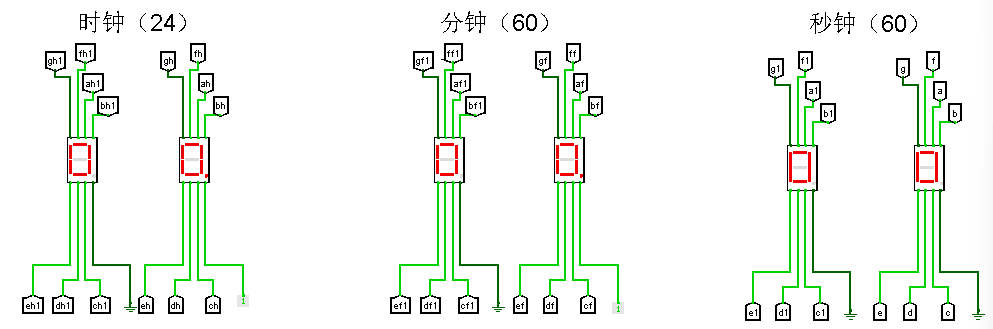
**4.7段显示器**



利用38译码器中输出的管道，进行连接，最终得到正确的显示。在右下角的输出位如果是接地就没有显示，如果是右下角是输入端，则显示标点

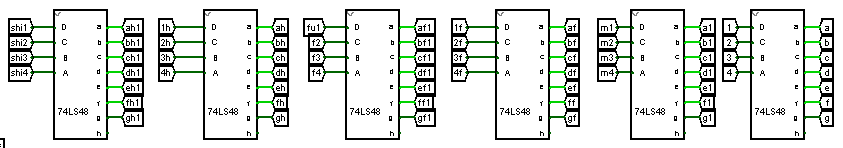
**5.时钟模块**

**5.1.显示模块**



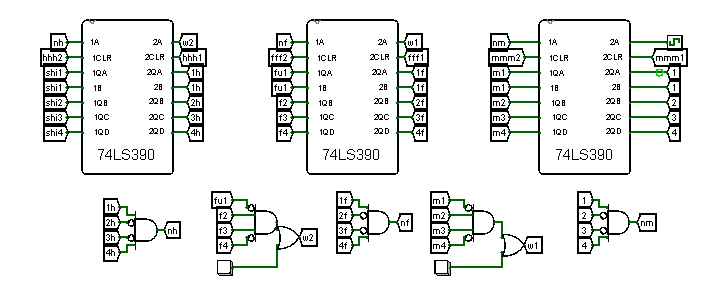
利用时钟分钟秒钟的六个数字来表达时间，每个接口输入端都利用与74LS48相连的管道相连接，在每个右下角，如果需要点，可以输入1，在显示中会进行分割。

**5.2译码模块**



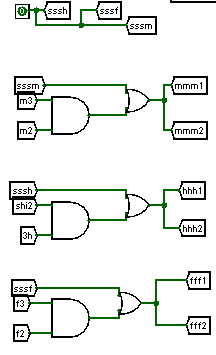
对于任意一个数字，都需要一个74LS48译码器来进行连接，所以在这里采用六个译码器与之相连接。

**5.3时序模块**



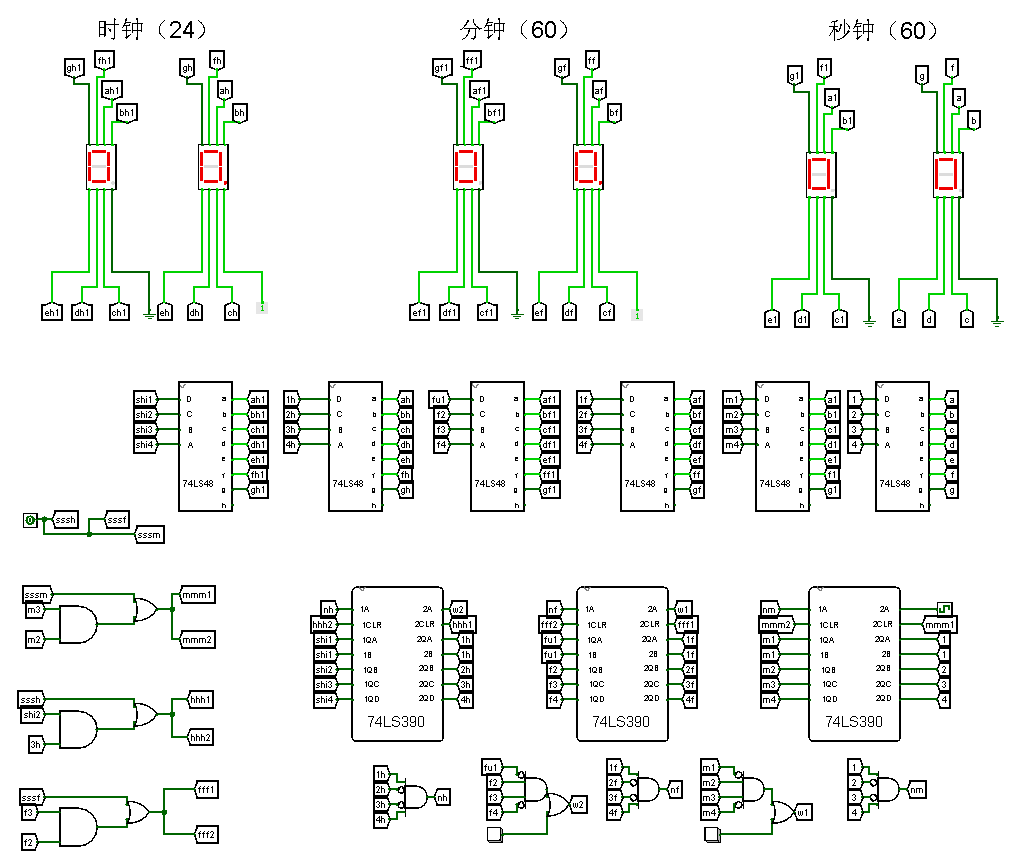
一个74LS390芯片控制一个时钟，以秒钟为例，在接入时钟端输入，第一个74LS90芯片进行工作，将输入与下面判断相连，当右侧数值等于9时，紧接着第二片74LS90芯片工作。当第二个芯片为5时将会向下一个74LS390相连，最终实现时序控制。

**5.4清0模块**



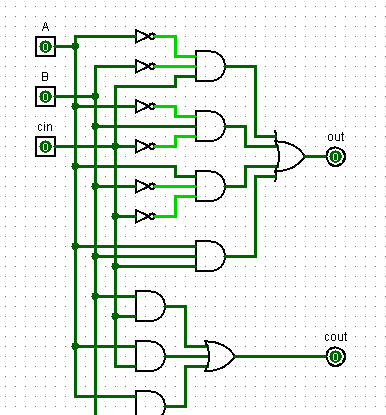
在清零模块中，我们利用各个输入进行判断，最终会执行清零操作。

**6.完整电路**



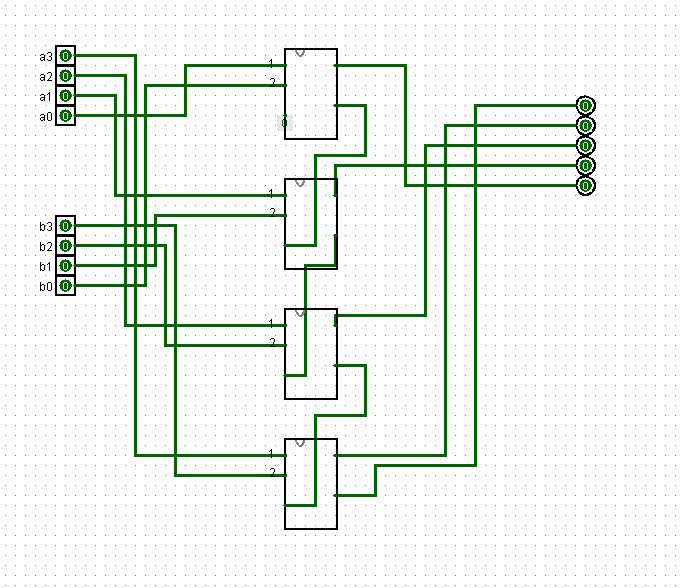
**7.四位加法器**

**7.1全加器**

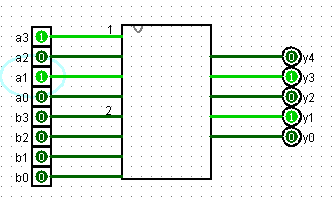


对于一个加法器来说，最基础模块是全加器，全加器由两个数值输入，一个地位输入组成，输出一个数值位，和一个向高位输出。

**7.2未封装加法器**



利用四片全加器组成，其中最低未进位为0，输出一共五位。最后将其封装。



五、实习小结

在本次实验中，完成了多个重要的数字电路设计，包括二分频电路、五分频电路、74LS90芯片、74LS390芯片与整体时钟设计以及四位二进制全加器的实现。

首先，实现了二分频电路。二分频电路的主要功能是将输入时钟信号频率减半。通过上沿触发，该电路能够在每个时钟周期的上升沿进行状态转换，产生一个振荡信号，实现高低电平的交替输出。接下来，实现了五分频电路。该电路也是通过上沿触发，在输入时钟信号的上升沿进行状态转换。五分频电路能够输出一个依次变化的五个二进制数，形成一个循环计数的过程。这对于一些需要特定频率的应用场景非常有用。在本次实验中，还实现了74LS90芯片的功能。74LS90是一个十进制计数器，通过三八译码器将计数器输出转换为适合7段数码管显示的信号。设计过程包括：三八译码器将二进制信号转换为驱动7段数码管的控制信号，确保每个数值能够正确显示在数码管上。实验还包括了74LS390芯片的实现及整体时钟电路的设计。74LS390是一个双十进制计数器，可以独立或级联使用。通过正确配置和连接74LS390芯片，我们能够实现精确的时钟信号分频和计数功能，满足多种应用需求。

此外，我还实现了四位二进制全加器的设计。四位全加器由四个一位全加器级联组成，每个全加器处理一位二进制加法，并将进位信号传递给下一个高位全加器。这种设计可以用于实现多位二进制数的加法运算，是许多复杂数字电路的基础模块。

本次实验通过实现多个数字电路设计，进一步加深了我对数字逻辑设计原理和实践的理解。从简单的二分频和五分频电路，到复杂的四位二进制全加器和时钟电路，每个模块的实现都提高了我的设计能力和问题解决能力。同时，实验也让我认识到细节和团队合作的重要性。未来，我将继续努力，深入学习和掌握更多的数字电路设计技术，为更加复杂的系统设计打下坚实的基础。

|  |
| --- |
| 指导教师意见  实习报告格式基本规范：  报告成绩：  有相关查阅内容：  综合成绩：见最后汇总EXCEL文档  指导教师签字：  202 年04月 日 |