

RISC-V五级流水线处理器设计 以及拓展乘法指令MULW



2023. 07. 04



中国科学技术大学
University of Science and Technology of China

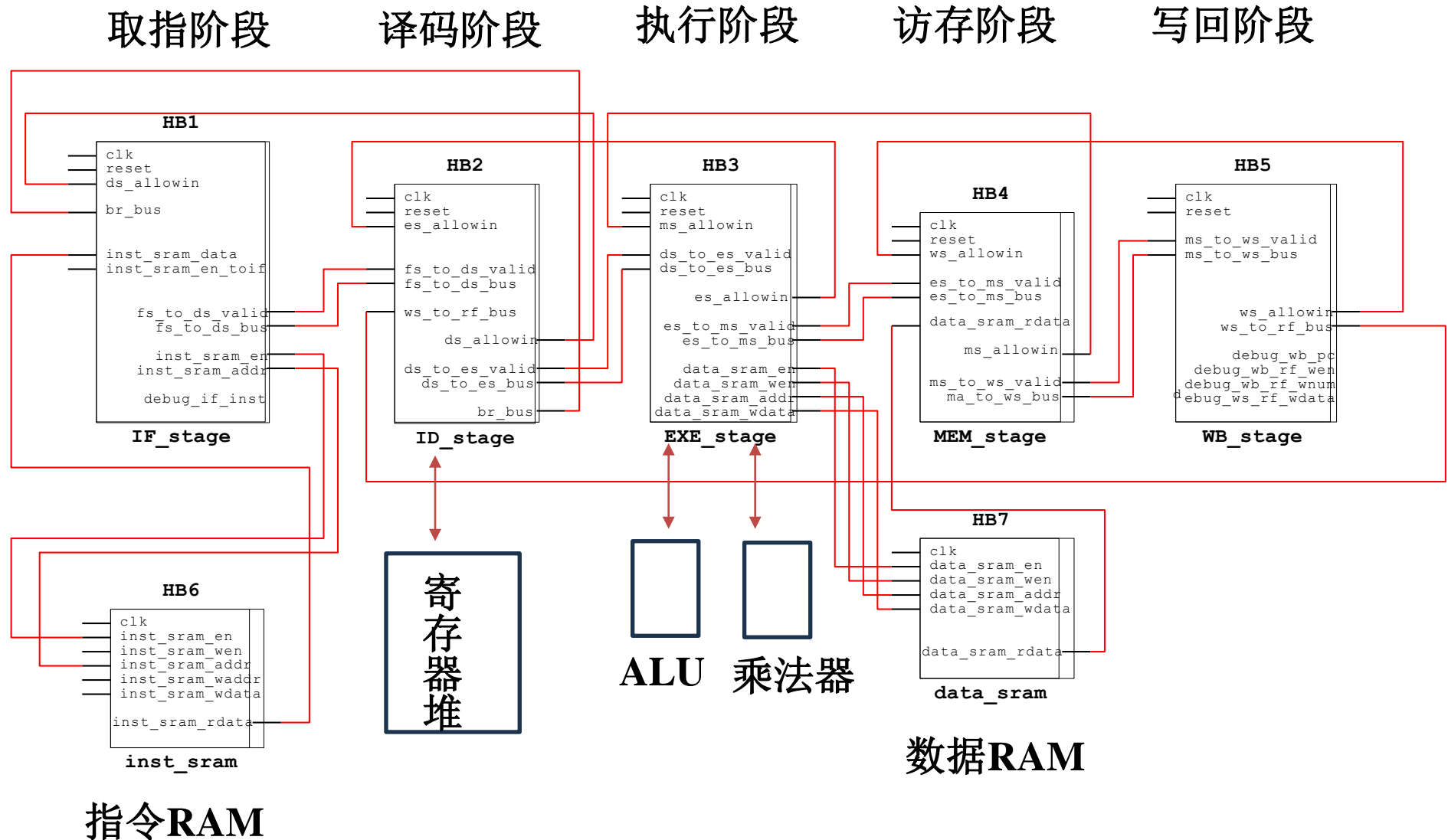


RTL建模以及仿真-工作内容

- 主要内容：参考《计算机组成与设计-硬/软件接口》、《CPU设计实战》、《The RISC-V Instruction Set Manual Volume I: Unprivileged ISA》、“龙芯MIPS处理器源码”设计了一个支持RISC-V部分基本指令的64位单发射五级流水线处理器。
- 目前支持的指令有：RV32I基本指令集中的ADD、SUB、SLT、SLUT、AND、OR、XOR、NOR、SLL、SRL、SRA、ADDI、LUI、LD、SD、BEQ、BNE、JAL。
- 支持RV64M标准拓展指令中的MULW。
- 寄存器堆中有32个64位物理寄存器。
- 对每一级流水线、寄存器堆、指令RAM、数据RAM、ALU进行了RTL仿真。
- 做了DC逻辑综合。
- 程序级仿真，通过将机器码在最初的几个时钟周期写入到指令RAM中去，然后使CPU开始工作，观察写回的结果进行仿真。
- 门级仿真（VCS、Verdi）



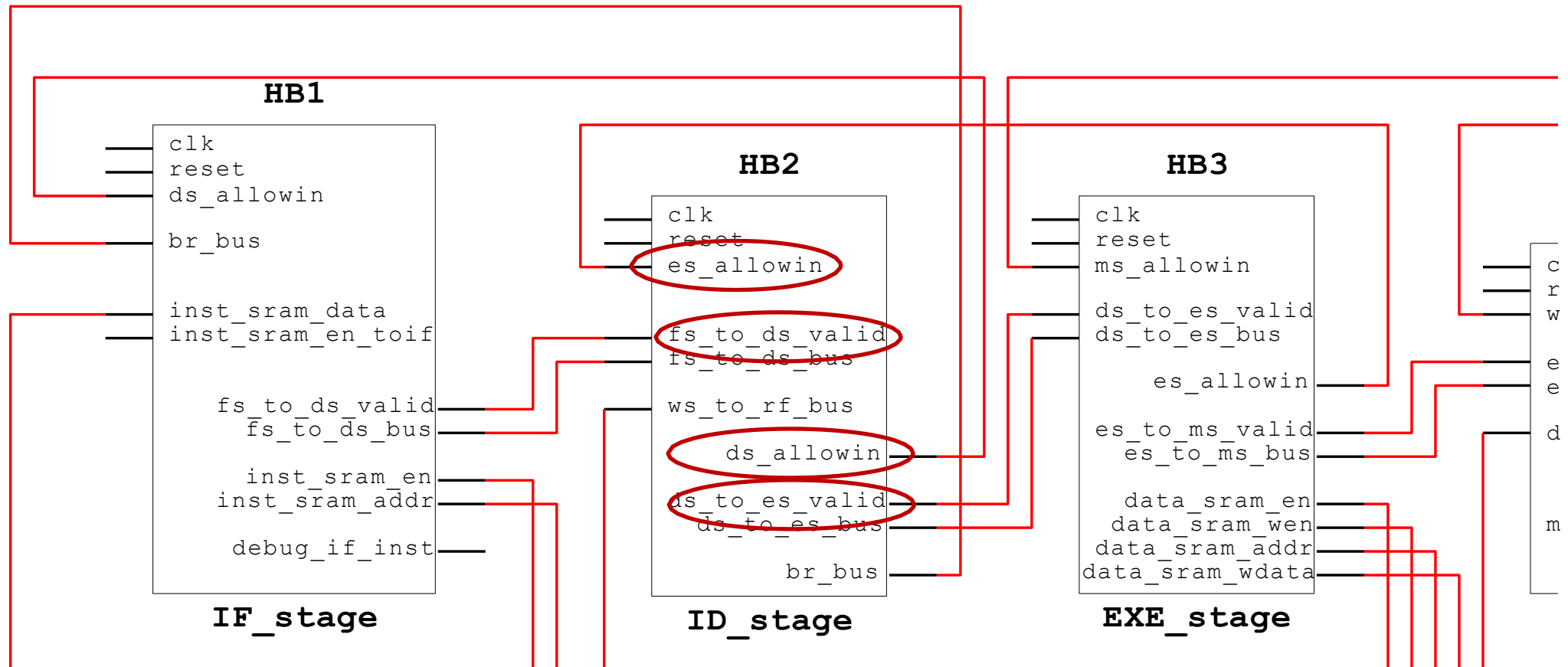
RTL建模以及仿真-处理器结构框图



结构框图



RTL建模以及仿真-流水线控制方式

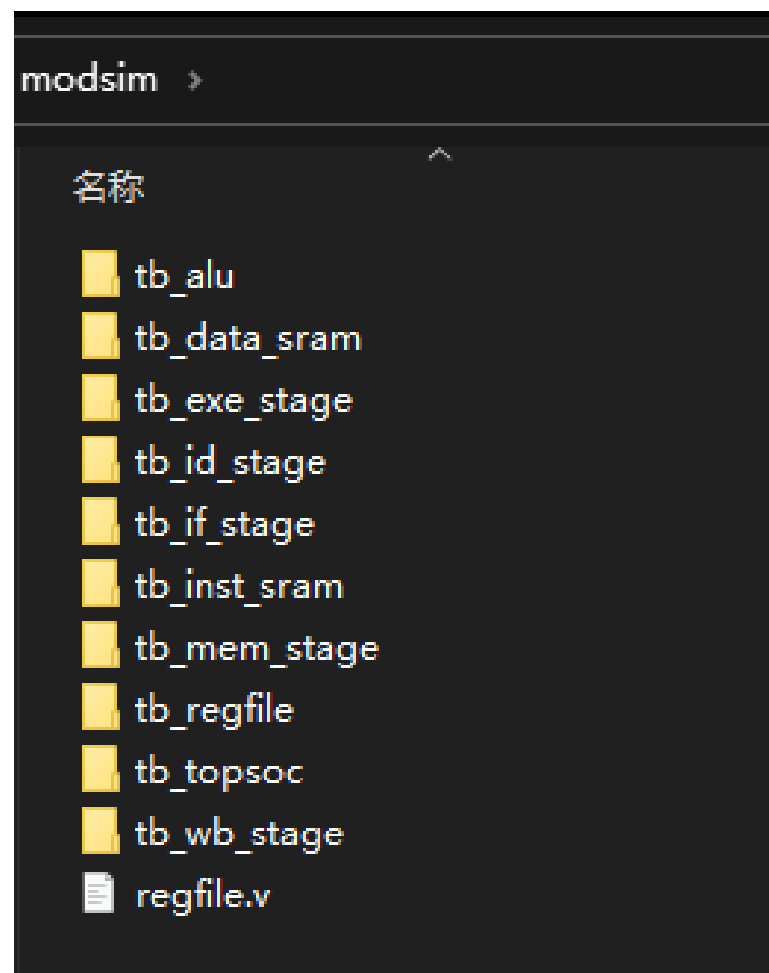
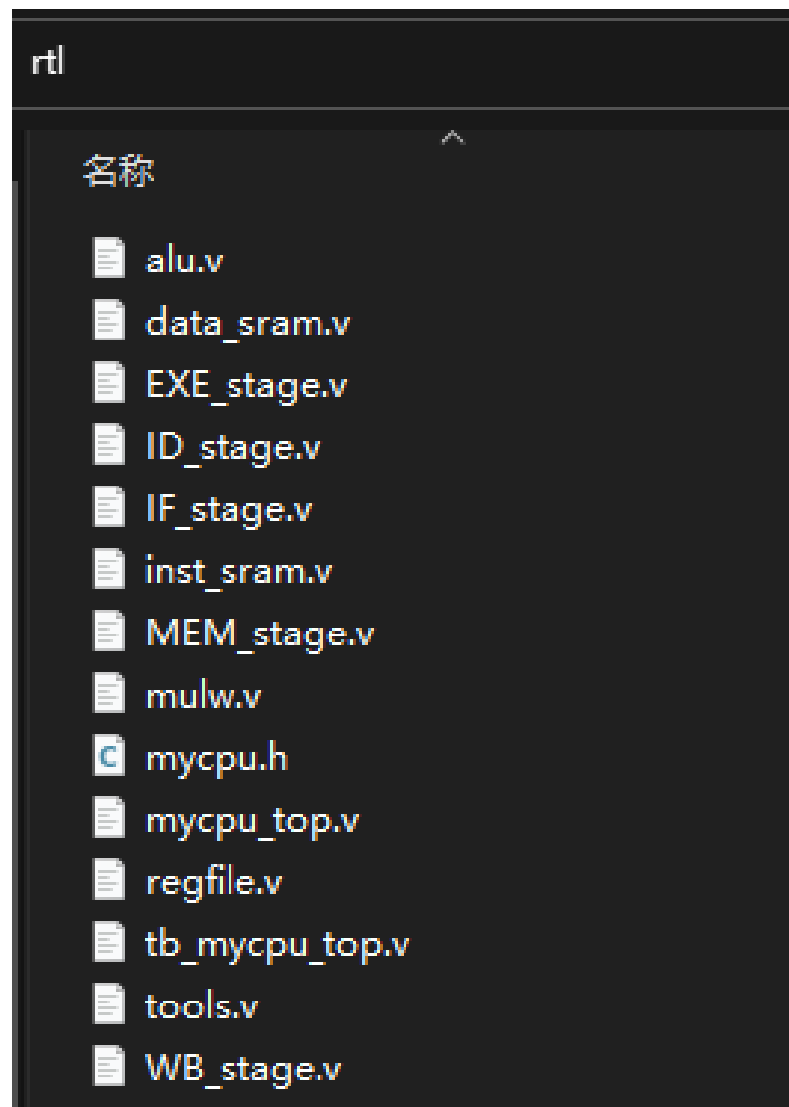


流水线的实现没有采用一个单独的控制器，而是在每一级通过valid、allowin信号来决定当前这一级流水线是否被停顿。



RTL建模以及仿真-文件结构

RTL 设计文件，用于 RTL 仿真的 testbench，每一级仿真的波形图放在报告里





程序级仿真

使用一个简单代数式来验证CPU能否正确工作。
计算 $a * b + a - b + 5$, $a=6$, $b=7$.

预期的结果：向4号寄存器中写回46.

汇编代码：

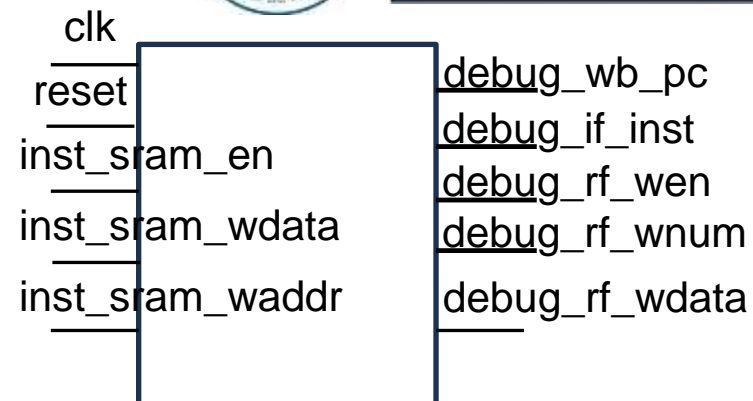
```
addi x2, x0, 6    //将6写入2号寄存器
addi x3, x0, 7    //将7写入3号寄存器
nop               //插入NOP指令避免数据竞争
nop
nop
mulw x4, x2, x3   //a*b, 结果写入4号寄存器
nop
nop
nop
add x4, x4, x2     //从a*b的结果中加上a
nop
nop
nop
sub x4, x4, x3     //从a*b+a中减去b
nop
nop
nop
addi x4, x4, 5     //加上5
```

指令对应的机器码

```
32' b000000000110_00000_000_00010_0010011
32' b000000000111_00000_000_00011_0010011
32' d0
32' d0
32' d0
32' b0000001_00011_00010_000_00100_0111011
32' d0
32' d0
32' d0
32' b0000000_00010_00100_000_00100_0110011
32' d0
32' d0
32' d0
32' b0100000_00011_00100_000_00100_0110011
32' d0
32' d0
32' d0
32' b000000000101_00100_000_00100_0010011;
```

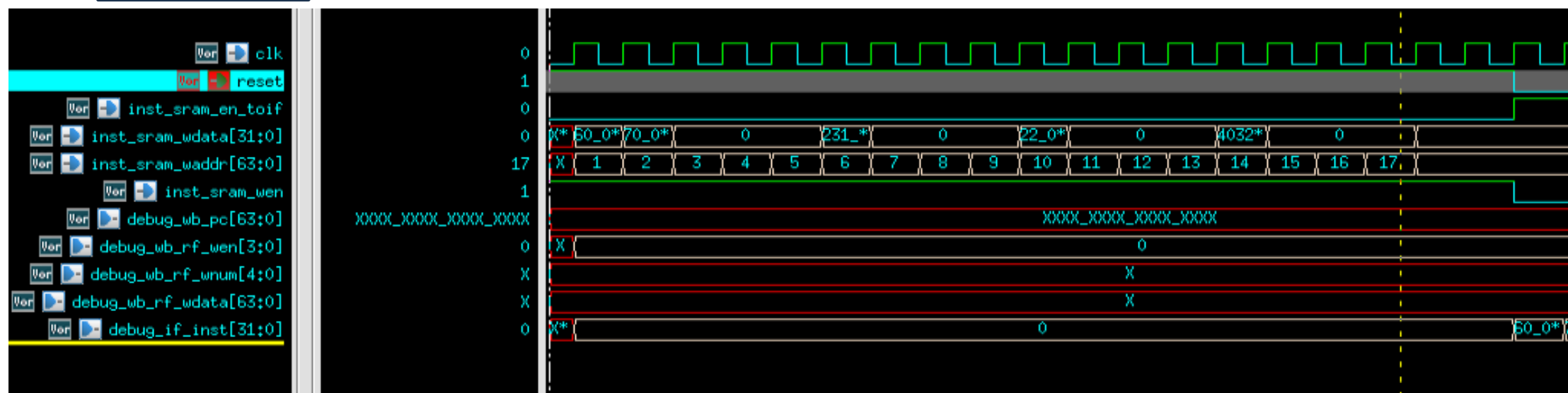


程序级仿真



inst_sram_en为1，指令ram允许写入；**inst_sram_wdata**:写入指令ram的32位指令；**inst_sram_waddr**:写入数据的地址；

debug_rf_wnum:写回到寄存器堆的寄存器编号；
debug_rf_wdata:写回到寄存器堆的数据。



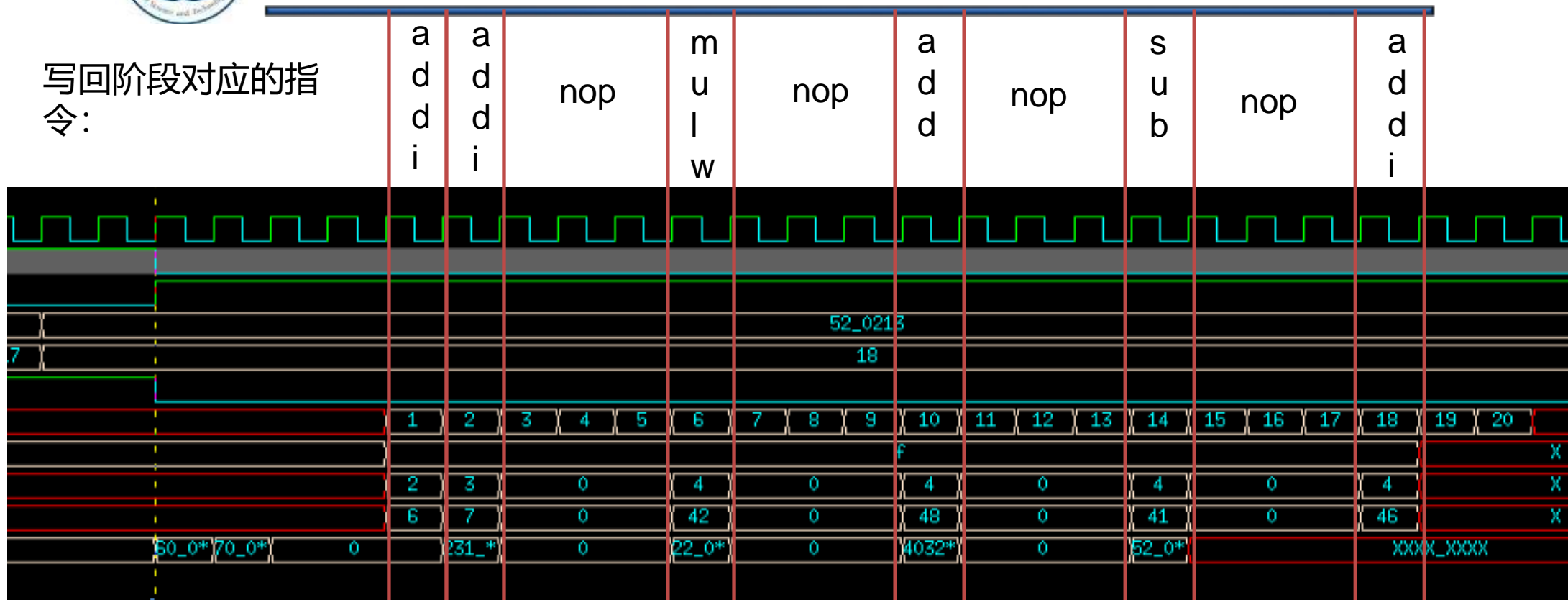
阶段一：写指令

将上一页的机器码，作为testbench的激励信号写入到指令RAM中。用18个时钟周期写入18条指令。之后关闭指令RAM的写使能，开启CPU，开始工作



程序级RTL仿真的波形结果

写回阶段对应的指令:



cpu开始工作，取出第一条指令，在第五个时钟周期上升沿，addi指令开始写回寄存器

阶段二:

开启CUP后的第五个上升沿写回信号产生有效输出，当程序执行完第18条指令时，写回信号表示向4号寄存器写入值46，与预期的结果一致。



DC综合

- DC综合的输入：RTL设计文件、工艺库（smic018）、约束文件

频率 100MHz 200MHz 250MHz

面积

```
Area
-----
Combinational Area: 575324.167736
Noncombinational Area: 859581.690659
Buf/Inv Area: 7836.998502
Total Buffer Area: 991.27
Total Inverter Area: 6845.73
Macro/Black Box Area: 0.000000
Net Area: 0.000000
-----
Cell Area: 1434905.858394
Design Area: 1434905.858394
```

```
Area
-----
Combinational Area: 657263.379920
Noncombinational Area: 814725.183300
Buf/Inv Area: 26268.581117
Total Buffer Area: 3100.20
Total Inverter Area: 23168.38
Macro/Black Box Area: 0.000000
Net Area: 0.000000
-----
Cell Area: 1471988.563221
Design Area: 1471988.563221
```

```
Area
-----
Combinational Area: 690005.136968
Noncombinational Area: 816614.578754
Buf/Inv Area: 36959.630993
Total Buffer Area: 5601.66
Total Inverter Area: 31357.97
Macro/Black Box Area: 0.000000
Net Area: 0.000000
-----
Cell Area: 1506619.715722
Design Area: 1506619.715722
```

功耗

99.1145 mW

195.2551 mW

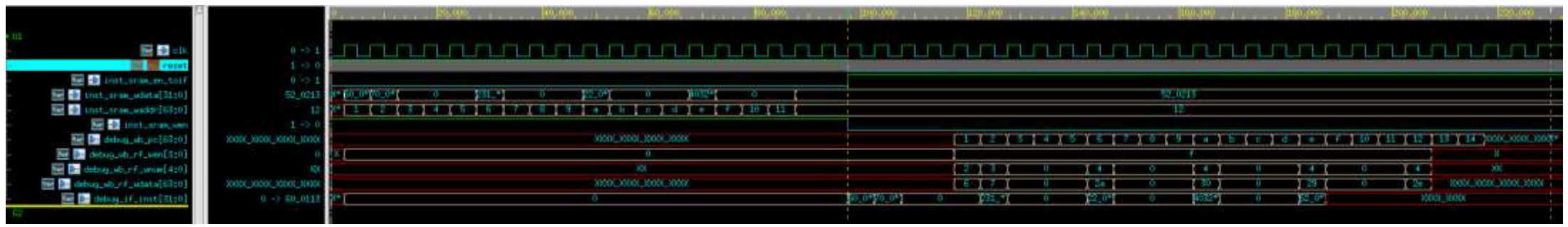
241.3916 mW



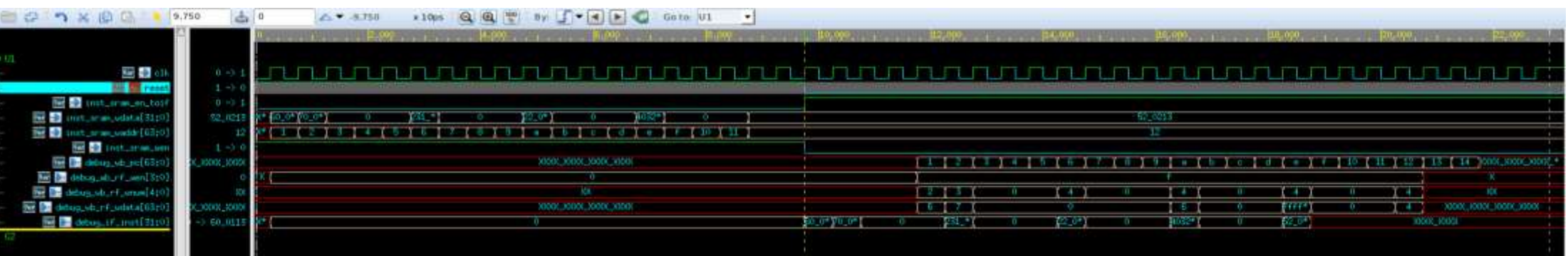
门级仿真

门级仿真使用VCS工具进行编译，使用Verdi查看波形结果

门级仿真结果



RTL仿真结果





End!

感谢！