

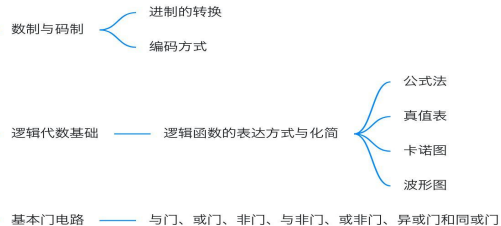
习题讲解

Hw4 – Hw7、Quiz 2-3

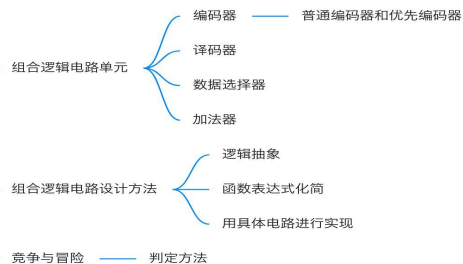
liangst@zju.edu.cn

期中考复习

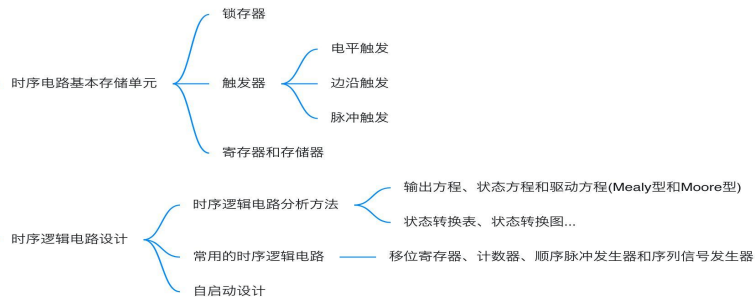
数电基础



组合逻辑电路



时序逻辑电路



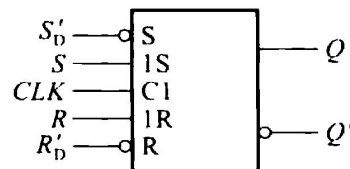
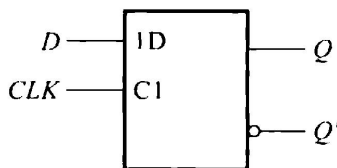
硬件描述语言

verilog

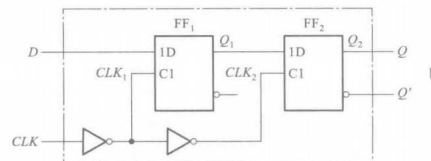
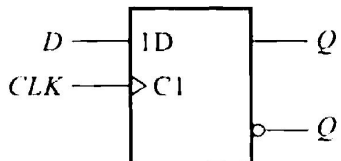
触发器

- SR锁存器：或非门/与非门 $S_D = R_D = 1$
- 触发器：SR、JK、T、D特性方程
- 触发方式：

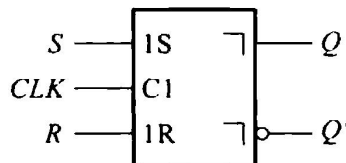
- 电平触发：



- 边沿触发：



- 脉冲触发：



P216

- 脉冲触发JK触发器：CLK=1期间只可能翻转一次（P223）

Homework 4

1. 一个4输入优先编码器真值表如表所示，其中D0的优先级最低，D3的优先级最高。X表示无关条件，V表示有效位指示符。

输入				输出		
D ₀	D ₁	D ₂	D ₃	x	y	V
0	0	0	0	X	X	0
1	0	0	0	0	0	1
X	1	0	0	0	1	1
X	X	1	0	1	0	1
X	X	X	1	1	1	1

(1) 优先编码器输出表达式如下：

$$x = D_2 + D_3 \quad y = \overline{D_1} \overline{D_2} + D_3 \quad V = D_0 + D_1 + D_2 + D_3$$

写出这个 4 输入优先编码器的 Verilog HDL 行为描述，输入 D 用 4 位矢量，always 模块中用 if-else 描述，假定输入 D[3]具有最高优先级。

Homework 4

1. (1) 优先编码器输出表达式如下：

$$x = D_2 + D_3 \quad y = \overline{D_1} \overline{D_2} + D_3 \quad V = D_0 + D_1 + D_2 + D_3$$

写出这个 4 输入优先编码器的 Verilog HDL 行为描述，输入 D 用 4 位矢量，always 模块中用 if-else 描述，假定输入 D[3] 具有最高优先级。

```
1  module encoder_behavior(x, y, V, D);
2      input[3:0] D;
3      output x, y, V;
4      reg x, y, V;
5      always @ (D)
6          begin
7              if (D[3]) begin x = 1'b1; y = 1'b1; V = 1'b1; end
8              else if (D[2]) begin x = 1'b1; y = 1'b0; V = 1'b1; end
9              else if (D[1]) begin x = 1'b0; y = 1'b1; V = 1'b1; end
10             else if (D[0]) begin x = 1'b0; y = 1'b0; V = 1'b1; end
11             else begin x = 1'b0; y = 1'b0; V = 1'b0; end
12         end
13     endmodule
14
```

注：用always块建立组合逻辑模型时，用阻塞赋值。

Homework 4

1. (2) 采用 Verilog HDL 语言仿真验证题目的 4 输入优先编码器的行为级模型，给出仿真结果波形（需包含输入信号所有可能的值）。波形注意要截完整，不要遗漏信号名。

解：

本题主要考察模块的调用，以及测试文件的写法，由于只要求验证行为级模型，所以只需要调用行为级模型，并且赋予输入信号所有有可能的值，观察输出就可以了。当然门级模型一同验证比对也是可以的。要产生输入信号所有有可能的值，可以采用真值表的方法产生，也可以采用行为描述（定义变量不断加1）。

Homework 4

1. (2)

```
1  `timescale 1ns/1ns
2  `include "encoder_behavior.v"
3
4  module test_encoder;
5      wire xb, yb, Vb;
6
7      reg[3:0] D;
8      encoder_behavior encoder1(xb, yb, Vb, D);
9
10     initial
11     begin
12         #10 D=4'b0000;|
13         #10 D=4'b0001;
14         #10 D=4'b0010;
15         #10 D=4'b0011;
16         #10 D=4'b0100;
17         #10 D=4'b0101;
18         #10 D=4'b0110;
19         #10 D=4'b0111;
20         #10 D=4'b1000;
21         #10 D=4'b1001;
22         #10 D=4'b1010;
23         #10 D=4'b1011;
24         #10 D=4'b1100;
25         #10 D=4'b1101;
26         #10 D=4'b1110;
27         #10 D=4'b1111;
28         #10 $finish;
29     end
30 ➡ endmodule
```

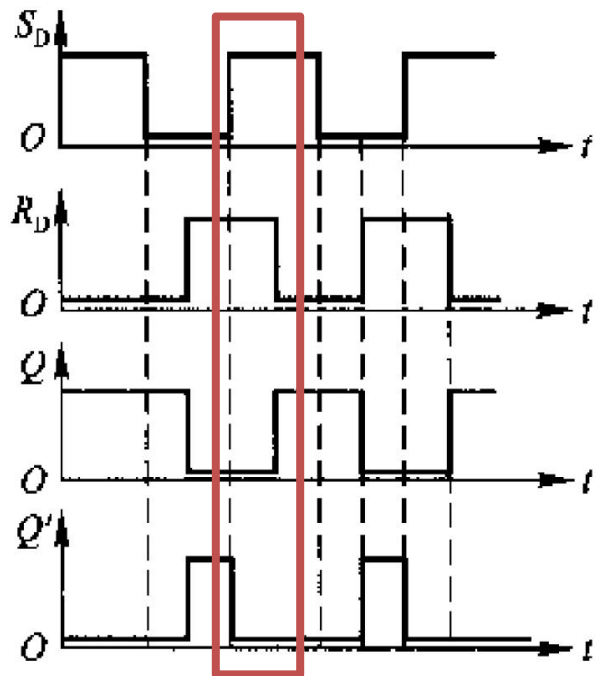
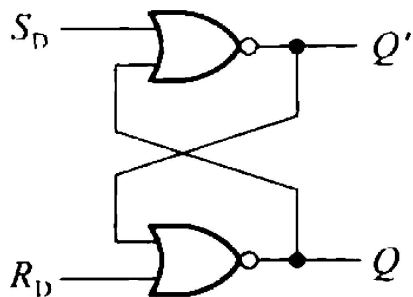
Homework 3

1. (2)



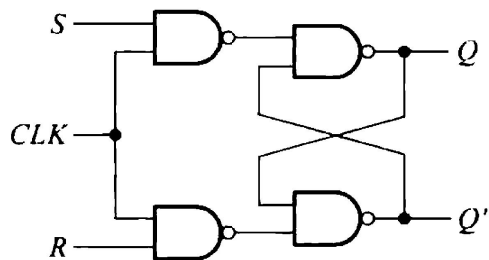
Homework 4

5.2 画出图P5.2由或非门组成的SR锁存器输出端Q、Q'的电压波形，输入端 S_D 、 R_D 的电压波形如图中所示。

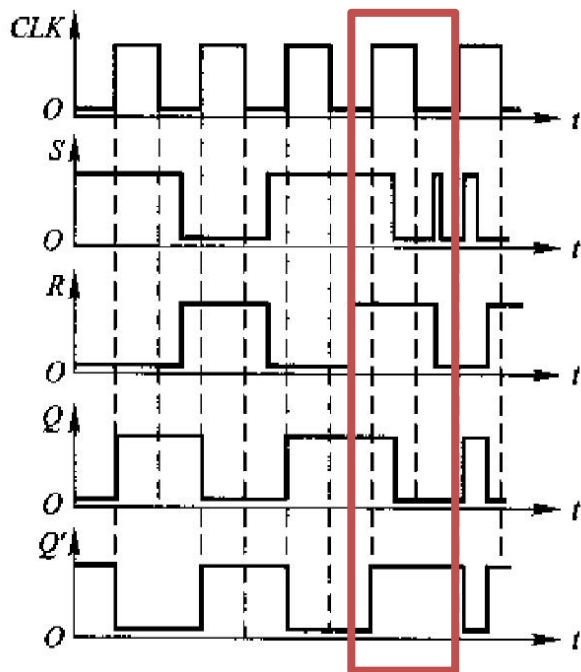


Homework 4

5.4 在图P5.4所示电路中，若CLK、S、R的电压波形如图中所示，试画出Q和Q'端与之对应的电压波形。假定触发器的初始状态为 $Q = 0$ 。

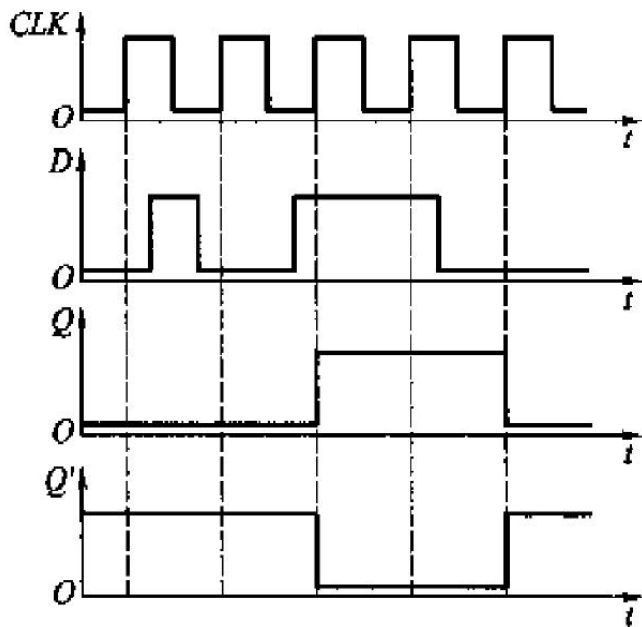
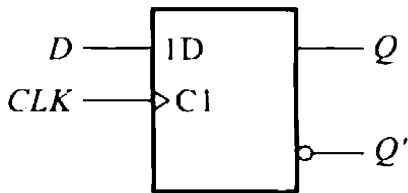


电平触发SR触发器



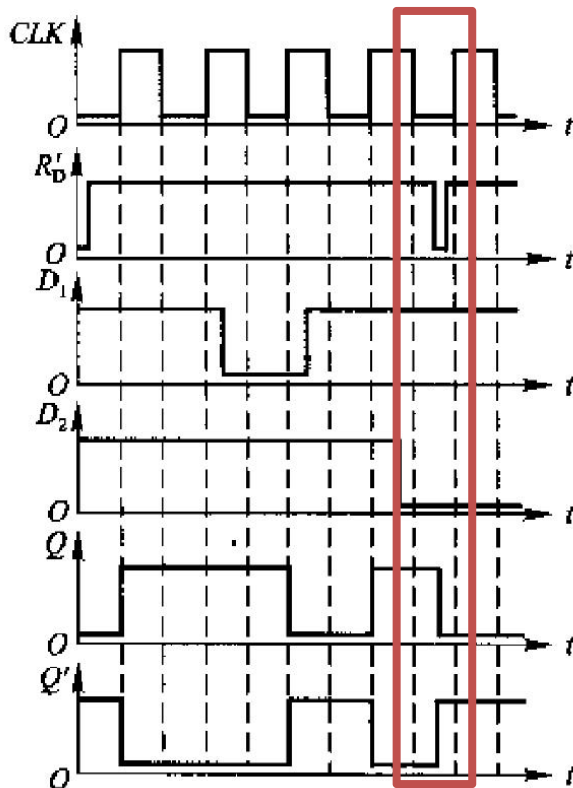
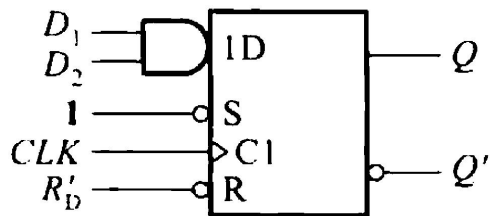
Homework 5

5.7 已知边沿触发器输入端D和时钟信号CLK的电压波形如图P5.7中所示，试画出Q和Q'端对应的电压波形。假定触发器的初始状态为 $Q = 0$ 。



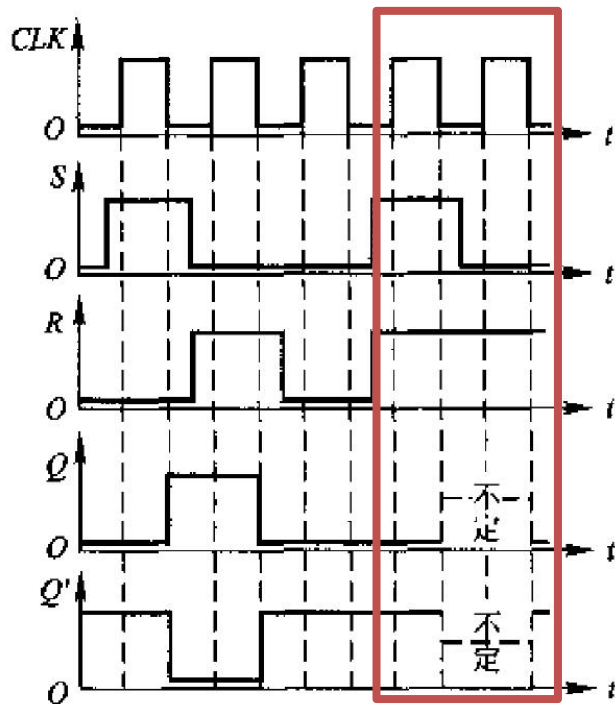
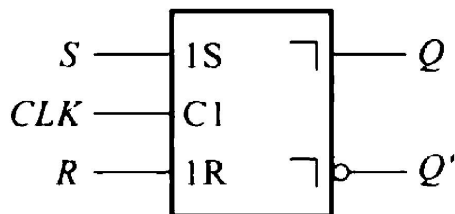
Homework 5

5.8 已知边沿触发D触发器各输入端的电压波形如图P5.8中所示，试画出Q和Q'端对应的电压波形。



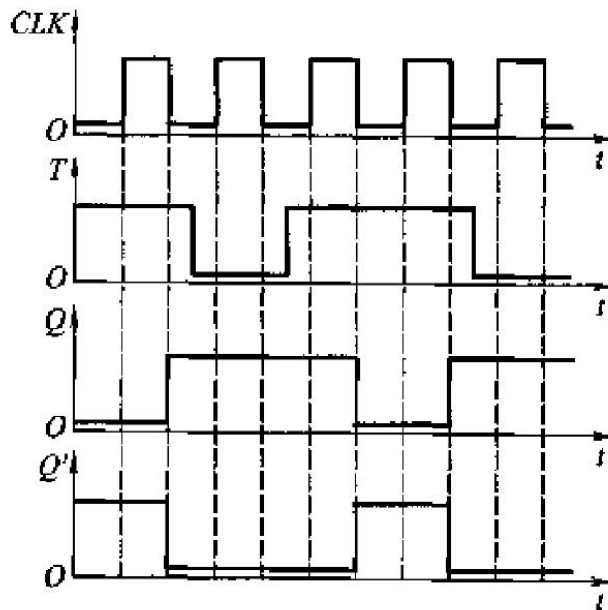
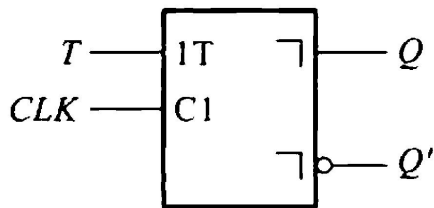
Homework 5

5.10 若脉冲触发SR触发器各输入端的电压波形如图P5.10中所给出，试画出Q、Q'端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。



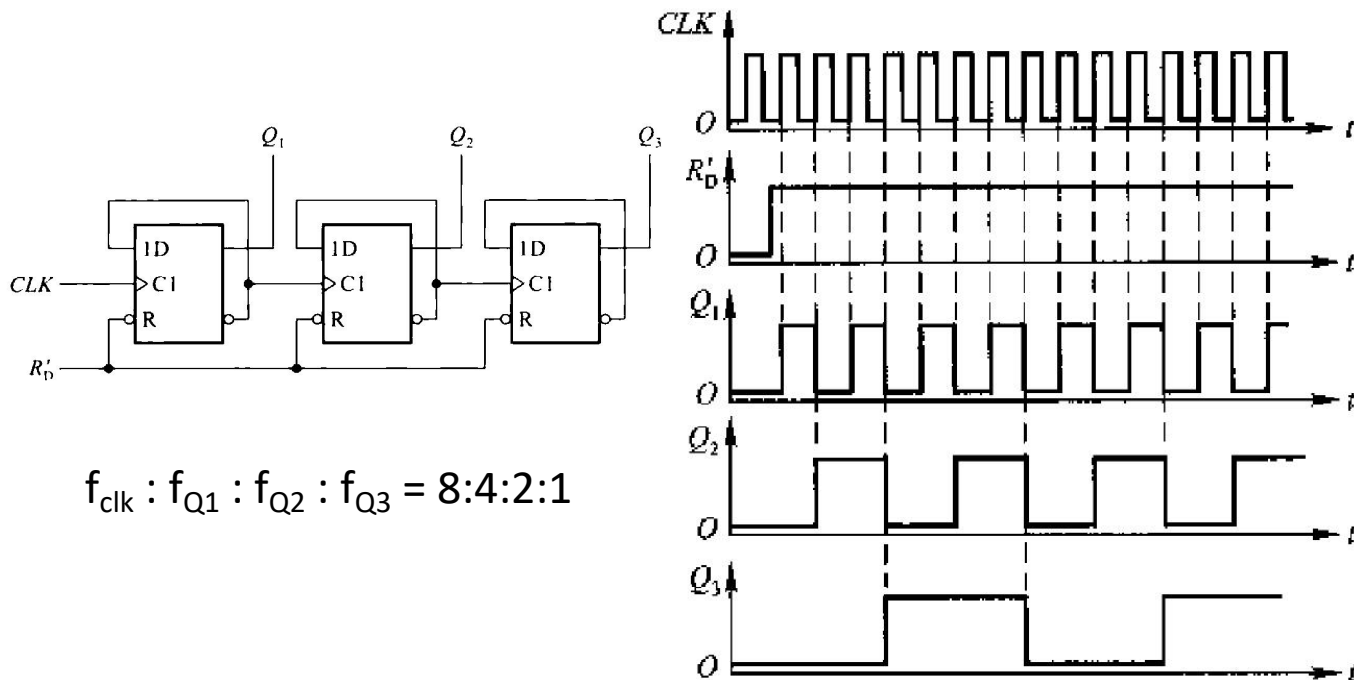
Homework 5

5.16 在脉冲触发T触发器中，已知T、CLK端的电压波形如图P5.16中所示，试画出Q、Q'端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。



Homework 5

5.20 试画出图P5.20电路在图中所示CLK、RD'信号作用下Q1、Q2、Q3的输出电压波形，并说明Q1、Q2、Q3输出信号的频率与CLK信号频率之间的关系。



Homework 6

- 时序逻辑电路设计
 - 驱动方程、状态方程、输出方程
 - 状态转换表、状态转换图、状态机流程图、时序图
 - 时序逻辑电路
 - 移位寄存器
 - 任意进制计数器 (LD / R_D)
 - 序列信号发生器
 - 顺序脉冲发生器
 - 时序逻辑电路的设计方法（课本6.4节）
 - 自启动问题

Homework 6

1. 如图所示的时序电路，A为输入，Y为输出。写出其驱动方程、状态方程和输出方程，以真值表的形式列出状态转换表，画出电路的状态转移图。

首先由电路可写出驱动方程：

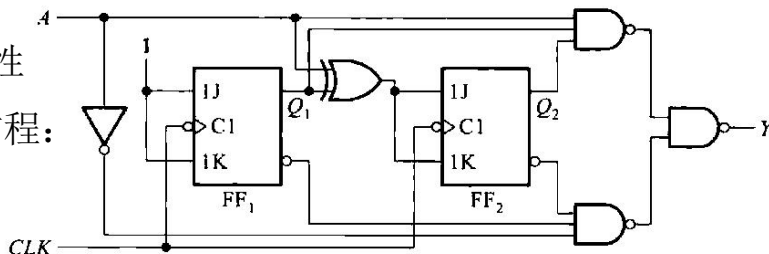
$$\begin{cases} J_1 = K_1 = 1 \\ J_2 = K_2 = A \oplus Q_1 \end{cases}$$

将上述驱动方程带入JK触发器的特性方程（ $Q^* = JQ' + K'Q$ ），得到状态方程：

$$\begin{cases} Q_1^* = Q_1' \\ Q_2^* = A \oplus Q_1 \oplus Q_2 \end{cases}$$

由电路图化简，得到输出方程：

$$Y = A Q_1 Q_2 + A' Q_1' Q_2'$$



Homework 6

1. 如图所示的时序电路，A为输入，Y为输出。写出其驱动方程、状态方程和输出方程，以真值表的形式列出状态转换表，画出电路的状态转移图。

首先由电路可写出驱动方程：

$$\begin{cases} J_1 = K_1 = 1 \\ J_2 = K_2 = A \oplus Q_1 \end{cases}$$

将上述驱动方程带入JK触发器的特性

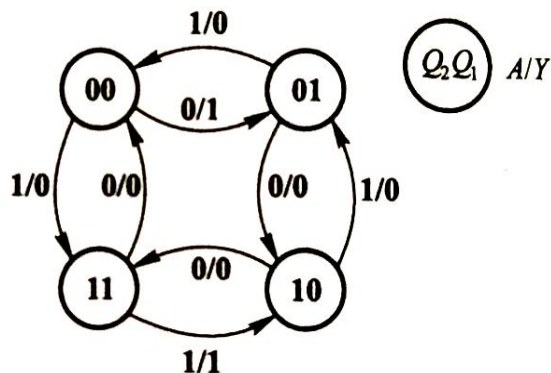
方程 ($Q^* = JQ' + K'Q$)，得到状态方程：

$$\begin{cases} Q_1^* = Q_1' \\ Q_2^* = A \oplus Q_1 \oplus Q_2 \end{cases}$$

由电路图化简，得到输出方程：

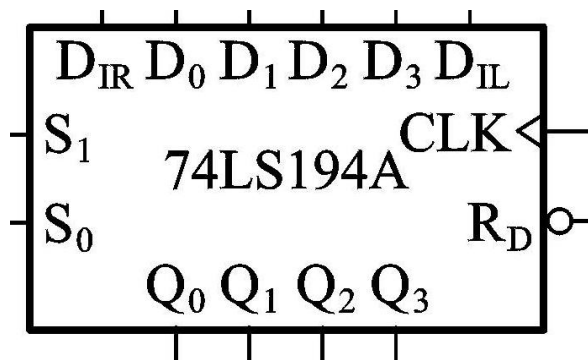
$$Y = AQ_1Q_2 + A'Q_1Q_2'$$

$Q_2^* \backslash Q_1^* / Y$	Q_2Q_1	00	01	10	11
0		01/1	10/0	11/0	00/0
1		11/0	00/0	01/0	10/1



Homework 6

2. 4位双向移位寄存器74LS194A如左图所示，其功能表如右表所示。使用两片74LS194A设计一个8位双向移位寄存器。

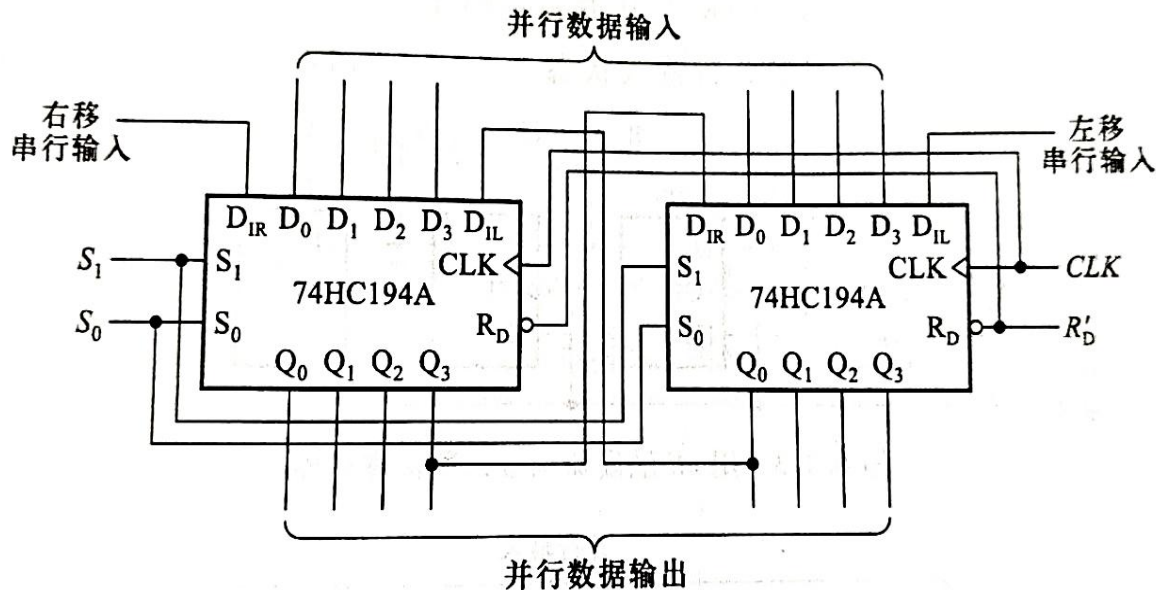


R'_D	S_1	S_0	工作状态
0	X	X	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

Homework 6

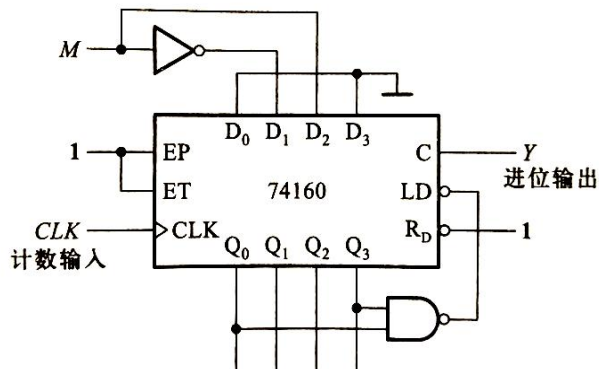
2.

解：只需将其中一片的 Q_3 接至另一片的 D_{IR} 端，将另一片的 Q_0 接至这一片的 D_{IL} ，同时把两片的 S_1 、 S_2 、 CLK 和 R'_D 分别并联就可以了。



Homework 6

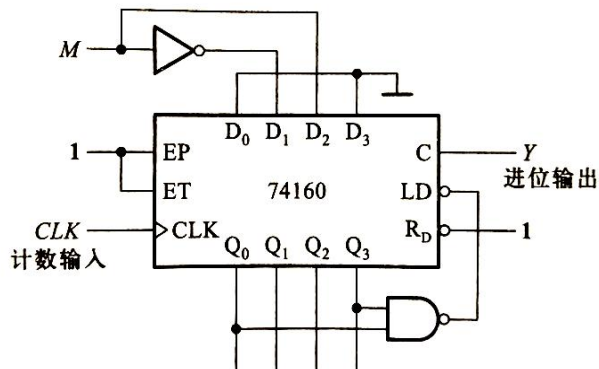
3. 试分析左图的计数器在 $M=0$ 和 $M=1$ 时各为几进制。74160功能表如右所示。



CLK	R'_D	LD'	EP	ET	工作状态
X	0	X	X	X	置 0 (异步)
	1	0	X	X	预置数 (同步)
X	1	1	0	1	保持 (包括C)
X	1	1	X	0	保持 (C=0)
	1	1	1	1	计数

Homework 6

3. 试分析左图的计数器在 $M=0$ 和 $M=1$ 时各为几进制。74160功能表如右所示。



解：

$M=1$ 时，当电路进入 $Q_3Q_2Q_1Q_0=1001$ 以后， $LD'=0$ 。下一个 CLK 到达时将 $D_3D_2D_1D_0=0100$ 置入电路中，再从0100继续做加法计数。因此，电路在0100和1001这六个状态间循环，构成六进制计数器。

同理，在 $M=0$ 的情况下，电路计到1001后置入0010，形成八进制计数器。

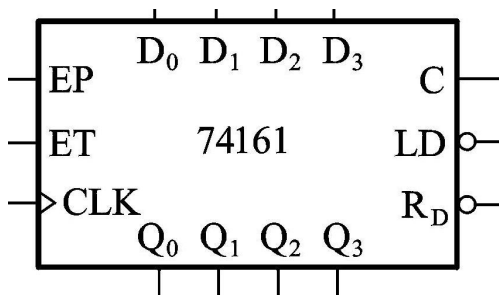
误： $M=1$ ： 八进制， $M=0$ ： 六进制

⇒

由高到低： $D_3D_2D_1D_0$

Homework 6

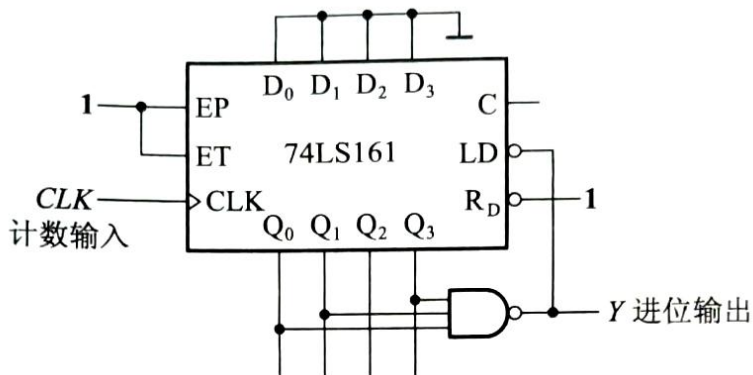
4. 试用4位同步二进制计数器74LS161接成十二进制计数器，可以附加必要的门电路。74LS161元件及其功能表如下所示。标明元件端口和输入输出端。



CLK	R'_D	LD'	EP	ET	工作状态
X	0	X	X	X	置0（异步）
	1	0	X	X	预置数（同步）
X	1	1	0	1	保持（包括C）
X	1	1	X	0	保持（C=0）
	1	1	1	1	计数

Homework 6

4. 试用4位同步二进制计数器74LS161接成十二进制计数器，可以附加必要的门电路。74LS161元件及其功能表如下所示。标明元件端口和输入输出端。

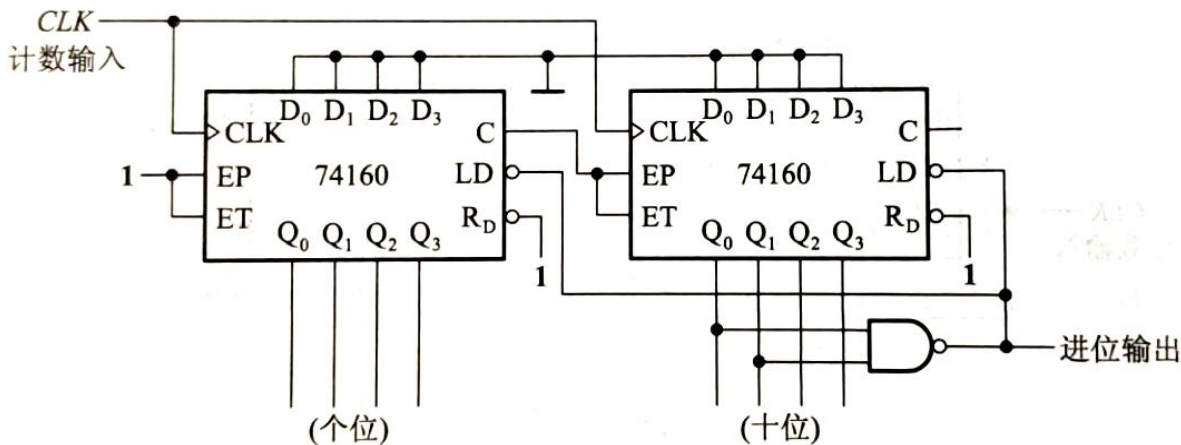


解：

此题有多种解法，例如可采用同步置数法，在电路计成 $Q_3Q_2Q_1Q_0=1011$ （十一）后译出 $LD'=0$ 的信号，并在下一个 CLK 信号到达时置入 0000 就得到了十二进制计数器。

Homework 6

5. 试用两片同步十进制计数器74160设计一个同步三十一进制计数器。可以附加必要的门电路。74160功能表如下所示。标明元件端口和输入输出端。

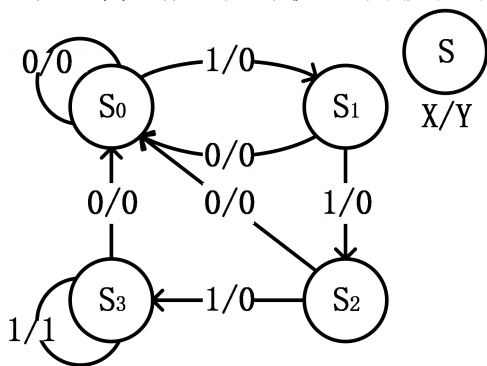


Homework 7

1. 使用D触发器和门电路设计一个串行数据检测器，要求在连续输入4个或4个以上“1”时输出为1，其余情况下输出为0。画出状态转换图、画出卡诺图进行状态化简、写出状态方程和驱动方程，画出电路图。（例6.4.2）

解：首先，可根据题目描述进行逻辑抽象，画出状态转移图。

取输入数据为X，输出数据为Y。设电路在没有输入1以前的状态为S0，输入一个1以后的状态为S1，连续输入两个1以后的状态为S2，连续输入3个或3个以上1以后的状态为S3。以S表示电路的现态，S*表示电路的次态。依据设计要求可得到如下的状态转移图和状态转移表。



S*		S			
		S ₀	S ₁	S ₂	S ₃
X	0	S ₀ /0	S ₀ /0	S ₀ /0	S ₀ /0
	1	S ₁ /0	S ₂ /0	S ₃ /0	S ₃ /1

Homework 7

1. 电路总共有4个状态，因此需要2个D触发器。取触发器状态 Q_1Q_0 的00、01、10、11分别代表 S_0 、 S_1 、 S_2 、 S_3 。画出 $Q_1^*Q_0^*$ 和Y的卡诺图。

$Q_1^*Q_0^*/Y \backslash Q_1Q_0$	00	01	11	10
X				
0	00/0	00/0	00/0	00/0
1	01/0	10/0	11/1	11/0

将上述卡诺图分解并进行化简，得到电路的状态方程和输出方程：

$Q_1^*Q_0^* \backslash Q_1Q_0$	00	01	11	10
X				
0	0	0	0	0
1	0	1	1	1

$Q_0^* \backslash Q_1Q_0$	00	01	11	10
X				
0	0	0	0	0
1	1	0	1	1

Y $\backslash Q_1Q_0$	00	01	11	10
X				
0	0	0	0	0
1	0	0	1	0

状态方程： $\begin{cases} Q_1^* = XQ_0 + XQ_1 \\ Q_0^* = XQ_1 + XQ_0' \end{cases}$ ，输出方程： $Y = XQ_1Q_0$ 。

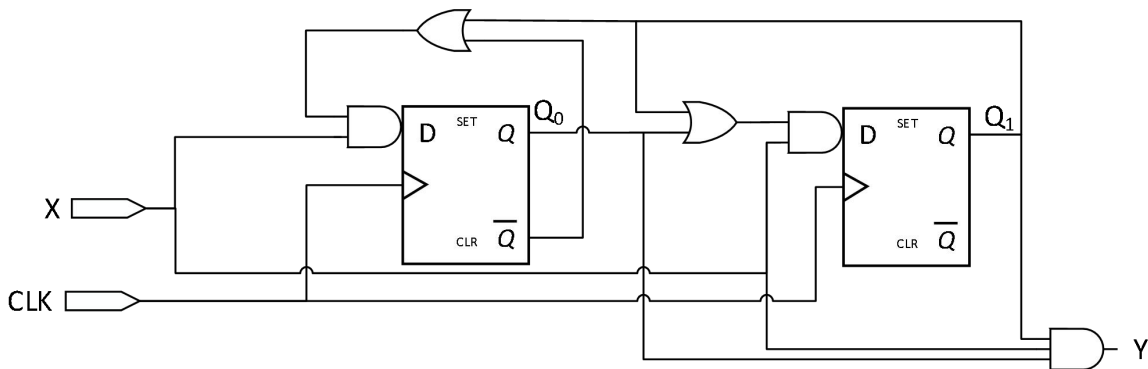
Homework 7

1. 将上述卡诺图分解并进行化简，得到电路的状态方程和输出方程：

状态方程： $\begin{cases} Q_1^* = XQ_0 + XQ_1' \\ Q_0^* = XQ_1 + XQ_0' \end{cases}$ ，输出方程： $Y = XQ_1Q_0$ 。

由D触发器特性方程得到驱动方程： $\begin{cases} D_1 = X(Q_0 + Q_1) \\ D_0 = X(Q_0' + Q_1) \end{cases}$ 。

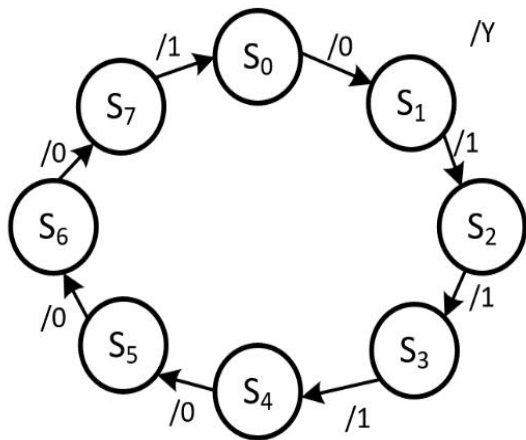
画出电路图：



Homework 7

2. 使用JK触发器和门电路设计一个能周期性的产生“01110001”序列信号发生器。画出状态转换图、状态转换表、画出卡诺图进行状态化简、写出状态方程和驱动方程，画出电路图。

解：由题意，序列长度为8，需要8个状态，需要3个JK触发器。用3个JK触发器的 $Q_2Q_1Q_0$ 分别表示 $S_0\sim S_7$ 。画出状态转换图以及状态转换表：



$Q_2 Q_1 Q_0$	$Q_2^* Q_1^* Q_0^*$	Y_1	Y_2
000	001	0	1
001	010	1	1
010	011	1	1
011	100	1	0
100	101	0	0
101	110	0	0
110	111	0	1
111	000	1	0

Homework 7

2. 根据状态转换表可进行卡诺图化简，得到状态方程：

		Q ¹ Q ⁰			
Q ²		00	01	11	10
0	0	0	0	1	0
1	1	1	1	0	1

$$Q_2^* = Q_2 Q_0 + Q_2 Q_1 + Q_2 Q_1 Q_0$$

		Q ¹ Q ⁰			
Q ²		00	01	11	10
0	0	0	1	0	1
1	0	1	1	0	1

$$Q_1^* = Q_1 Q_0 + Q_0 Q_1'$$

		Q ¹ Q ⁰			
Q ²		00	01	11	10
0	1	0	0	0	1
1	1	0	0	0	1

$$Q_0^* = Q_0'$$

根据JK触发器特性方程，得到驱动方程：

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0 \\ J_2 = K_2 = Q_0 Q_1 \end{cases}$$

Homework 7

2. 使用状态转移表中Y1的排布方式，对Y进行化简：如果使用Y2，则输出还可以化简：

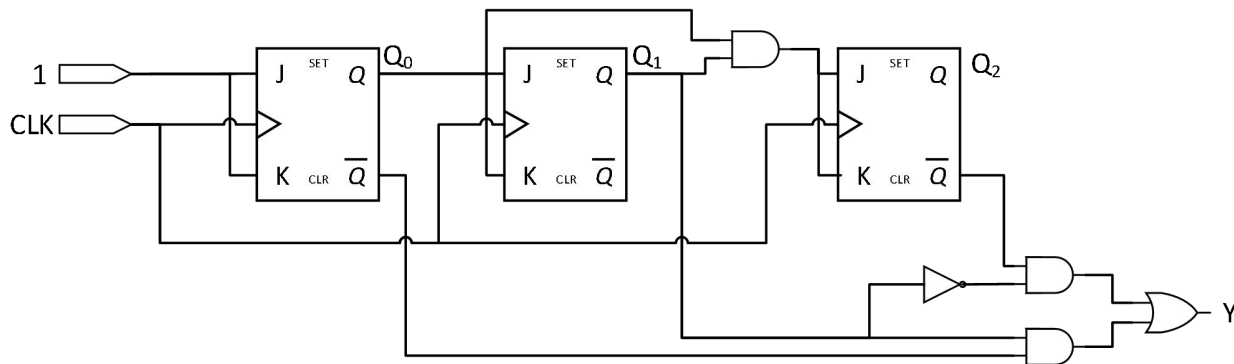
Q2 \ Q1Q0	00	01	11	10
0	0	1	1	1
1	0	0	1	0

$$Y = Q_2'Q_1 + Q_2'Q_0 + Q_1Q_0$$

Q2 \ Q1Q0	00	01	11	10
0	1	1	0	1
1	0	0	0	1

$$Y = Q_2'Q_1' + Q_1Q_0'$$

使用Y2的排布方式，画出电路图：



Homework 7

3. 用十进制计数器74160和8选1数据选择器设计一个序列信号发生器，使之在一系列CLK信号作用下能周期性地输出“0010110111”的序列信号。

解：可列出在CLK连续作用下计数器状态 $Q_3Q_2Q_1Q_0$ 与要求产生的输出Z之间关系的真值表：

由真值表写出Z的逻辑表达式，并化成与8选1数据选择器对应的形式得到：

$$\begin{aligned} Z = & Q_3(Q_2'Q_1'Q_0') + Q_3(Q_2'Q_1'Q_0) \\ & + Q_3'(Q_2'Q_1Q_0') + 0(Q_2'Q_1Q_0) \\ & + Q_3'(Q_2Q_1'Q_0') + Q_3'(Q_2Q_1'Q_0) \\ & + 0(Q_2Q_1Q_0') + Q_3'(Q_2Q_1Q_0) \end{aligned}$$

CLK顺序	Q3	Q2	Q1	Q0	Z
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1

Homework 7

$$3. Z = Q_3(Q_2'Q_1'Q_0') + Q_3(Q_2'Q_1'Q) + Q_3'(Q_2'Q_1Q_0') + 0(Q_2'Q_1Q_0) \\ + Q_3'(Q_2Q_1'Q_0') + Q_3'(Q_2Q_1'Q_0) + 0(Q_2Q_1Q_0') + Q_3'(Q_2Q_1Q_0)$$

令 $A_2 = Q_2$, $A_1 = Q_1$, $A_0 = Q_0$,

$D_0 = Q_3$, $D_1 = Q_3$, $D_2 = Q_3'$, $D_3 = 0$,

$D_4 = Q_3'$, $D_5 = Q_3'$, $D_6 = 0$, $D_7 = Q_3'$,

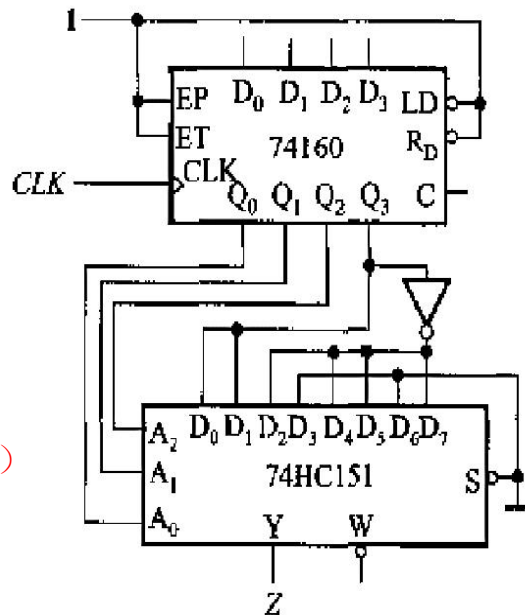
($D_0 \sim D_7$: $Q_3Q_3Q_3'0Q_3'Q_3'0Q_3'$)

则数据选择器的输出Y即所求Z。

所得到的电路图如图所示。

($D_0 \sim D_7$: $Q_3Q_3101101$ 也正确)

($D_0 \sim D_7$: 10101101 , $Z = Y|Q_3$ 也正确)



Homework 7

4. 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按下表规定的顺序转换状态。表中的1表示“亮”，0表示“灭”，要求电路能自启动，并尽可能采用中规模集成电路芯片。

CLK顺序	红	黄	绿
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1
4	1	1	1
5	0	0	1
6	0	1	0
7	1	0	0
8	0	0	0

解：因为输出为八个状态循环，所以用74LS161的低三位作为八进制计数器，若以R、Y、G分别表示红、黄、绿三个输出，则可得计数器输出状态 $Q_2Q_1Q_0$ 与R、Y、G关系的真值表。

Homework 7

4. 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按下表规定的顺序转换状态。表中的1表示“亮”，0表示“灭”，要求电路能自启动，并尽可能采用中规模集成电路芯片。

Q2	Q1	Q0	红	黄	绿
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	0	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	1
1	1	0	0	1	0
1	1	1	1	0	0
0	0	0	0	0	0

解：因为输出为八个状态循环，所以用74LS161的低三位作为八进制计数器，若以R、Y、G分别表示红、黄、绿三个输出，则可得计数器输出状态 $Q_2Q_1Q_0$ 与R、Y、G关系的真值表。

选用两片双4选1数据选择器74HC153作通用函数发生器使用，产生R、Y、G。

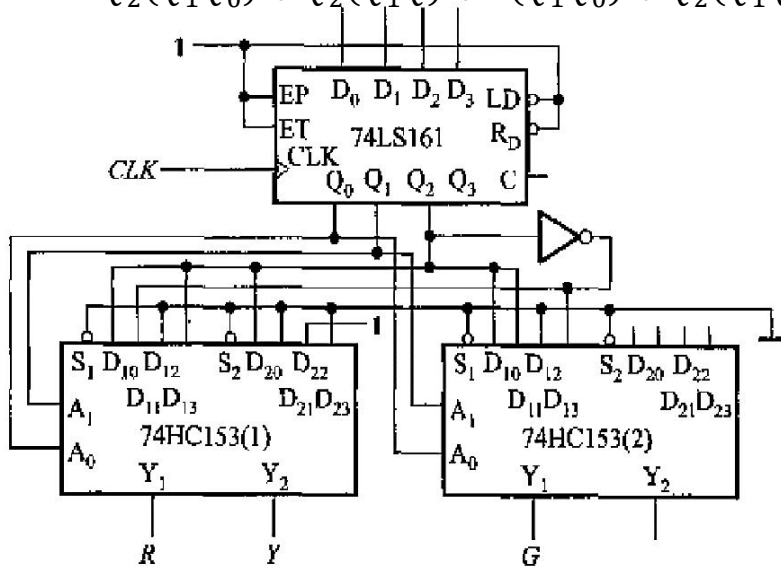
Homework 7

4. 选用两片双4选1数据选择器74HC153作通用函数发生器使用，产生R、Y、G。

由真值表写出R、Y、G的逻辑式，并化成与数据选择器的输出逻辑式相对应的形式： $R = Q_2(Q_1'Q_0') + Q_2'(Q_1'Q) + 0(Q_1Q_0') + Q_2(Q_1Q_0)$

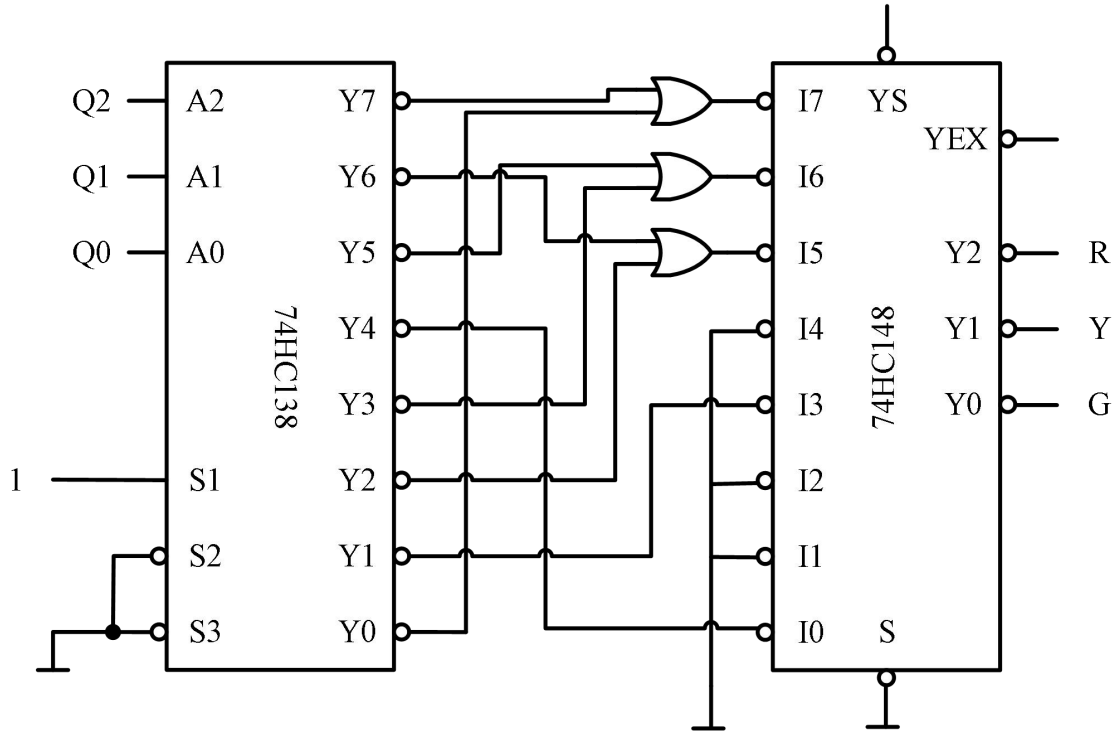
$$Y = Q_2(Q_1'Q_0') + 0(Q_1'Q) + 1(Q_1Q_0') + 0(Q_1Q_0)$$

$$G = Q_2(Q_1'Q_0') + Q_2'(Q_1'Q) + 0(Q_1Q_0') + Q_2'(Q_1Q_0)$$



Homework 7

4.



Homework 7

4.

I7	$Y7+Y0$
I6	$Y3+Y5$
I5	$Y6+Y2$
I4	0
I3	$Y1$
I2	0
I1	0
I0	$Y4$

计数器输出	译码器输出	编码器输入	RYG
000	$Y0'$	$I7'$	000
001	$Y1'$	$I3'$	100
010	$Y2'$	$I5'$	010
011	$Y3'$	$I6'$	001
100	$Y4'$	$I0'$	111
101	$Y5'$	$I6'$	001
110	$Y6'$	$I5'$	010
111	$Y7'$	$I7'$	100

Homework 7

5. 用D触发器和门电路设计一个十一进制计数器，并检查设计的电路能否自启动。

解：因为电路必须有11个不同的状态，所以需要四个触发器组成这个电路。
如果按下表取电路的11个状态和循环顺序，则可画出表示电路次态的卡诺图：

表 A6.33 题 6.33 中计数器的状态循环表

计数 顺序	电路状态				进位 C		计数 顺序	电路状态				进位 C
	Q_3	Q_2	Q_1	Q_0				Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0		6	0	1	1	0	0
1	0	0	0	1	0		7	0	1	1	1	0
2	0	0	1	0	0		8	1	0	0	0	0
3	0	0	1	1	0		9	1	0	0	1	0
4	0	1	0	0	0		10	1	0	1	0	1
5	0	1	0	1	0		11	0	0	0	0	0

Homework 7

5. 用D触发器和门电路设计一个十一进制计数器，并检查设计的电路能否自启动。

解：因为电路必须有11个不同的状态，所以需要四个触发器组成这个电路。

如果按下表取电路的11个状态和循环顺序，则可画出表示电路次态的卡诺图：

$Q_3 Q_2 \backslash Q_1 Q_0$		$(Q_3^* \ Q_2^* \ Q_1^* \ Q_0^*)$			
		00	01	11	10
00	0001	0010	0100	0011	
01	0101	0110	1000	0111	
11	XXXX	XXXX	XXXX	XXXX	
10	1001	1010	XXXX	0000	

(a)

状态方程为：

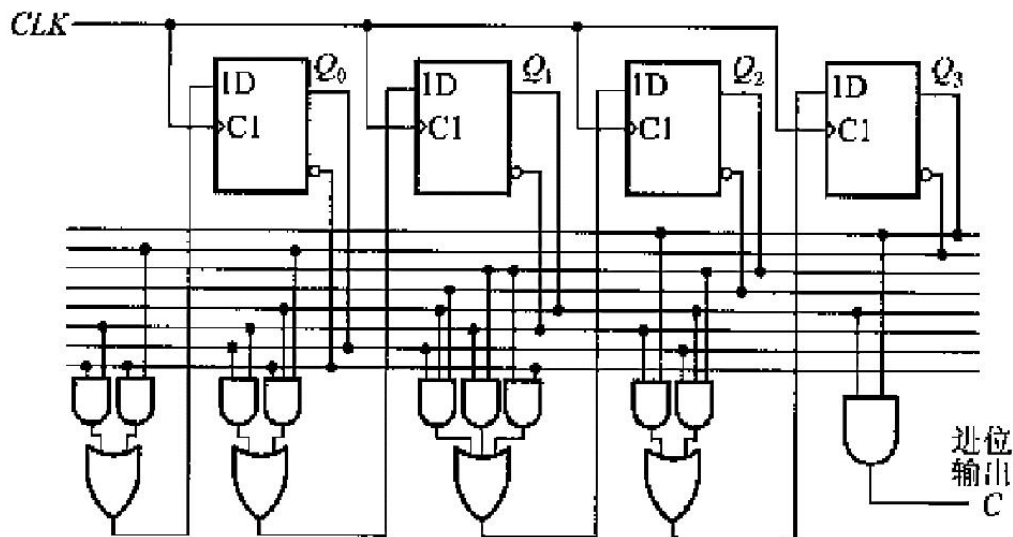
$$\begin{cases} Q_3^* = Q_3 Q_1' + Q_2 Q_1 Q_0 \\ Q_2^* = Q_2 Q_1' + Q_3 Q_0' + Q_2' Q_1 Q_0 \\ Q_1^* = Q_1' Q_0 + Q_3' Q_1 Q_0' \\ Q_0^* = Q_3' Q_0' + Q_1' Q_0' \end{cases}$$

输出方程为：

$$C = Q_3 Q_1$$

Homework 7

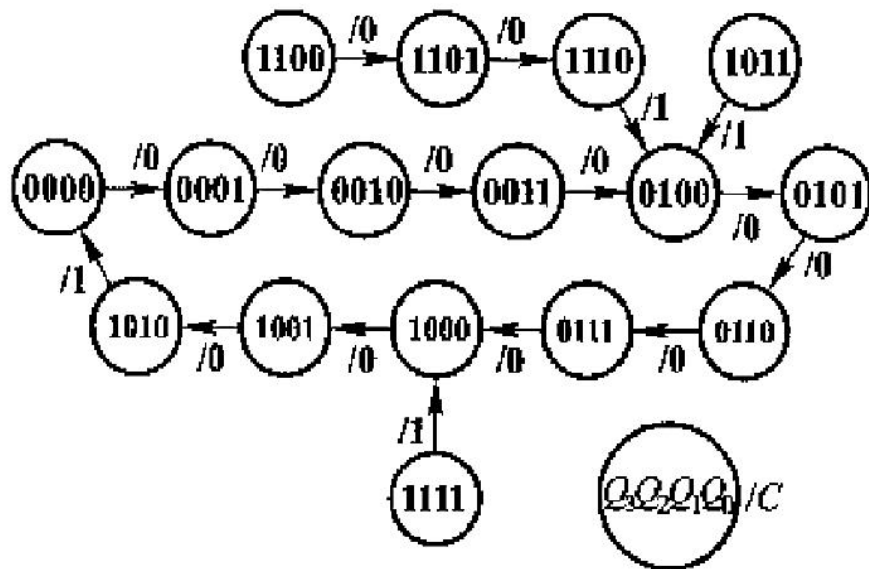
5.
$$\begin{cases} Q_3^* = Q_3 Q_1' + Q_2 Q_1 Q_0 \\ Q_2^* = Q_2 Q_1' + Q_3 Q_0' + Q_2' Q_1 Q_0 \\ Q_1^* = Q_1' Q_0 + Q_3' Q_1 Q_0' \\ Q_0^* = Q_3' Q_0' + Q_1' Q_0' \end{cases} \quad C = Q_3 Q_1$$



(b)

Homework 7

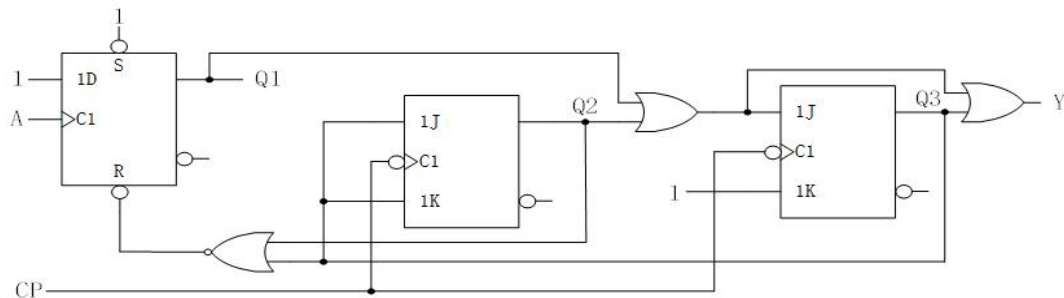
5. 检查自启动:



(c)

Quiz 2

1、分析图中所示的时序电路，画出在图中所示的输入信号 A 和时钟 CP 作用下 Q1、Q2、Q3 和 Y 的波形。



驱动方程：

$$D_1 = 1$$

$$J_2 = K_2 = Q_3$$

$$J_3 = Q_1 + Q_2; K_3 = 1$$

状态方程：

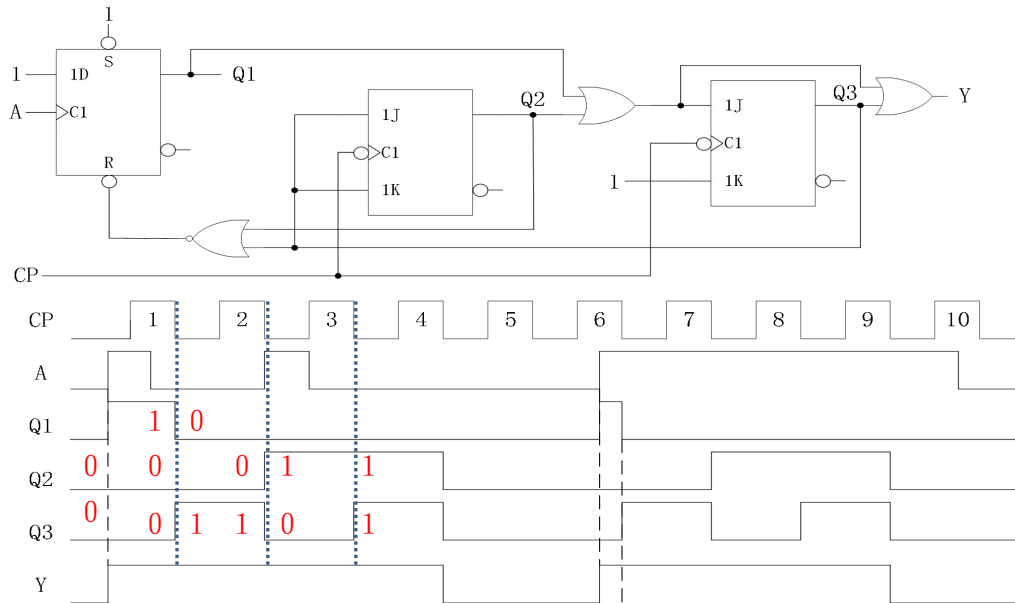
$$Q_1^* = (A \cdot D_1) \cdot R = Q_2' Q_3'$$

$$Q_2^* = Q_3 Q_2' + Q_3' Q_2$$

$$Q_3^* = Q_3' Q_1 + Q_3' Q_2$$

输出方程： $Y = Q_2 + Q_3$

Quiz 2



$$Q_1^* = D_1 \cdot R = Q_2' Q_3'$$

$$Q_2^* = Q_3 Q_2' + Q_3' Q_2$$

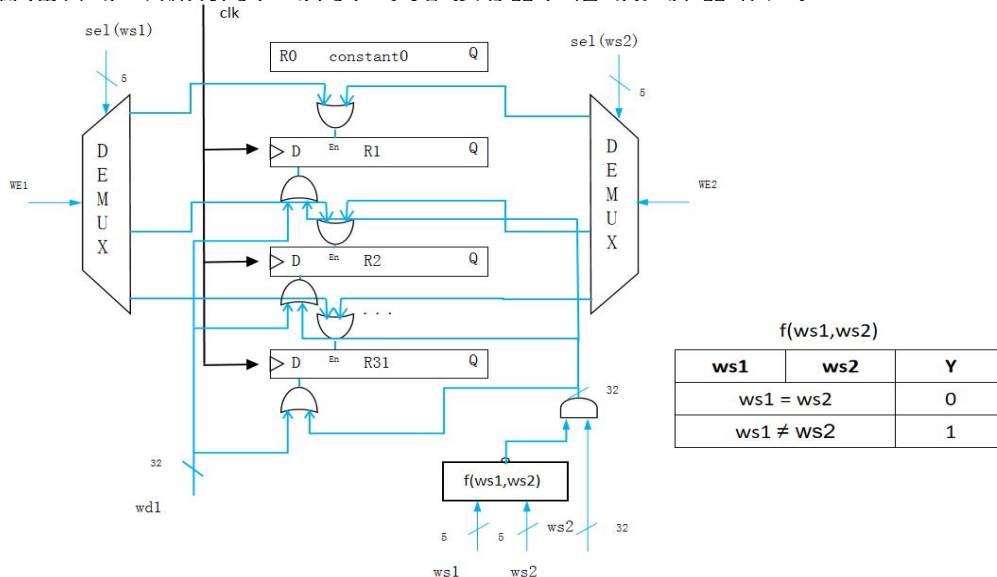
$$Q_3^* = Q_3' Q_1 + Q_3' Q_2$$

Quiz 2

2、寄存器文件设计

寄存器文件设计的写入逻辑如题2图所示。重新设计寄存器文件的写入逻辑，使得两个寄存器可以在同一个时钟上升沿被写入。**ws1**和**ws2**为5比特，指定了待写入的寄存器；**WE1**和**WE2**为1比特，决定了每个端口是否允许写入（1允许，0禁止）；**wd1**和**wd2**为32比特，是待写入的数据。如果两个写入端口都被使能，且ws1和ws2指定了同一个寄存器，则写入寄存器的值必须是**wd1**。

画出你最终的设计方案电路图。如果你需要使用复杂的逻辑函数，给出函数 $f(x, y, \dots)$ 的真值表，并且在电路图中用标有 $f(x, y, \dots)$ 的方框指代。对于简单的逻辑门，可以使用标准符号（如或门、与门、多路复用器、信号选择器等）。



Quiz 3

1、用T触发器设计计数器，重复的计数序列为0，1，3，7，6，4。说明为什么二进制状态010和101被当作任意态使用时，计数器不能正常工作。给出一种方法校正这种设计。

状态转换表：

$Q_1 Q_2 Q_3$	$Q_1^* Q_2^* Q_3^*$
000	001
001	011
011	111
111	110
110	100
100	000
010	x x x
101	x x x

未使用010和101作为任意态的驱动方程：

$$T_1 = Q'_1 Q_2 Q_3 + Q_1 Q'_2 Q'_3$$

$$T_2 = Q'_1 Q'_2 Q_3 + Q_1 Q_2 Q'_3$$

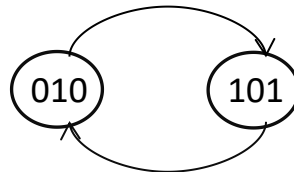
$$T_3 = Q_1 Q_2 Q_3 + Q'_1 Q'_2 Q'_3$$

使用010和101作为任意态的驱动方程：

$$T_1 = Q'_1 Q_2 + Q_1 Q'_2$$

$$T_2 = Q'_2 Q_3 + Q_2 Q'_3$$

$$T_3 = Q_1 Q_3 + Q'_1 Q'_3$$



Quiz 3

2、以一个计数器74161为核心器件和少量门电路，设计一个带同步清0功能的5421BCD码计数器：电路有清0输入控制端R，当R=0时，同步清0；当R=1时，按5421BCD码规则同步计数，注意不能有过渡态。5421BCD码编码规则：0~9分别为：0000、0001、0010、0011、0100、1000、1001、1010、1011、1100。写出设计流程。

