

## 3.1 本章重点内容

### 一、半导体二极管和三极管的开关特性

1. 半导体二极管的单向导电特性和开关等效电路。
2. N 沟道增强型和 P 沟道增强型 MOS 管的基本工作原理,导通和截止的条件,开关等效电路。
3. 双极型三极管的基本工作原理,工作在放大区、截止区和饱和区的条件和特性,开关等效电路。

### 二、CMOS 门电路

1. CMOS 反相器的电路结构和工作原理。
2. CMOS 反相器的静态输入特性和输出特性。
3. CMOS 反相器的动态功耗和传输延迟时间的物理概念。
4. 不同逻辑功能和输出结构(互补输出、OD 输出、三态输出)CMOS 门电路的特点和用法。

### 三、TTL 门电路

1. TTL 反相器的电路结构和工作原理。
2. TTL 反相器的电压传输特性,静态输入特性和输出特性,输入端负载特性。
3. TTL 反相器的传输延迟时间和电源动态尖峰电流的物理概念。
4. 不同逻辑功能和输出结构(推拉式输出、OC 输出、三态输出)TTL 门电路的特点和用法。

### 四、不同类型数字集成电路间接口必须满足的条件和处理方法

1. CMOS 电路和 TTL 电路间的接口。
2. 不同逻辑电平电路间的接口。

## 3.2 难点释疑

一、为什么在《数字电子技术基础(第六版)》的图 3.2.3 中给出了三种不同型式的二极管开关等效电路?

实际测试结果表明,二极管的伏安特性并非理想的开关特性(理想开关正向导通时的导通内阻和导通压降等于零,反向截止时截止内阻为无穷大),而是如图 3-2-1 中的曲线。在计算含有二极管的电路时,为了简化计算,在误差允许的范围内,希望能用一个由线性元件和理想开关组成的开关等效电路替代二极管。而且,希望这个开关等效电路越简单越好。但是,这种近似替

代必须是合理的,才能够保证由此而引起的计算误差  
不超过允许的限度。

根据戴维宁定理,我们总可以把二极管以外的  
电路部分简化为一个等效电压源  $V_{cc}$  和一个等效内  
阻  $R_L$  串联的电路,如图 3-2-2 所示。由图可见,当  
 $V_{cc}$  为负时,加在二极管两端的是反向电压。由于硅  
二极管的反向电阻一般都在数兆欧以上,所以在二  
极管处于反向偏置状态下,可以近似地认为回路电  
流  $i$  等于零。因此,用一个断开的开关近似代替反  
向偏置状态下的二极管。

当  $V_{cc}$  为正时,二极管将导通,有回路电流  $i$  流  
过。由曲线上可以看到,二极管处于正向导通状态时它上面的压降不等于零,而且与电流的大小  
呈非线性关系,这就给严格的定量计算带来了不便。根据二极管的具体工作条件,即外接电路的  
具体情况,我们可以采取相应的近似代替方法:

① 若  $V_{cc}$  远大于二极管的导通压降  $v_D$ ,而且  $R_L$  远大于二极管的正向导通内阻  $r_D$ ,则计算回  
路电流时可以忽略二极管的  $v_D$  和  $r_D$ ,把二极管近似为一个闭合的开关。在这种条件下,二极管  
的开关等效电路相当于一个受外加电压极性控制的理想开关,外加电压为正时开关接通,外加电  
压为负时开关断开,如图 3-2-2(c) 所示。

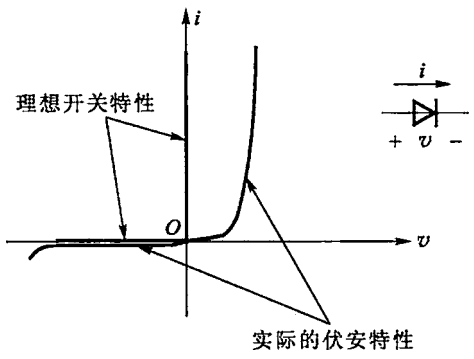


图 3-2-1 二极管的伏安特性

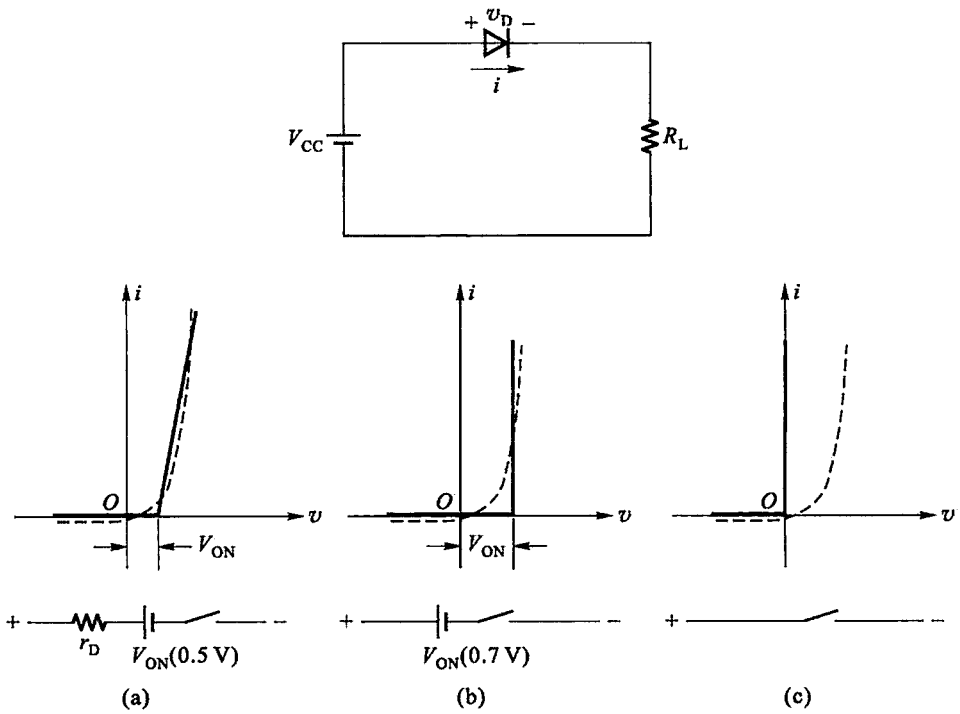


图 3-2-2 三种不同型式的二极管开关等效电路

② 若  $R_L \gg r_D$ , 而  $v_D$  与  $V_{CC}$  相比不可忽略, 则计算回路电流时可以忽略  $r_D$ , 但不能忽略  $v_D$ 。这时就可以用图 3-2-2(b) 中的折线代替二极管的伏安特性曲线, 从而得到图 3-2-2(b) 中的开关等效电路。在数字集成电路中, 使用的电源电压几乎都在 5 V 以下, 而硅二极管充分导通时的压降  $V_{ON}$  为 0.6~0.7 V, 导通内阻只有几十至几百欧, 所以符合图 3-2-2(b) 开关等效电路的应用条件。

③ 若  $r_D$  与  $R_L$  相比不可忽略,  $v_D$  与  $V_{CC}$  相比也不可忽略, 则计算回路电流时既需要考虑  $r_D$  的存在, 又需要考虑  $v_D$  的影响, 因此用图 3-2-2(a) 中的折线代替二极管的实际特性曲线。折线与横轴的交点  $V_{ON}$  表示二极管的导通压降, 折线上段的斜率表示二极管的导通内阻  $r_D$ 。

以上分析说明, 使用任何一种近似方法之前, 必须弄清它的适用环境, 或者叫做限定条件。脱离了限定条件, 将得不到合理的近似计算结果。例如我们在《数字电子技术基础(第六版)》第 3.4.2 节中, 曾经用近似计算方法得到 TTL 反相器的输出高电平为

$$\begin{aligned} V_{OH} &= V_{CC} - v_{R_2} - v_{BE4} - v_{D_2} \\ &\approx (5 - 0.2 - 0.7 - 0.7) \text{ V} = 3.4 \text{ V} \end{aligned}$$

如图 3-2-3 所示。

前面曾经提到, 二极管只有在充分导通时(即电流较大, 工作在特性曲线的转折区以上)压降才近似等于 0.7 V,  $V_{OH}$  才接近 3.4 V。如果输出端空载时用电电压表去量  $V_{OH}$ , 则测得的电压要比 3.4 V 高得多(一般达 4 V 左右), 因为这时流过  $T_4$  的发射结和  $D_2$  的电流都非常小, 只有通过电压表的电流和  $T_5$  的漏电流, 所以它们的压降比 0.7 V 小得多。

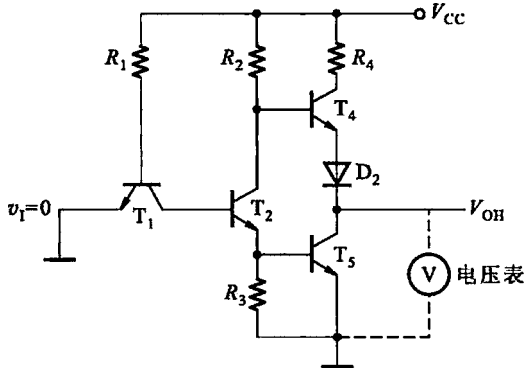


图 3-2-3 TTL 反相器输出高电平时的工作状态

## 二、怎样判断双极型三极管的工作状态是截止、放大还是饱和导通?

在图 3-2-4 所示的双极型三极管基本开关电路中, 输出的高、低电平分别代表逻辑状态的 1 和 0。因此, 希望高电平尽量接近  $V_{CC}$ , 低电平尽量接近零, 也就是希望三极管的 c-e 之间尽量接近于理想开关。这就要求输入信号  $v_i$  为低电平时三极管完全截止,  $v_i$  为高电平时三极管饱和导通。

### 1. 工作在截止状态的条件和特性

工作在截止状态的条件是  $v_{BE} \leq 0$ 。如果采用图 3-2-2(b) 的折线化近似特性, 则近似地认

为  $v_i \leq V_{ON}$  时三极管便已经截止。

截止状态下三极管的特性是  $i_B = 0, i_C = 0$ 。因为没有  $i_C$  流过  $R_C$ , 所以  $R_C$  上没有压降, 故  $V_o = V_{OH} = V_{CC}$ 。

实际上三极管处于截止状态下  $i_C$  不可能绝对等于零, 但此时的漏电流极小, 所以认为  $i_C = 0$  不会引起很大的误差。这时的三极管的 c-e 之间就相当于一个断开的开关。

### 2. 工作在放大状态的条件和特性

工作在放大区的条件是  $v_{BE} > 0.7 \text{ V}$  (硅三极管的  $V_{ON}$ ), 而且  $v_{CE} > 0.7 \text{ V}$ 。

放大状态下的特性是三极管导通,  $i_B > 0, i_C > 0$ , 而且当  $v_i$  增大时,  $i_C$  随着  $i_B$  的增加而成比例地增加。这个比例系数称为电流放大系数  $\beta$  (即  $\beta = \Delta i_C / \Delta i_B$ )。

由于  $i_C$  流过  $R_C$ , 在  $R_C$  上产生压降, 所以  $v_o$  将随  $i_C$  的增加而降低, 即

$$v_o = V_{CC} - R_C i_C \quad (3-2-1)$$

这时  $v_o$  既不是  $V_{CC}$ , 也不是零, 而是  $V_{CC}$  与零之间的某个数值。

### 3. 工作在饱和导通状态的条件和特性

工作在饱和导通状态的条件是  $v_{BE} > 0.7 \text{ V}$ ; 而且  $i_B \geq I_{BS}$ , 使得  $i_C$  足够大,  $R_C i_C$  的值接近于  $V_{CC}$ 。这时  $V_{CC}$  几乎全部降在  $R_C$  上,  $v_{CE}$  只剩下一个很小的饱和导通压降  $V_{CE(sat)}$ 。  $I_{BS}$  称为饱和基极电流, 它的数值可用下式计算

$$I_{BS} = \frac{V_{CC} - V_{CE(sat)}}{\beta R_C} \quad (3-2-2)$$

饱和导通状态下的特性是  $i_B$  增加时  $i_C$  已不能再随之按比例增加了,  $v_{CE}$  也不再减小了, 三极管的 c-e 间最后只有一个很小的饱和压降  $V_{CE(sat)}$  (约在  $0.1 \text{ V}$  以下) 和一个很小的导通内阻 (可小至几欧)。这时三极管的 c-e 间就近似于一个接通的开关。

由式 (3-2-2) 可见,  $I_{BS}$  不仅和三极管本身的性能 ( $V_{CE(sat)}$ 、 $\beta$ ) 有关, 还和外接电路参数 ( $V_{CC}$ 、 $R_C$ ) 有关。求出  $I_{BS}$  以后, 还要从输入回路计算出输入信号实际提供的  $i_B$  值, 只有当  $i_B > I_{BS}$  时, 三极管才能进入饱和导通状态。

**三、为什么 TTL 反相器的低电平输入电流是从输入端流出的, 并且数值较大, 而高电平输入电流是从输入端流入的, 数值又很小?**

从图 3-2-5(a) TTL 反相器的电路图中可以看到, 当输入为低电平  $V_{IL}$  (假定为  $0.3 \text{ V}$  左右) 时,  $T_1$  的发射结 (be 结) 处于正向接法,  $T_1$  导通, 并将  $T_1$  的基极电位  $v_{b1}$  钳在  $1 \text{ V}$  左右。这时  $T_2$  的发射结 (be 结) 和集电结 (bc 结) 都不可能导通, 可以认为  $T_1$  的集电极电流  $i_{C1}$  等于零。输入电路结构可以简化为图 3-2-5(b) 的形式, 并由此得到低电平输入电流为

$$\begin{aligned} I_{IL} = -i_{e1} = -i_{b1} &= -\frac{V_{CC} - V_{BE1} - V_{IL}}{R_1} \\ &= -\frac{5 - 0.7 - 0.3}{4} \text{ mA} = -1 \text{ mA} \end{aligned} \quad (3-2-3)$$

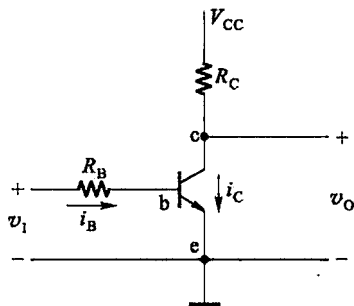


图 3-2-4 双极型三极管基本开关电路

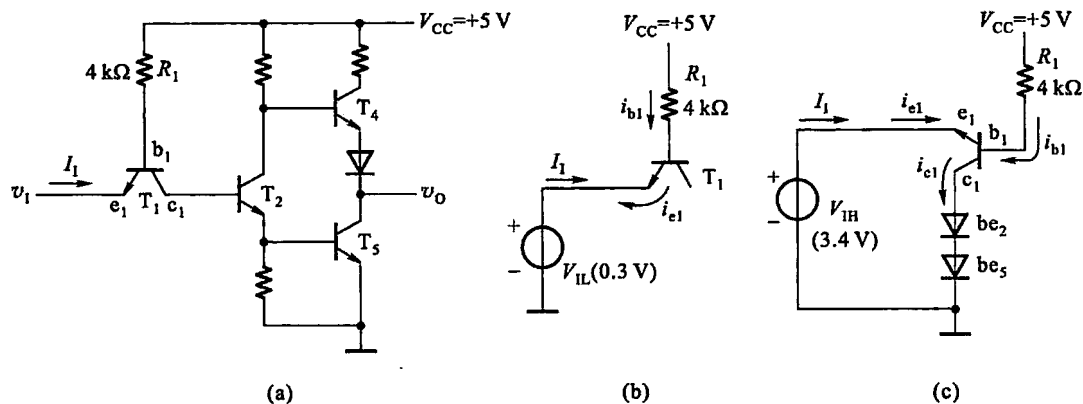


图 3-2-5 TTL 反相器输入电流的分析计算

$I_{IL}$  的负值表示实际电流方向与规定的正方向 (按双口网络的习惯, 规定电流从输入端流入为正) 相反, 即从输入端流出。

当输入为高电平  $V_{IH}$  (假定为 3.4 V) 时, 图 3-2-5(a) 中的  $T_2$  和  $T_5$  的发射结  $be_2$  和  $be_5$  将同时导通, 并将  $T_1$  的基极电位钳位在 2.1 V。这时  $T_1$  的工作状态可以简化成图 3-2-5(c) 的形式。由该图可见,  $T_1$  的  $bc$  结处于正向偏置而  $be$  结处于反向偏置, 所以相当于将原来的发射极和集电极交换使用了。我们把  $T_1$  的这种状态叫做倒置状态。

由于将倒置状态下的三极管电流放大系数  $\beta_i$  设计得非常小 (小于 0.01), 所以虽然这时的  $i_{b1}$  仍然比较大, 但是  $i_{e1} = \beta_i i_{b1}$  却非常小。如果近似地认为  $\beta_i = 0$ , 那么  $i_{e1}$  就仅包含  $T_1$  发射结的反向漏电流了。因此,  $I_{IH} = i_{e1}$  一般只有几个微安, 而且是从输入端流进门电路的。

**四、在计算 TTL 门电路输入端并联的总输入电流时, 为什么有时按输入端的数目加倍, 有时按门的数目加倍?**

在 TTL 电路中, 与门、与非门的输入电路结构形式和或门、或非门的输入电路结构形式是不同的。由图 3-2-6 中可以看到, 从与非门输入端看进去是一个多发射极三极管, 每个发射极是一个输入端。而在图 3-2-8 所示的或门电路中, 从每个输入端看进去都是一个单独的三极管, 而且它们相互间在电路上没有直接的联系。

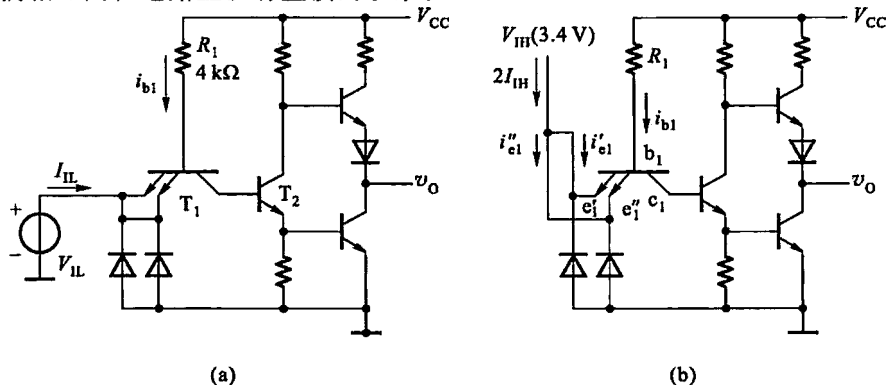


图 3-2-6 与非门输入端并联时输入电流的计算

1. 与非门输入端并联时的输入电流

由图 3-2-6(a) 可见, 当输入为低电平时, 由于  $T_2$  处于截止状态, 所以无论有几个输入端并联, 总的输入电流都等于  $i_{il}$ 。而且发射结的导通压降仍为 0.7 V。因此, 总的低电平输入电流和只有一个输入端接低电平时的输入电流  $I_{il}$  相同。

当输入端接高电平时, 由图 3-2-6(b) 可见,  $e'_1-b_1-c_1$  和  $e''_1-b_1-c_1$  分别构成两个倒置状态的三极管, 所以总的输入电流是单个输入端高电平输入电流  $I_{ih}$  的两倍, 也就是  $I_{ih}$  乘以并联输入端的数目。

在将  $m'$  个与非门的  $m$  个输入端并联的情况下, 如图 3-2-7 所示, 则总的低电平输入电流为

$$\Sigma I_{il} = m' I_{il}$$

式中  $m'$  是并联与非门的个数。

总的高电平输入电流为

$$\Sigma I_{ih} = m I_{ih}$$

式中  $m$  是并联输入端的数目。

2. 或非门输入端并联时的输入电流

由图 3-2-8 可见, 从或非门的每个输入端看进去都是一个独立的三极管, 因此在将  $n$  个输入端并联后, 无论总的高电平输入电流  $\Sigma I_{ih}$  还是总的低电平输入电流  $\Sigma I_{il}$  都是单个输入端输入电流的  $n$  倍, 即

$$\Sigma I_{ih} = n I_{ih}$$

$$\Sigma I_{il} = n I_{il}$$

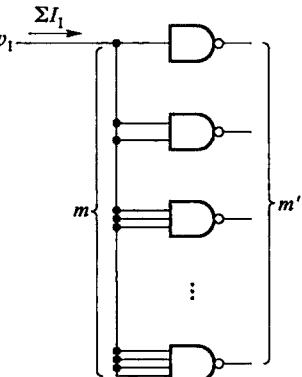


图 3-2-7 多个与非门输入端并联的情况

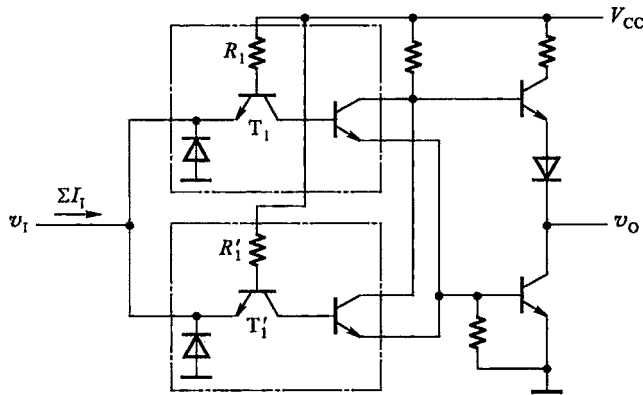


图 3-2-8 或非门输入端并联时输入电流的计算

式中的  $I_{ih}$ 、 $I_{il}$  是单个输入端的高电平输入电流和低电平输入电流。在将多个不同或非门的  $n$  个输入端并联时, 上面的两个式子仍然适用。

五、为什么 TTL 电路的推拉式输出级在输出低电平和高电平时输出电阻都很小?

我们在分析 TTL 反相器的工作原理时已经讲过, 在图 3-2-9 所示的推拉式输出电路中, 当输

出低电平时  $T_4$  截止、 $T_5$  饱和导通。双极型三极管饱和导通状态下具有很低的输出电阻。在 74 系列的 TTL 电路中,这个电阻只有几欧,所以若外接的串联电阻在几百欧以上,在分析计算时可以将它忽略不计。

当输出为高电平时, $T_5$  截止而  $T_4$  导通。 $T_4$  工作在以发射极为输出端的状态,即所谓“射极输出器”状态。在射极输出器的正常工作范围内,三极管处于放大状态,而不是饱和导通状态。射极输出器的最主要特点就是具有高输入电阻和低输出电阻。在所有的模拟电子技术基础教材中,对这一特性都有详细的说明。根据理论推导,图 3-2-9 电路的高电平输出电阻为

$$r_o = \frac{R_2 + r_{be4}}{1 + \beta_4} + r_D$$

上式中的  $r_{be4}$  是  $T_4$  发射结的导通电阻, $\beta_4$  是  $T_4$  的电流放大系数, $r_D$  是二极管 D 的导通电阻。74 系列 TTL 门电路的高电平输出电阻约在几十欧至一百欧之间。显然,这个数值比低电平输出电阻大得多。正因为如此,我们总是用输出的低电平去驱动负载电路。

**六、为什么 CMOS 门电路的扇出系数不能仅仅用静态输入电流和输出电流来计算,还必须考虑到动态工作情况?**

扇出系数是指一个门电路的输出端能够驱动同一类门电路输入端的数目。

我们已经知道,CMOS 门电路静态下的输入电流非常小,而输出电流相对地要大得多。如果只用静态下的输入电流和输出电流计算,扇出系数将是非常大的。以图 3-2-10 的 74HC04 反相器为例,它的输入电流的最大值仅为  $1 \mu\text{A}$ ,而输出电流的最大值达  $4 \text{ mA}$ 。由此可以计算出 74HC04 的扇出系数为

$$N = 4 / 1 \times 10^{-3} = 4 \times 10^3$$

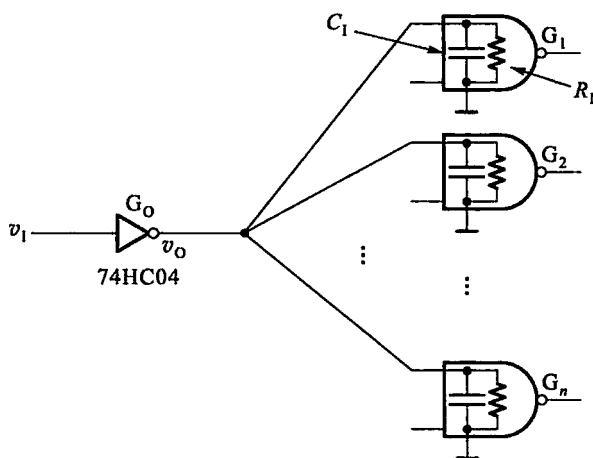


图 3-2-10

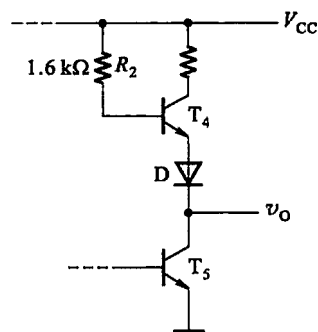


图 3-2-9 TTL 电路的推挽式输出级电路

这就是说,在输出端同时接入 4 000 个 74HC 系列门电路的输入端,仍然能够保证 74HC04 反相器的输出电流不过载,而且输出的高、低电平都在允许的正常范围之内。

然而在动态情况下就不同了。由于每个 CMOS 门电路的输入端都存在一个输入电容  $C_i$ ,所以这些电容的总和就构成了门电路  $G_o$  输出端的负载电容  $C_L$ ,如图 3-2-10 所示。

当电路工作在高速开关状态时,必须考虑这些输入电容的影响。由于  $C_L$  的存在,当  $G_o$  的输入信号  $v_i$  由高电平跳变为低电平时,输出端并不能立刻跳变成高电平,必须经过对  $C_L$  充电,  $v_o$  才能上升至高电平。而且,在  $v_i$  的低电平持续时间里,  $v_o$  必须上升到负载门的输入高电平最小值  $V_{IH(min)}$  以上,才能保证信号的正常传递,如图 3-2-11(a) 所示。

同理,当  $v_i$  由低电平跳变为高电平以后,  $v_o$  将随  $C_L$  的放电而逐渐降低。为了保证信号的正常传递,在  $v_i$  的高电平持续时间里,  $v_o$  必须能够下降到负载门的输入低电平最大值  $V_{IL(max)}$  以下,如图 3-2-11(b) 所示。因为 CMOS 门电路的输入电阻  $R_i$  远远大于  $R_{ON(p)}$  和  $R_{ON(n)}$ ,所以在  $C_L$  的充、放电等效电路中可以将其略去。

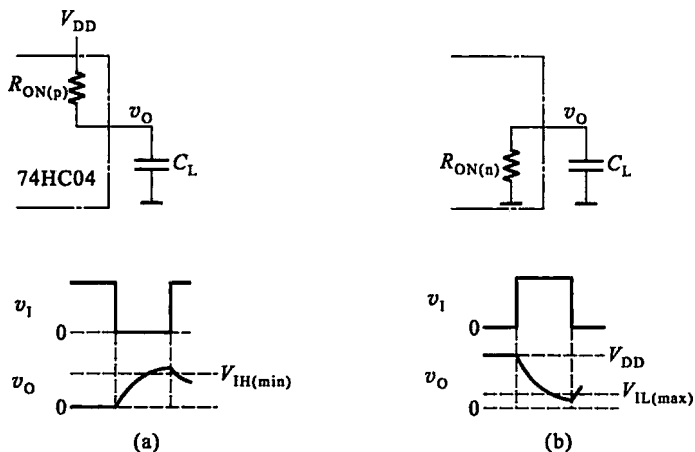


图 3-2-11

由此可见,在  $v_i$  的开关工作频率一定(亦即高、低电平持续时间一定)的情况下,为了保证电路正常工作,  $C_L$  的充、放速度必须足够快,所以  $C_L$  的数值不能过大。也就是说,接到  $v_o$  端的负载门不能太多。据此即可求出在此工作频率下的扇出系数。

**【例 3-2-1】** 在图 3-2-10 所示电路中,已知 74HC04 在 5 V 电源电压下工作时,高电平输出电阻  $R_{ON(p)}$  和低电平输出电阻  $R_{ON(n)}$  均为 1 k $\Omega$ ,静态下的输出低电平  $V_{OL} \approx 0$ ,高电平  $V_{OH} \approx 5$  V。负载均为 74HC 系列门电路,每个输入端的输入电容  $C_i$  的最大值为 10 pF,等效的输入电阻  $R_i$  等于 10 M $\Omega$ ,输入高电平最小值  $V_{IH(min)} = 3.15$  V,输入低电平最大值  $V_{IL(max)} = 1.35$  V。若  $v_i$  的开关工作频率为  $f = 1$  MHz,试计算此时 74HC04 的扇出系数。

**解:** 根据图 3-2-11(a) 的等效电路,可以计算出当  $v_i$  由高电平跳变为低电平后,  $v_o$  从低电平上升到  $V_{IH(min)}$  所需的时间  $t_1$

$$t_1 = R_{ON(p)} C_L \ln [ (V_{DD} - V_{OL}) / (V_{DD} - V_{IH(min)}) ]$$

为了保证电路正常工作,  $t_1$  必须小于  $v_i$  的低电平持续时间  $1/2 f = 0.5 \mu s$ ,于是得到

$$R_{ON(p)} C_L \ln [ (V_{DD} - V_{OL}) / (V_{DD} - V_{IH(min)}) ] \leq 0.5 \times 10^{-6}$$



$$C_L \leq 0.5 \times 10^{-6} / R_{ON(p)} \ln[(V_{DD} - V_{OL}) / (V_{DD} - V_{IH(min)})]$$

$$C_L \leq 0.5 \times 10^{-6} / 1 \times 10^3 \ln[5 / (5 - 3.15)] \text{ F} = 0.5 \times 10^{-9} \text{ F} = 500 \text{ pF}$$

因此,可以接入负载门输入端的最大数目,亦即扇出系数  $N_1$  等于

$$N_1 = C_L / C_1 = 500 / 10 = 50$$

与此同时,还必须保证  $v_1$  由低电平跳变为高电平后,在  $v_1$  的高电平持续时间里  $v_o$  的高电平能够下降到  $V_{IL(max)}$  以下。若  $v_o$  从高电平下降到  $V_{IL(max)}$  所需时间为  $t_2$ ,则从图 3-2-11(b) 的等效电路可以得到

$$t_2 = R_{ON(n)} C_L \ln[(V_{OL} - V_{DD}) / (V_{OL} - V_{IL(max)})]$$

$$R_{ON(n)} C_L \ln[(V_{OL} - V_{DD}) / (V_{OL} - V_{IL(max)})] \leq 0.5 \times 10^{-6}$$

$$C_L \leq 0.5 \times 10^{-6} / R_{ON(n)} \ln[(V_{OL} - V_{DD}) / (V_{OL} - V_{IL(max)})]$$

$$C_L \leq 0.5 \times 10^{-6} / 1 \times 10^3 \ln[(-5 / -1.35)] \text{ F} = 0.38 \times 10^{-9} \text{ F} = 380 \text{ pF}$$

$$N_2 = C_L / C_1 = 380 / 10 = 38$$

取  $N_1$  和  $N_2$  当中数值小的一个,最后得到扇出系数  $N = 38$ 。

通过这个例子可以看到,考虑动态工作情况计算出的扇出系数比只考虑静态下输入和输出电流计算出的扇出系数小得非常多。

### 3.3 习题类型与解题方法

这一章的习题大致可以分为四种类型:双极型三极管工作状态的计算、集成门电路逻辑功能的分析、利用输入特性和输出特性计算扇出系数和接口电路,以及 OD 门和 OC 门外接上拉电阻的计算。下面结合例题说明它们的解题方法。

#### 一、双极型三极管工作状态的计算

在三极管开关电路中,为了使三极管工作在开关状态,必须保证输入为低电平时三极管工作在截止状态,而输入为高电平时三极管工作在饱和导通状态。(当然,非饱和逻辑电路除外)。因此,这一类习题要求计算输入为高、低电平下三极管的工作状态,以判断电路参数的选择是否合理。

解题方法和步骤:

(1) 利用戴维宁定理将输入电路(即接在三极管的基极和发射极之间的外接电路)简化为等效的  $V_E$  与  $R_E$  串联电路,如图 3-3-1 中所示。

(2) 计算  $v_1$  为低电平时的  $V_E$  值。若  $V_E < V_{ON}$ ,则认为三极管基本截止,参数设计合理。若  $V_E > V_{ON}$ ,则三极管导通,表明电路参数的选择不合理。

$V_{ON}$  是三极管发射结的开启电压,硅管近似地取为 0.7 V,锗管近似地取为 0.3 V。

(3) 计算  $v_1$  为高电平时的  $V_E$  值以及此时的  $i_B$ ,并与临界饱和基极电流  $I_{BS}$  比较。若  $i_B > I_{BS}$ ,则三极管饱和导通,参数设计

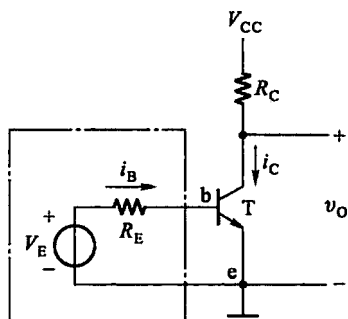


图 3-3-1 输入电路化简后的三极管开关电路

合理。若  $i_B < I_{BS}$ , 则三极管不饱和, 说明参数设计不合理。

**【例 3-3-1】** 在图 3-3-2(a) 所示三极管开关电路中, 已知  $V_{CC} = 10\text{ V}$ ,  $V_{EE} = -5\text{ V}$ ,  $R_C = 1\text{ k}\Omega$ ,  $R_1 = 11\text{ k}\Omega$ ,  $R_2 = 3.3\text{ k}\Omega$ ,  $R_3 = 18\text{ k}\Omega$ 。三极管的电流放大系数  $\beta = 30$ , 饱和导通压降  $V_{CE(sat)} = 0.1\text{ V}$ , 饱和导通内阻  $R_{CE(sat)} = 20\text{ }\Omega$ 。输入高、低电平分别为  $V_{IH} = 3.6\text{ V}$ ,  $V_{IL} = 0.3\text{ V}$ 。试计算输入为高、低电平下三极管的工作状态, 说明电路参数的设计是否合理。

**解:** 首先利用戴维宁定理将输入电路化简。为清楚起见, 把输入电路的完整形式画于图 3-3-2(b) 中。根据戴维宁定理, 等效电压源  $V_E$  等于 b-e 两端开路时的电压, 等效内阻  $R_E$  等于将内部电压源短路后, 从 b-e 两端看进去的电阻, 于是得到

$$\begin{aligned} V_E &= v_i - \frac{v_i + V_{EE}}{R_2 + R_3} R_2 \\ &= v_i - \frac{v_i + 5}{3.3 + 18} \times 3.3 \\ &= 0.845v_i - 0.775\text{ V} \\ R_E &= \frac{R_2 \cdot R_3}{R_2 + R_3} \\ &= \frac{3.3 \times 18}{3.3 + 18}\text{ k}\Omega \\ &= 2.8\text{ k}\Omega \end{aligned}$$

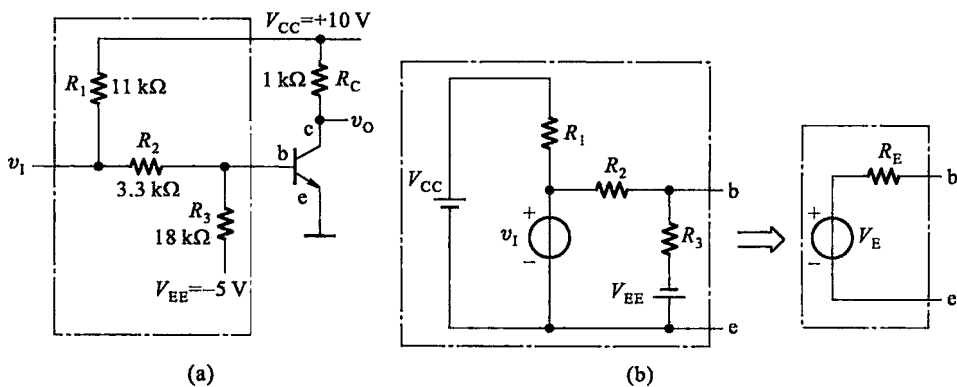


图 3-3-2 例 3-3-1 的三极管开关电路和输入电路的等效电路

当  $v_i = V_{IL} = 0.3\text{ V}$  时,  $V_E = (0.845 \times 0.3 - 0.775)\text{ V} = -0.52\text{ V}$ , 故三极管截止。

当  $v_i = V_{IH} = 3.6\text{ V}$  时,  $V_E = (0.845 \times 3.6 - 0.775)\text{ V} = 2.27\text{ V}$ 。此时的基极电流为

$$i_B = \frac{V_E - v_{BE}}{R_E} = \frac{2.27 - 0.7}{2.8}\text{ mA} = 0.56\text{ mA}$$

而临界饱和基极电流为

$$I_{BS} = \frac{V_{CC} - V_{CE(sat)}}{\beta(R_C + R_{CE(sat)})} = \frac{10 - 0.1}{30 \times 1.02 \times 10^3}\text{ A} = 0.33\text{ mA}$$

可见,  $i_B > I_{BS}$ , 故三极管饱和导通。

计算结果说明,  $v_i$  为低电平时三极管截止,  $v_i$  为高电平时三极管饱和导通, 所以电路参数的设计是合理的。

## 二、集成门电路逻辑功能的分析

这一类题目又分为两种情况, 一种是给出了门电路输入的电压波形或逻辑状态, 求输出的电压波形或逻辑状态; 另一种是给出了集成门电路的内部电路结构图, 求它的逻辑功能。

解题方法和步骤:

(1) 对于前一种题目(即给出了门电路输入的电压波形或逻辑状态, 求输出的电压波形或逻辑状态), 只需按照给定门电路的逻辑功能逐一找出每一种输入状态下的输出就行了。需要注意的问题就是当输入端不是接高、低逻辑电平, 而是悬空、经过电阻接地或接电源电压时, 输入端逻辑状态的确定方法。

对 CMOS 门电路而言, 通常是不允许输入端工作在悬空状态的。输入端经过电阻接地时, 与接逻辑低电平等效; 经过电阻接电源电压时, 与接逻辑高电平等效。

而对 TTL 电路而言, 输入端的悬空状态和接逻辑高电平等效。输入端经过电阻(通常取几十千欧以内)接电源电压时, 与接逻辑高电平等效。输入端经过电阻接地时, 输入端的电平与电阻阻值的大小有关, 当电阻阻值很小时(例如只有几十欧), 输入端相当于接逻辑低电平; 当电阻阻值大到一定程度以后, 输入端电压将升高到逻辑高电平。例如在 74 系列门电路中, 当这个电阻大于  $2\text{ k}\Omega$  以后, 输入端电压将高于  $1.4\text{ V}$ ; 在 74LS 系列门电路中, 当这个电阻大于  $9\text{ k}\Omega$  以后, 输入端电压将高于  $1.4\text{ V}$ 。这时输入端状态与接逻辑高电平等效。

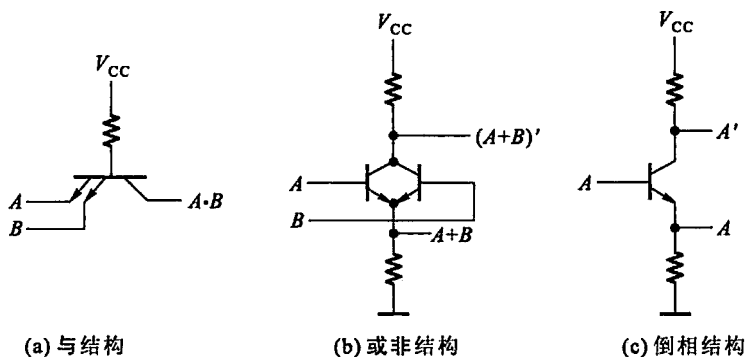
(2) 对于后一种题目(即给出了集成门电路的内部电路结构图, 求它的逻辑功能), 通常可以按如下步骤进行求解:

① 首先将电路划分为若干个基本功能结构模块。

② 从输入到输出依次写出每个电路模块输出与输入的逻辑关系式, 最后就得到了整个电路逻辑功能的表达式。

图 3-3-3 中给出了 TTL 集成门电路中的几种基本功能结构。

这些基本功能电路模块有与结构、或非结构、倒相结构、电平偏移结构推拉式输出结构和 OC 输出结构等几种。电平偏移结构的功能在于实现电平的变换。当输入  $A$  为高电平时, 二极管  $D$  导通, 输出也是高电平, 但输出的高电平比输入电平低一个二极管的压降。当输入  $A$  为低电平时, 二极管工作在截止状态, 这时三极管  $T_D$  导通, 为输出端提供一个低内阻的对地放电通路。



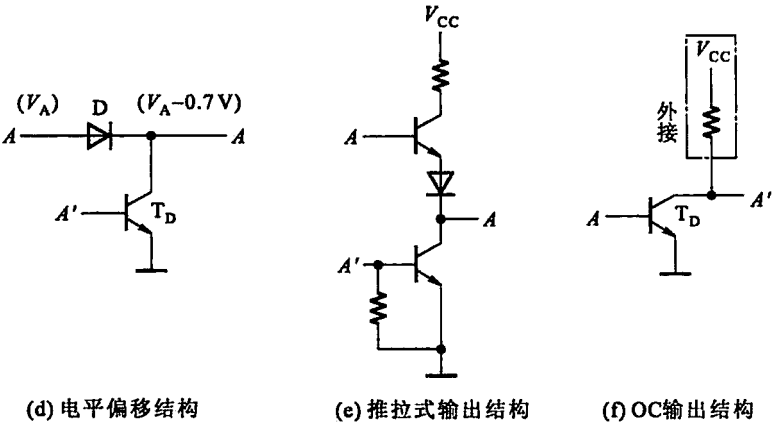


图 3-3-3 TTL 集成门电路中的几种基本功能结构

图 3-3-4 是 CMOS 集成门电路的几种基本电路功能结构。其中包含反相结构、与非结构、或非结构、传输门结构和 OD 输出结构。利用这几种电路模块能很方便地组成各种逻辑功能的集成电路。

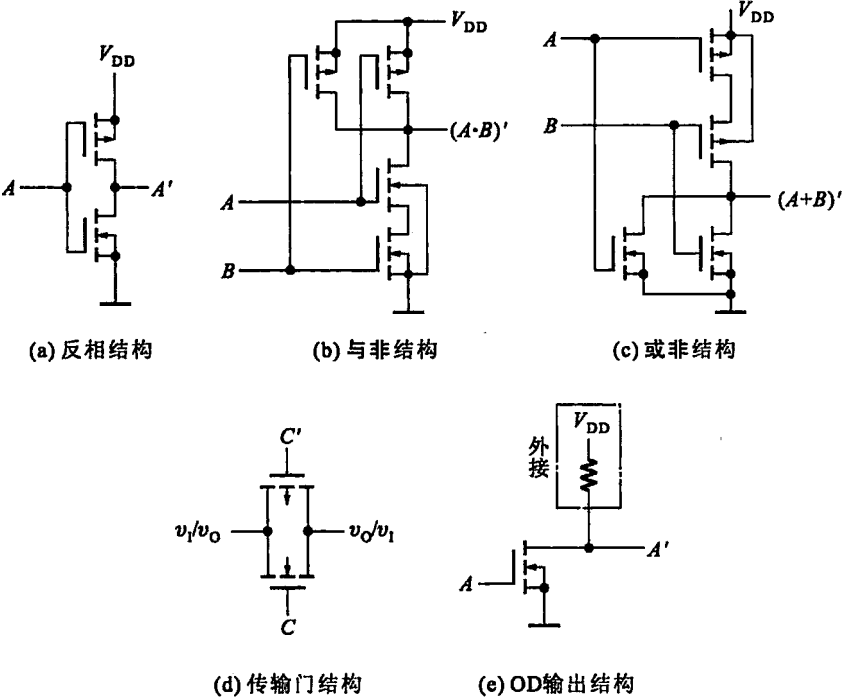


图 3-3-4 CMOS 集成门电路中的几种基本功能结构

【例 3-3-2】 试分析图 3-3-5 电路的逻辑功能。

解：首先将电路划分为虚线框内的六个基本功能模块：最左边的三个与结构模块、中间的两个或非结构模块和最右边的推拉式输出模块，如图中所示。

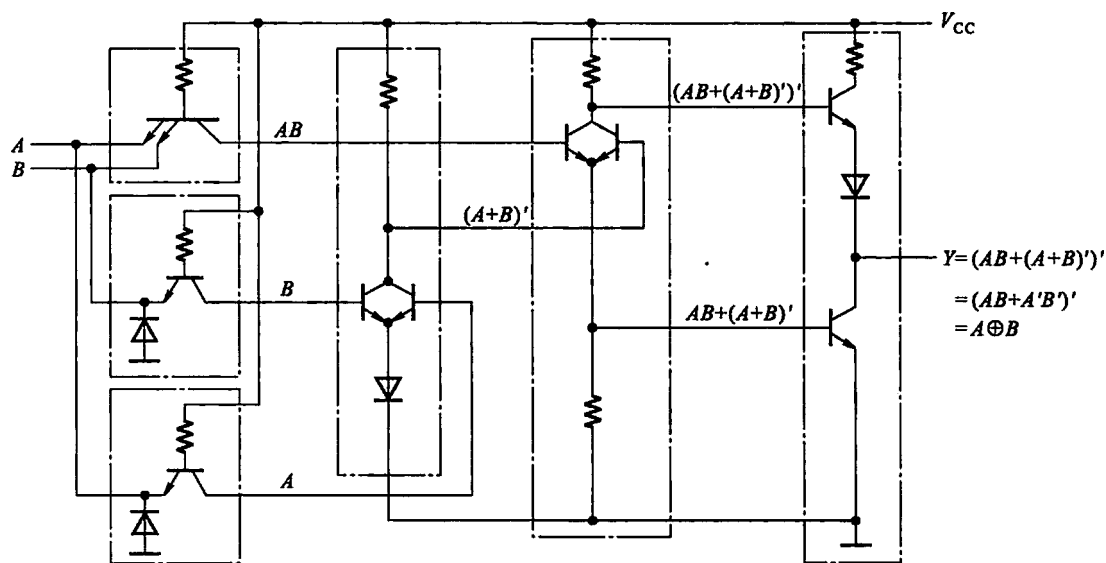


图 3-3-5 例 3-3-2 的电路

然后自左而右地逐个写出每个模块的逻辑关系式(如图中所示),最后得到

$$Y = (AB + (A+B)')' = (AB + A'B')' = A \oplus B$$

因此,图 3-3-5 电路是异或门电路。

【例 3-3-3】 试分析图 3-3-6 电路的逻辑功能。

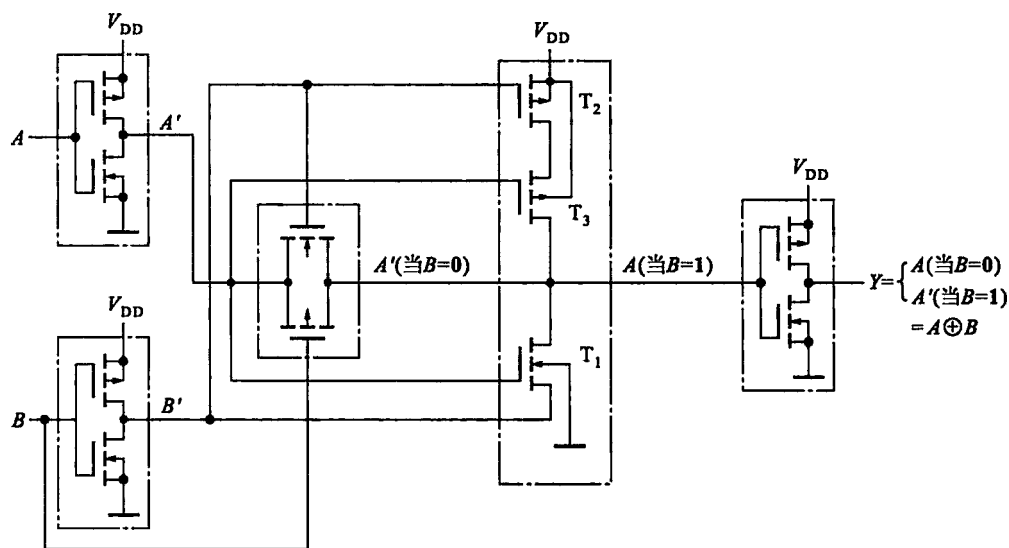


图 3-3-6 例 3-3-3 的电路

解: 这个电路可以划分成四个反相器和一个传输门共五个功能模块。传输门的工作状态由  $B$  和  $B'$  控制, 当  $B=0$  时传输门导通, 输出等于输入的  $A'$ ; 当  $B=1$  时传输门截止。电路图中中间的一个反相器受  $B'$  状态的控制, 当  $B=0$  时 ( $B'=1$ )  $T_1$  和  $T_2$  同时截止, 反相器不工作; 当

$B=1$  时 ( $B'=0$ )  $T_1$  和  $T_2$  同时导通,反相器工作,输出等于  $A$ 。再经过输出端反相器反相以后得到

$$Y=\begin{cases} A(\text{当 } B=0) \\ A'(\text{当 } B=1) \end{cases}$$

把上式的真值表列出(表 3-3-1)即可看到,  $Y=A\oplus B$ 。

表 3-3-1 图 3-3-6 电路的逻辑真值表

$A$	$B$	$Y$
0	0	0
1	0	1
0	1	1
1	1	0

三、输入特性和输出特性的应用

这里所说的输入、输出特性的应用,是指应用数字集成电路的输入电气特性和输出电气特性解决集成电路之间的互相连接、集成电路与输入端外接电路的连接以及集成电路与输出端外接负载电路的连接问题。

1. TTL 电路扇出系数的计算

所谓扇出系数,通常是指一个门电路可以同时驱动同一种门电路输入端的最大数目。

解题方法和步骤:

① 首先需要知道驱动门每个输入端的低电平输出电流最大值  $I_{OL(max)}$  和高电平输出电流最大值  $I_{OH(max)}$ 、负载门低电平输入电流最大值  $I_{IL(max)}$  和高电平输入电流最大值  $I_{IH(max)}$ 。这些参数可以从手册上查到,也可以是题目给出的。

② 计算在  $I_{OL} \leq I_{OL(max)}$  的条件下,驱动门能驱动负载门的数目  $N_1$ 。由图3-3-7(a)可知,这时应满足

$$I_{OL} = N_1 | k I_{IL(max)} | \leq I_{OL(max)}$$
$$N_1 \leq \frac{I_{OL(max)}}{| k I_{IL(max)} |}$$

负载为或/或非门时,  $k$  等于每个门的并联输入端数;负载为与/与非门时,  $k$  等于 1。

③ 计算在  $I_{OH} \leq I_{OH(max)}$  的条件下,驱动门能驱动负载门的数目  $N_2$ 。由图3-3-7(b)可知,这时应满足

$$I_{OH} = p N_2 I_{IH(max)} \leq | I_{OH(max)} |$$
$$N_2 \leq \frac{| I_{OH(max)} |}{p I_{IH(max)}}$$

上式中的  $p$  是每个负载门的并联输入端个数。

④ 取  $N_1$ 、 $N_2$  中小一个,即为所求的扇出系数。

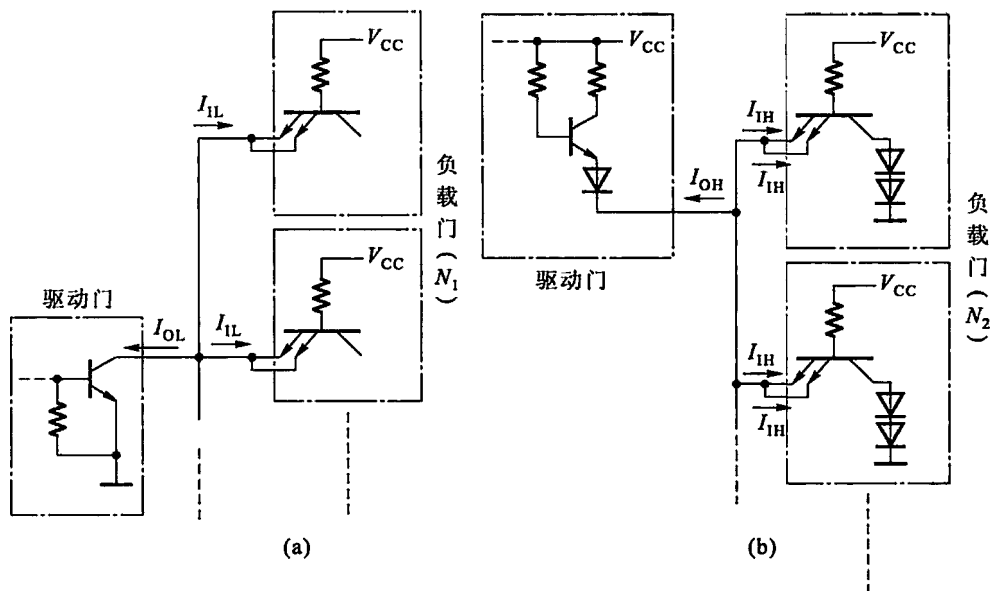


图 3-3-7 计算 TTL 电路扇出系数的简化电路

【例 3-3-4】在图 3-3-8 电路中,试计算 2 输入或非门  $G_1$  能驱动多少个同样的或非门电路。已知或非门的低电平输出电流最大值  $I_{OL(max)} = 16 \text{ mA}$ , 高电平输出电流最大值  $I_{OH(max)} = -0.4 \text{ mA}$ , 高电平输入电流最大值  $I_{IH(max)} = 40 \text{ }\mu\text{A}$ , 低电平输入电流最大值  $I_{IL(max)} = -1.6 \text{ mA}$ 。

解: 在保证  $I_{OL} \leq I_{OL(max)}$  的条件下, 设  $G_1$  可驱动负载门的个数为  $N_1$ , 因为每个负载门的两个或输入端并联, 故有

$$I_{OL} = N_1 |2I_{IL(max)}| \leq I_{OL(max)}$$

$$N_1 \leq \frac{I_{OL(max)}}{|2I_{IL(max)}|} = \frac{16}{2 \times 1.6} = 5$$

若  $G_1$  输出高电平时能驱动负载门个数为  $N_2$ , 则有

$$I_{OH} = N_2 2I_{IH(max)} \leq |I_{OH(max)}|$$

$$N_2 \leq \frac{|I_{OH(max)}|}{2I_{IH(max)}} = \frac{0.4}{2 \times 0.04} = 5$$

综合  $G_1$  输出高、低电平时的驱动能力后得到  $N=5$ 。

## 2. TTL 电路输入端串联电阻允许值的计算

由图 3-3-9 可知, 当输入信号经过串联电阻  $R_p$  接到门电路的输入端时, 由于 TTL 电路的高电平输入电流和低电平输入电流都不等于零, 所以在串联电阻  $R_p$  上要产生压降。当输入为高电平时, 由图 3-3-9(a) 可见, 如果  $R_p$  数值过大, 则加到门电路输入端的  $V_A$  将低于规定的  $V_{IH(min)}$  这是不允许的。同理, 当输入为低电平时, 由图 3-3-9(b) 可见, 如果  $R_p$  选得过大, 则  $V_A$  将高于规定的  $V_{IL(max)}$ , 这也是不允许的。因此, 需要计算出  $R_p$  阻值的允许范围。

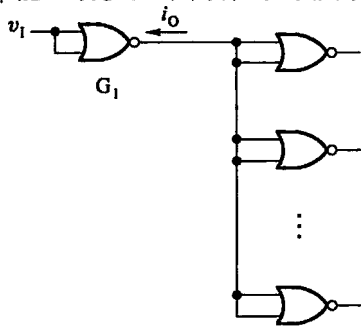


图 3-3-8 例 3-3-4 的电路

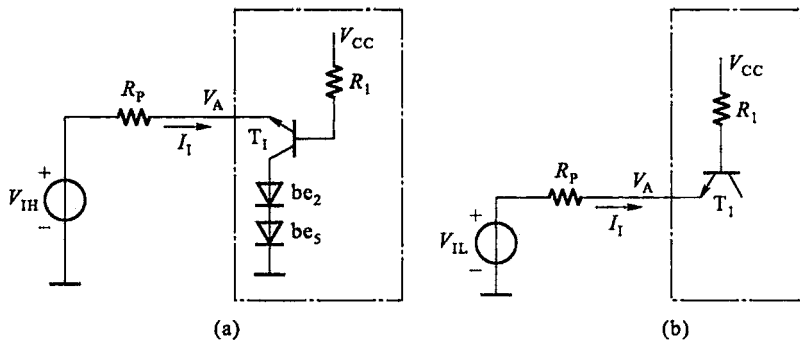


图 3-3-9 TTL 电路输入端串联电阻允许值的计算

解题方法和步骤:

(1) 计算  $V_I = V_{IH}$  时  $R_P$  的最大允许值。为保证  $V_A \geq V_{IH(\min)}$ , 即

$$V_A = V_{IH} - R_P I_{IH(\max)} \geq V_{IH(\min)}$$

于是得到

$$R_P \leq \frac{V_{IH} - V_{IH(\min)}}{I_{IH(\max)}} \quad (3-3-1)$$

其中  $V_{IH}$ 、 $V_{IH(\min)}$ 、 $I_{IH(\max)}$  的具体数值由题目给出,也可以从器件手册中查到。 $I_{IH(\max)}$  的值在  $V_A > V_{IH(\min)}$  的范围内基本不变。如果  $V_A$  处有多个输入端并联,则应以总的输入电流代替式 (3-3-1) 中的  $I_{IH(\max)}$ 。

(2) 计算  $V_I = V_{IL}$  时  $R_P$  的最大允许值。由图 3-3-9(b) 可见,为了保证  $V_A \leq V_{IL(\max)}$ ,  $R_P$  上的压降应小于  $V_{IL(\max)} - V_{IL}$ 。因为  $R_P$  与  $R_1$  同处于一个串联支路中,所以它们的电阻值之比等于它们上面的压降之比,即

$$\begin{aligned} \frac{R_P}{R_1} &\leq \frac{V_{IL(\max)} - V_{IL}}{V_{CC} - V_{BE1} - V_{IL(\max)}} \\ R_P &\leq \frac{V_{IL(\max)} - V_{IL}}{V_{CC} - V_{BE1} - V_{IL(\max)}} R_1 \end{aligned} \quad (3-3-2)$$

式中的  $V_{IL}$ 、 $V_{IL(\max)}$  由题目给出,或从器件手册中查到。 $V_{BE1}$  是  $T_1$  发射结的导通压降,约 0.7 V。

如果  $V_A$  处有  $n$  个 TTL 门电路并联,则可以利用戴维宁定理将这  $n$  个输入电路等效为  $V_{CC}$ 、 $V_{BE1}$  和一个阻值为  $R_1/n$  的电阻串联的支路,并以  $R_1/n$  代替式 (3-3-2) 中的  $R_1$ 。

(3) 取式 (3-3-1) 和式 (3-3-2) 的计算结果中阻值较小的一个作为  $R_P$  的最大允许值。

**【例 3-3-5】** 在图 3-3-10 电路中,试求 RC 滤波电路中  $R$  的最大允许阻值。已知门  $G_1$  输出的高、低电平分别为 3.4 V 和 0.2 V, 门  $G_2$  和  $G_3$  的高电平输入电流最大值  $I_{IH(\max)} = 40 \mu A$ , 输入高电平最小值  $V_{IH(\min)} = 2 V$ , 输入低电平最大值  $V_{IL(\max)} = 0.8 V$ 。

解: 当 RC 电路输入为高电平  $V_{OH1} = 3.4 V$  时,由式 (3-3-1) 得到

$$R \leq \frac{V_{OH1} - V_{IH(\min)}}{4I_{IH(\max)}} = \frac{3.4 - 2.0}{4 \times 0.04} k\Omega = 8.75 k\Omega$$

而当 RC 电路输入为低电平  $V_{OL1} = 0.2 V$  时,由式 (3-3-2) 又得到



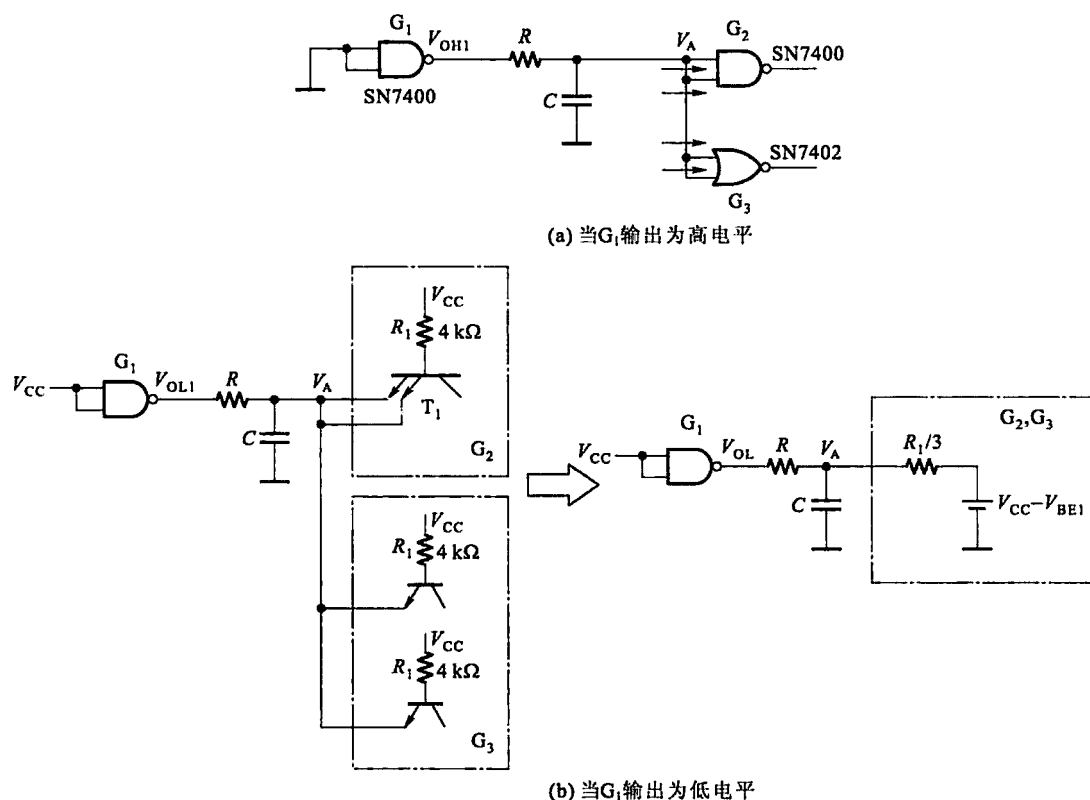


图 3-3-10 例 3-3-5 的电路

$$R \leq \frac{V_{IL(\max)} - V_{IL}}{V_{CC} - V_{BE1} - V_{IL(\max)}} \cdot \frac{R_1}{3} = \frac{0.8 - 0.2}{5 - 0.7 - 0.8} \times \frac{4}{3} \text{ k}\Omega = 0.228 \text{ k}\Omega$$

为同时满足  $RC$  电路输入高电平时和输入低电平时对  $R$  取值的限制,  $R$  的阻值不应大于  $0.228 \text{ k}\Omega$ 。

### 3. 三极管接口电路的电路参数计算

在输入信号的高、低电平与数字集成电路要求的输入电平不同,或者输入信号不能提供数字集成电路所要求的输入电流时,就需要在输入信号与集成电路之间接入接口电路,如图 3-3-11(a)所示。同样,在数字集成电路输出的高、低电平不符合负载电路的要求,或者数字集成电路不能提供负载所需要的输出电流时,也需要在数字集成电路与负载之间接入接口电路,如图 3-3-11(b)所示。

在没有合适的接口电路芯片可以选用的情况下,可以用三极管开关电路设计成所需要的接口电路。数字集成电路可能是 TTL 电路、CMOS 电路或其他类型的集成电路。负载电路部分同样既可能是 TTL、CMOS 电路,也可能是其他类型的电路。

#### 解题方法和步骤:

在图 3-3-11(b) 电路中,为了保证接口电路在  $v_i = V_{IL}$  时  $v_o$  的高电平高于要求的  $V_{OH}$ ,在  $v_i = V_{IH}$  时三极管饱和导通 ( $v_o \approx 0$ ),无论是在分析给定接口电路时还是设计接口电路时,电路参数的配合必须符合以下关系:

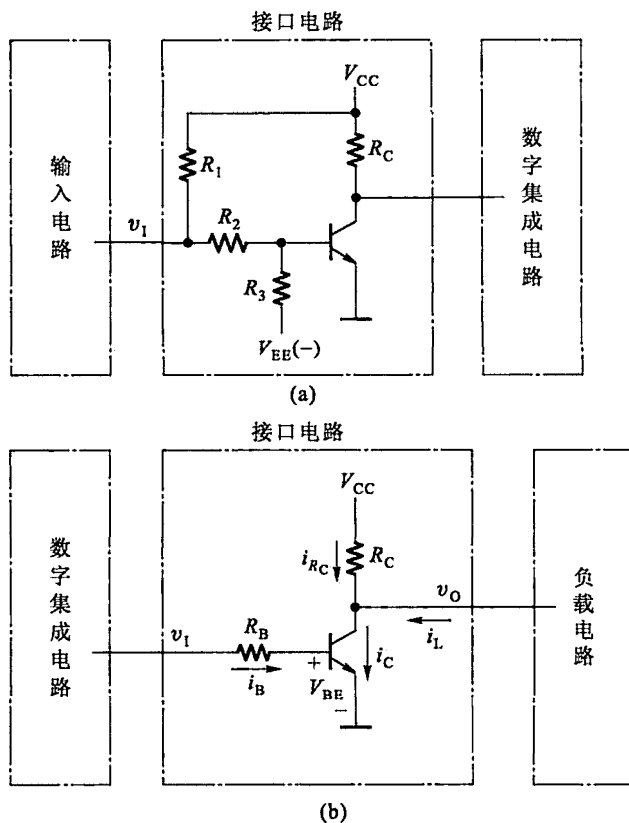


图 3-3-11 三极管接口电路

- ① 当  $v_i = V_{IL}$  时,  $V_{BE} < V_{ON}$  (开启电压, 硅三极管约为  $0.6\text{ V}$ ), 三极管截止, 且

$$v_o = V_{CC} - R_C | i_L | \geq V_{OH} \quad (3-3-3)$$

- ② 当  $v_i = V_{IH}$  时, 三极管饱和导通, 即

$$\begin{aligned} i_B &= \frac{i_C}{\beta} = \frac{1}{\beta} (i_{RC} + i_L) \\ &= \frac{1}{\beta} \left( \frac{V_{CC} - V_{CE(sat)}}{R_C} + i_L \right) \geq I_{BS} \end{aligned} \quad (3-3-4)$$

式中  $I_{BS}$  为三极管的饱和基极电流,  $V_{CE(sat)}$  是三极管的饱和压降,  $\beta$  是三极管的电流放大系数。

**【例 3-3-6】** 在图 3-3-12 电路中, CMOS 门电路  $G_1$  通过接口电路同时驱动 TTL 与非门  $G_2$ 、 $G_3$  和 TTL 或非门  $G_4$  和  $G_5$ 。已知  $G_1$  输出的高、低电平分别为  $4.3\text{ V}$  和  $0.1\text{ V}$ , 输出电阻小于  $50\ \Omega$ ;  $G_2 \sim G_5$  的高电平输入电流  $I_{IH} = 40\ \mu\text{A}$ , 低电平输入电流  $I_{IL} = -1.6\text{ mA}$ ; 三极管的电流放大系数  $\beta = 60$ , 饱和压降  $V_{CE(sat)} \leq 0.2\text{ V}$ 。要求接口电路输出的高、低电平满足  $V_{OH} \geq 3.4\text{ V}$ ,  $V_{OL} \leq 0.2\text{ V}$ , 试选择一组合适的  $R_B$  和  $R_C$  的阻值。

**解:** 当  $G_1$  输出低电平时, 接口电路的输入为  $v_i = V_{IL} = 0.1\text{ V}$ , 故三极管截止,  $v_o$  的高电平应满足式 (3-3-3), 即

$$V_{OH} = V_{CC} - R_C | i_L | \geq 3.4\text{ V}$$

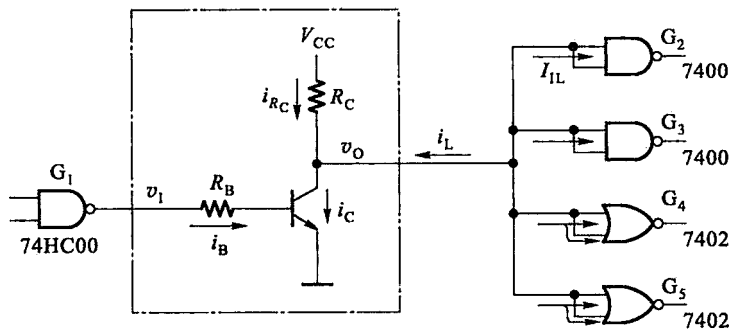


图 3-3-12 例 3-3-6 的电路

为了保证  $V_{OH} \geq 3.4 \text{ V}$ , 选  $V_{CC} = 5 \text{ V}$ , 而  $|i_L| = 8 |I_{IH}| = 0.32 \text{ mA}$ , 于是得到

$$R_C \leq \frac{V_{CC} - 3.4}{|i_L|} = \frac{5 - 3.4}{0.32} \text{ k}\Omega = 5.0 \text{ k}\Omega$$

当  $G_1$  输出高电平时, 接口电路的输入为  $v_I = V_{IH} = 4.3 \text{ V}$ 。为保证三极管饱和导通, 应满足式 (3-3-4), 即

$$\begin{aligned} i_B &\geq \frac{1}{\beta} \left( \frac{V_{CC} - V_{CE(sat)}}{R_C} + i_L \right) \\ \frac{V_{IH} - V_{BE}}{R_B} &\geq \frac{1}{\beta} \left( \frac{V_{CC} - V_{CE(sat)}}{R_C} + i_L \right) \end{aligned} \quad (3-3-5)$$

上式中有  $R_B$  和  $R_C$  两个待定参数, 通常可以在已求出的  $R_C$  允许阻值范围内选定一个阻值, 然后代入上式求出所需要的  $R_B$  值。因为与非门的输入端并联后总的低电平输入电流并不增加, 而或非门输入端并联后总的低电平输入电流按并联输入端的数目加倍, 所以  $v_O$  为低电平时接口电路总的负载电流  $i_L$  等于  $6 |I_{IL}|$ 。若取  $R_C = 2 \text{ k}\Omega$ , 则将这些值代入式 (3-3-5) 后得到

$$\begin{aligned} \frac{4.3 - 0.7}{R_B} &\geq \frac{1}{60} \left( \frac{5 - 0.2}{2} + 6 \times 1.6 \right) \\ R_B &\leq \frac{3.6}{2.4 + 9.6} \times 60 \text{ k}\Omega = 18 \text{ k}\Omega \end{aligned}$$

由于产品手册上给出的  $\beta$  值通常都是三极管工作在线性放大区时的  $\beta$  值, 而进入饱和区以后  $\beta$  值迅速减小, 所以应当选用比上面计算结果更小的  $R_B$  阻值。在本例中可以选  $R_B = 12 \text{ k}\Omega$  (或  $15 \text{ k}\Omega$ )。

#### 四、OC 门和 OD 门外接上拉电阻阻值的计算

解题方法和步骤:

OC 门和 OD 门的应用电路接法可以画成图 3-3-13 所示的形式。

(1) 当 OC 门 (或 OD 门) 全部截止, 输出为高电平时, 由图 3-3-13(a) 可见, 所有 OC 门输出三极管截止状态下的漏电流  $I_{OH}$  和负载电路全部的高电平输入电流  $\Sigma I_{IH}$  全部流过  $R_L$ , 在  $R_L$  上产生压降。为保证  $v_O$  输出的高电平高于要求的  $V_{OH}$  值,  $R_L$  的阻值不能取得太大, 据此即可求出  $R_L$  的最大允许值。由图 3-3-13(a) 电路得到

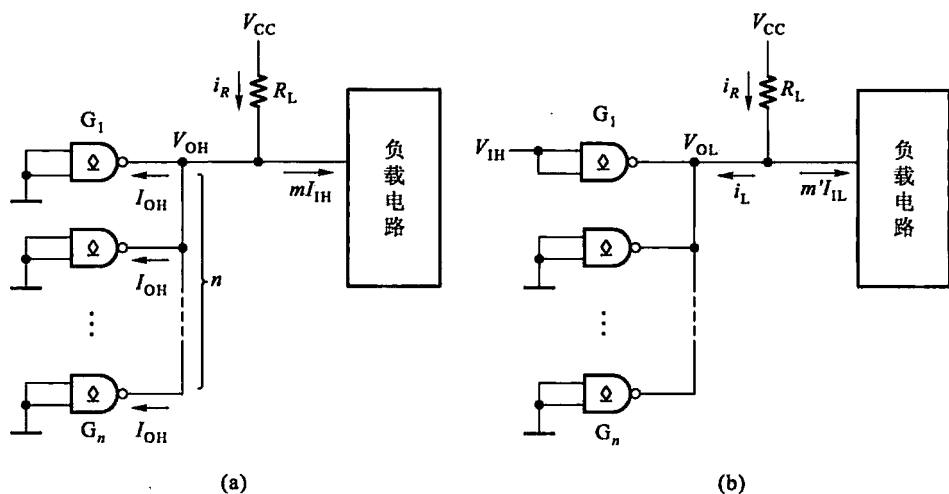


图 3-3-13 OC 门和 OD 门应用电路的一般结构形式

$$V_{CC} - R_L(nI_{OH} + mI_{IH}) \geq V_{OH}$$

$$R_L \leq \frac{V_{CC} - V_{OH}}{nI_{OH} + mI_{IH}} = R_{L(max)} \quad (3-3-6)$$

上式中的  $m$  是负载门电路高电平输入电流的数目。

(2) 当 OC 门(或 OD 门)输出为低电平,而且只有一个 OC 门导通的情况下,为了保证流经  $R_L$  的电流和负载电路所有的低电平输入电流全部流入一个导通的 OC 门时,仍然不会超过允许的最大电流  $I_{OL(max)}$ ,  $R_L$  的阻值不能选得太小。据此可求出  $R_L$  的最小允许值。由图 3-3-13(b) 电路得到

$$\frac{V_{CC} - V_{OL}}{R_L} + |m'I_{IL}| \leq I_{OL(max)}$$

$$R_L \geq \frac{V_{CC} - V_{OL}}{I_{OL(max)} - |m'I_{IL}|} = R_{L(min)} \quad (3-3-7)$$

式中的  $V_{OL}$  是 OC 门输出三极管的饱和导通压降,具体数值通常都在 0.2 V 上下。 $m'$  是负载门电路低电平输入电流的数目。负载为 CMOS 门电路时,  $m'$  和  $m$  相等。

(3) 在  $R_{L(max)}$  与  $R_{L(min)}$  中间选定一个标称电阻值作为  $R_L$  的阻值。

【例 3-3-7】在图 3-3-14 中,用 OC 门  $G_1$  和  $G_2$  的并联输出驱动三极管开关电路。要求 OC 门输出高电平时三极管 T 饱和导通,OC 门输出低电平时三极管 T 截止。

已知 OC 门 7403 输出高电平时输出端三极管的漏电流为  $I_{OH} \leq 0.1$  mA,输出为低电平  $V_{OL} = 0.2$  V 时允许流入的最大负载电流为  $I_{OL(max)} = 16$  mA。三极管 T 的电流放大系数  $\beta = 50$ ,集电极负载电阻  $R_C = 1$  k $\Omega$ ,饱和导通压降  $V_{CE(sat)} = 0.1$  V,饱和导通内阻  $R_{CE(sat)} = 20$   $\Omega$ 。给定  $V_{CC1} = 5$  V,  $V_{CC2} = 10$  V。试求  $R_L$  取值的允许范围。

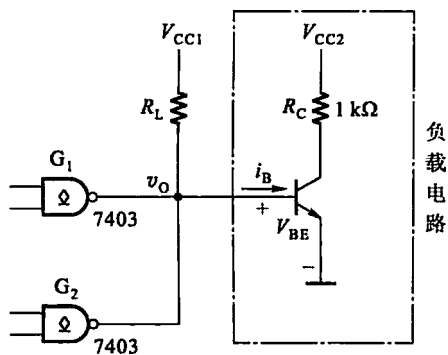


图 3-3-14 例 3-3-7 的电路

解: 当 OC 门  $G_1$  和  $G_2$  同时截止时,  $v_o$  为高电平。因为三极管的发射结 be 导通后,  $v_o$  被钳在 0.7 V, 所以  $V_{OH} = 0.7$  V。这时由  $V_{CC1}$  经  $R_L$  提供给三极管 T 的基极电流  $I_B$  (亦即负载电路的输入电流) 应当大于三极管 T 的饱和基极电流  $I_{BS}$ , 所以  $R_L$  值不能太大。根据式 (3-3-6) 得到

$$R_L \leq \frac{V_{CC1} - V_{BE}}{2I_{OH} + I_{BS}} = \frac{5 - 0.7}{2 \times 0.1 + I_{BS}}$$

其中  $I_{BS} = \frac{V_{CC2} - V_{CE(sat)}}{\beta(R_C + R_{CE(sat)})} = (10 - 0.1) / 1 \times 50 \text{ mA} \approx 0.2 \text{ mA}$ , 代入上式后得到

$$R_L \leq \frac{5 - 0.7}{2 \times 0.1 + 0.2} \text{ k}\Omega = 10.8 \text{ k}\Omega$$

当 OC 门中只有一个导通时, 输出为低电平  $V_{OL} = 0.2$  V。这时三极管 T 截止, 负载电路的输入电流  $i_B = 0$ 。为保证 OC 门的负载电流不超过  $I_{OL(max)}$ ,  $R_L$  值不能太小。根据式 (3-3-7) 得到

$$R_L \geq \frac{V_{CC1} - V_{OL}}{I_{OL(max)}} = \frac{5 - 0.2}{16} \text{ k}\Omega = 0.3 \text{ k}\Omega$$

故应取  $0.3 \text{ k}\Omega \leq R_L \leq 10.8 \text{ k}\Omega$ 。