

# 2016 IC Design Contest Preliminary

## B 組-大學/研究所類標準元件數位電路設計

### Local Binary Patterns

#### 1. 問題描述

局部二值模式(Local Binary Patterns, LBP)可用於描述局部紋理特徵的計算。本題請完成一 Local Binary Patterns (後文以 LBP 表示)，輸入為一灰階影像(如圖 1.所示)，此灰階影像存放於 Host 端的灰階圖像記憶體模組(gray\_mem)中，LBP 須發送訊號至 Host 端以索取灰階影像資料，再對灰階影像中每個 pixel 各自進行獨立運算，運算後的結果請寫入 Host 端的局部二值模式記憶體模組(lbp\_mem)內，並在整張影像訊號處理完成後，將 finish 訊號拉為 High，接著系統會自動進行比對整張影像資料的正確性。有關 LBP 的定義與運算方式，描述於後。

本電路各輸入輸出信號的功能說明，請參考表 1。本電路系統方塊圖請參考圖 2。

每個參賽隊伍必須根據下一節所給的設計規格及附錄 B 中的測試樣本完成設計驗證。

本次 IC 設計競賽比賽時間為上午 08:30 到下午 08:30。當 IC 設計競賽結束後，CIC 會根據第 3 節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 C 中所列的要求，附上評分所需要的檔案。

軟體環境及設計資料庫說明請參考附錄 A 與附錄 B。



圖 1. 灰階影像範例

## 2. 設計規格

請注意：

1. 此次top module名稱及檔案名稱、大小寫須完全符合**附錄B規範**，若有引入其它模組或檔案請自行寫在設計檔內，測試檔不允許任何修改否則不予計分。
2. 最後評分方式為使用最後上傳檔案版本評分，並以最後上傳檔案版本時間為依據，請參考3.評分標準。

### 2.1 系統方塊圖

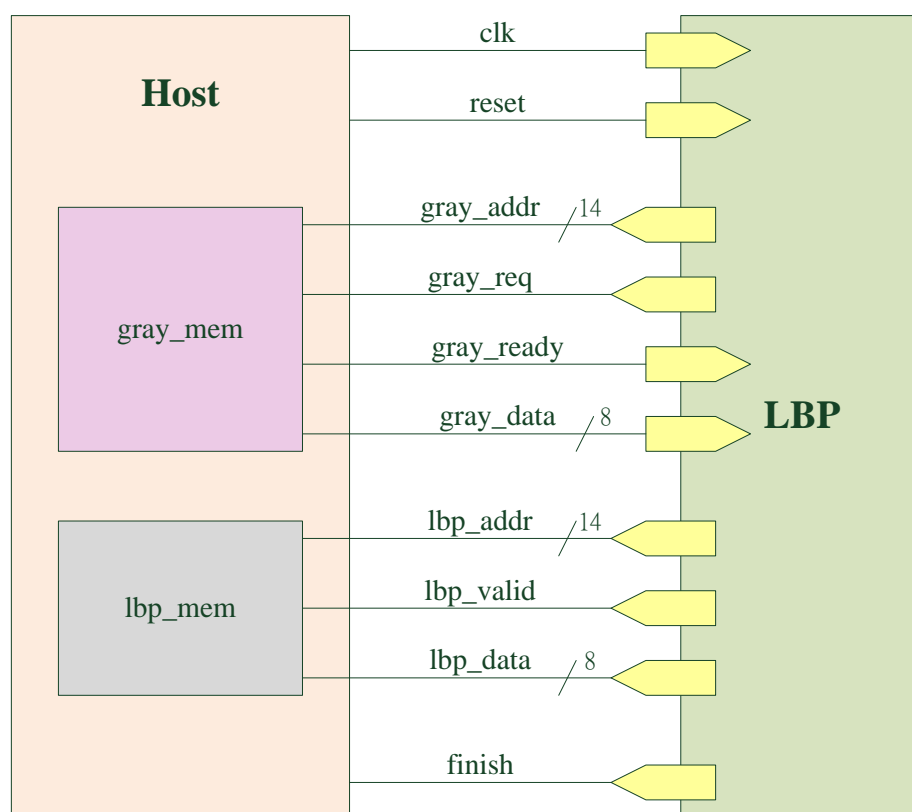


圖 2. 系統方塊圖

### 2.2 輸出入訊號和記憶體描述

表一、輸入/輸出信號

Signal Name	I/O	Width	Simple Description
clk	I	1	本系統為同步於時脈正緣之同步設計。
reset	I	1	高位準”非”同步(active high asynchronous)之系統重置信號。
gray_addr	O	14	灰階圖像位址匯流排。LBP 端需透過此匯流排向 Host 端的灰階圖像記憶體索取該位址的灰階影像資料。 每一個週期僅能索取一個位址的資料。 題目不限制位址及資料的索取次數。

gray_req	O	1	灰階圖像索取致能訊號。當為 High 時，表示 LBP 端要向 Host 端索取灰階圖像資料。
gray_ready	I	1	灰階圖像資料指示訊號。當為 High 時，表示 Host 端已經將灰階圖像記憶體及相關訊號準備完成了；LBP 端需在偵測到此訊號為 High 後才可以開始對 Host 端進行資料索取動作。
gray_data	I	8	灰階圖像資料匯流排。Host 端利用此匯流排將灰階圖像記憶體內的灰階圖像資料送到 LBP 端。
lbp_addr	O	14	局部二值模式位址匯流排。LBP 端利用此位址將經 LBP 運算完成後之資料儲存至局部二值模式記憶體中。
lbp_valid	O	1	局部二值模式資料致能訊號。當為 High 時，表示 LBP 端所傳輸之局部二值模式資料及位址匯流排為有效的。
lbp_data	O	8	局部二值模式資料匯流排。LBP 端需透過此匯流排指定局部二值模式資料要儲存到局部二值模式記憶體中的哪個位址。
finish	O	1	LBP 運算完畢之通知訊號。當所有的灰階圖像資料經過個別運算完畢且儲存後，需將 <i>finish</i> 訊號拉為 High，以通知 Host 端，開始進行所有資料之比對。

## 2.3 系統功能描述

本電路功能為當 *reset* 結束後，Host 端會將 *gray\_ready* 訊號拉為 High 表示資料準備完成，之後 LBP 端才可開始對 Host 端進行動作。當 Host 端在每個時脈訊號負緣觸發時若偵測到 *finish* 訊號為 Low 且 *gray\_req* 訊號為 High 時表示 LBP 端對 Host 端要求索取灰階圖像資料，此時 Host 端會依 *gray\_addr* 匯流排所指示的位址將灰階圖像記憶體內的位址資料由 *gray\_data* 匯流排輸入 LBP 端。

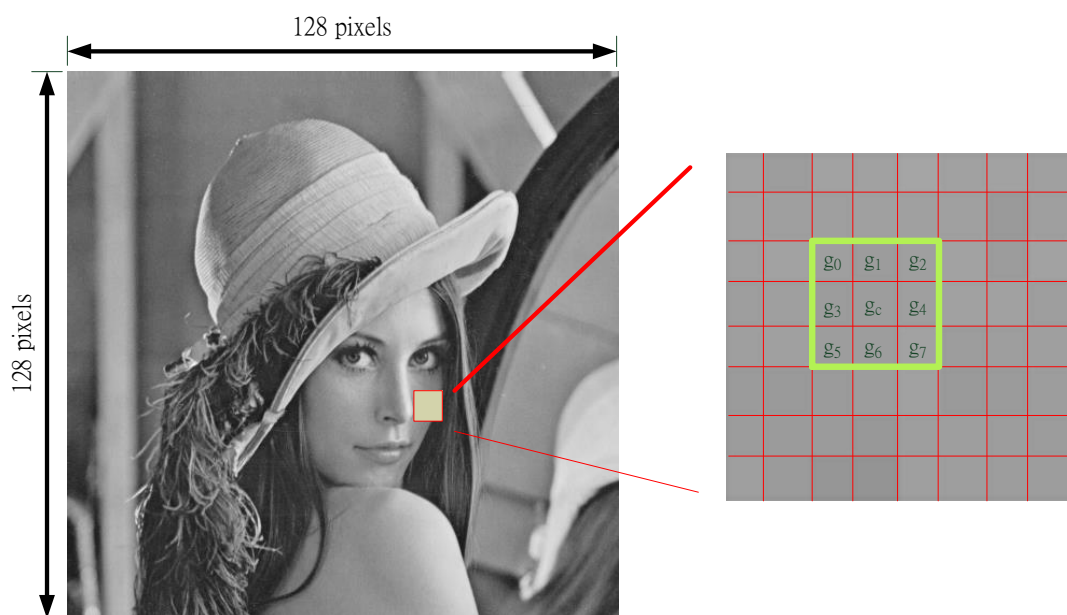


圖 3. LBP 處理區域

由 `gray_data` 輸入的有效灰階圖像資料須經過 LBP 編碼才可得到區域二值模式資料，LBP 編碼方式為利用每個 pixel 及其相鄰的數個 pixel 的相對應關係來計算，以如上圖 3. 所示的灰階圖像架構來說明，若待處理 pixel 為  $g_c$ ，由  $g_c$  向外擴張數個 pixel 為一區域，故每個區域中心點 pixel 的灰階值為  $g_c$ ，而區域中心點相鄰 pixel 的灰階值為  $g_p (p=0,1,...,P-1)$ ，本題限定區域範圍為中心點向外擴張一個 pixel 距離的正方形區域(如上圖 3. 綠色框框所示)，因此每個區域為一  $3 \times 3$  pixels，所以每個  $g_c$  都有 8 個相鄰 pixels ( $P=8$ )。如果  $g_c$  的座標位置為  $(x, y)$ ，則

$$LBP(x, y) = \sum_{p=0}^{P-1} s(g_p - g_c) 2^p \quad , \text{ 而 } s(z) = \begin{cases} 1, & z \geq 0 \\ 0, & \text{otherwise} \end{cases}$$

舉例說明，若區域內容如下圖 4. 綠色框框所示， $g_c$  則為黑色圓圈位置，則利用上式所計算出各  $g_p$  的 Threshold 值  $s(z)$  就如圖 4. 紅色框框所示，將各  $g_p$  的 Threshold 值乘上各位置的權重值  $2^p$  (如圖 4 藍色框框) 就可以得到如圖 4. 紫色框框所示結果，因此該區域  $g_c$  的 LBP 運算結果就是將紫色框框內所有 pixels 的值相加即可得到。

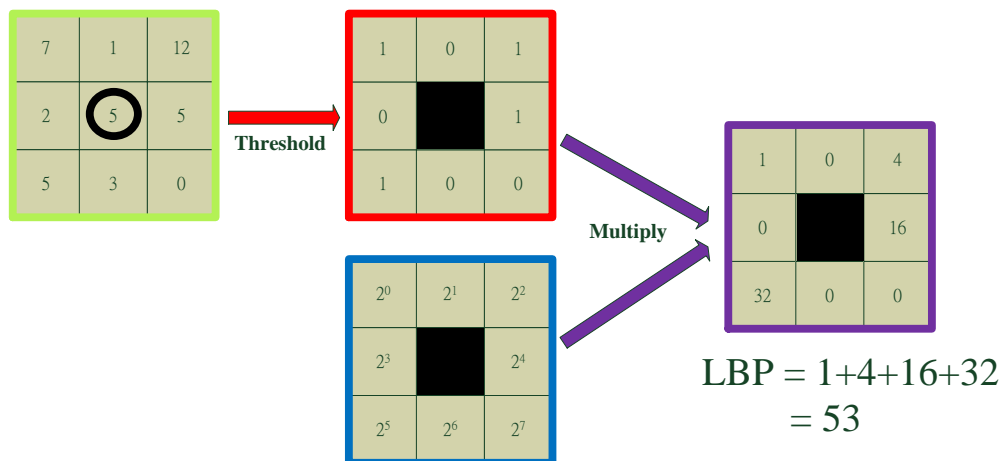


圖 4. LBP 運算範例

計算完成後，接著要將各位址 pixel 的 LBP 運算結果存到局部二值模式記憶體模組內，本題規定由第  $k$  ( $k=0,1,...,16383$ ) 個灰階圖像記憶體(`gray_mem`)位址所讀取的灰階圖像資料經 LBP 運算後的結果須存到局部二值模式記憶體模組(`lbp_mem`)的第  $k$  位址；另本題要求灰階圖像最外圍一圈的 pixel 不須做 LBP 運算，並且這一圈的 pixel 在局部二值模式記憶體模組的數值須為 0，如下圖 6. 所示。為簡化題目難度，Host 端會初始化整個局部二值模式記憶體模組的所有數值為 0。

局部二值模式記憶體模組的寫入方式如下，當 Host 端在每個時脈訊號負緣觸發時若偵測到 `lbp_valid` 訊號為 High 時，就會將目前 `lbp_data` 匯流排上的內容，寫入到 `lbp_mem` 記憶體模組的 `lbp_addr` 匯流排所指示的位址內，當所有 pixel 都處理完畢後，請將 `finish` 訊號拉為 High，接著 Host 端就會開始進行結果驗證。

### 2.3.1 灰階圖像記憶體對應方式

灰階圖像大小固定為 128x128 pixels，每個 pixel 為 8bit 灰階(每個 8bit 灰階圖像 pixel 的值介於 0 到 255 之間)，因此 Host 端的灰階圖像記憶體模組(gray\_mem)共有 16384 個位址用以存放各 pixel 的灰階圖像資料，圖像與記憶體模組的對應方式如下圖 5.所示。

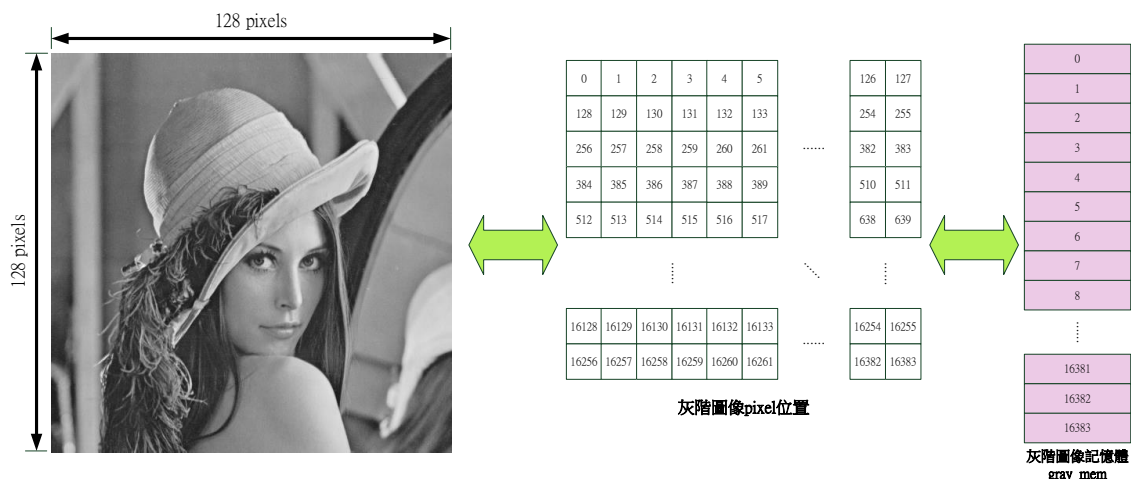


圖 5. 灰階圖像記憶體對應方式

### 2.3.2 局部二值模式記憶體對應方式

局部二值模式圖像為 128x128 pixels，每個 pixel 為 8bit，因此 Host 端的局部二值模式記憶體模組(lbp\_mem)共有 16384 個位址用以存放各 pixel 的處理結果，本題目規定最外圍一圈 pixel 的值須為 0，因此 LBP 處理結果及局部二值模式記憶體的對應方式及處理結果應如下圖 6.所示。

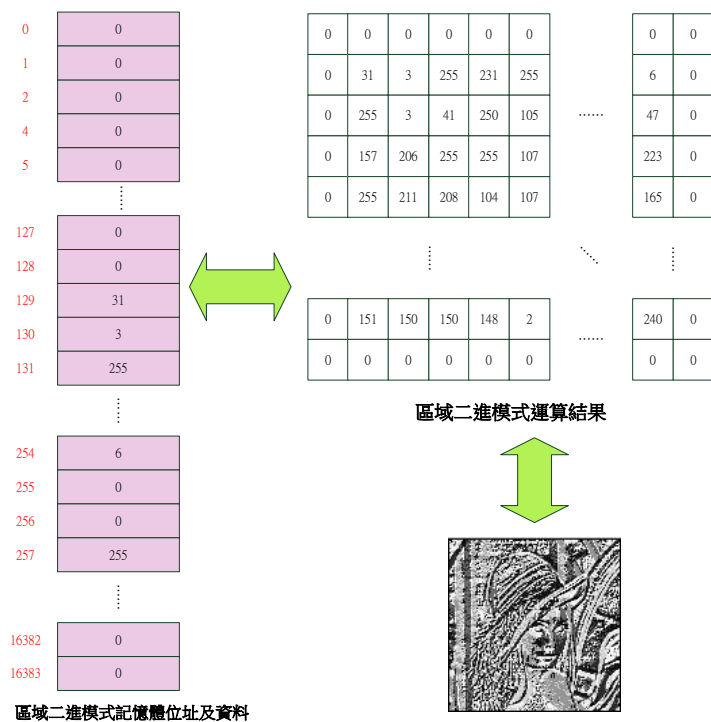


圖 6.局部二值模式記憶體位址方式對應及運算結果



## 2.4 時序規格圖

系統輸入/輸出時序規格圖及參數，分別如圖 7.及圖 8.所示。

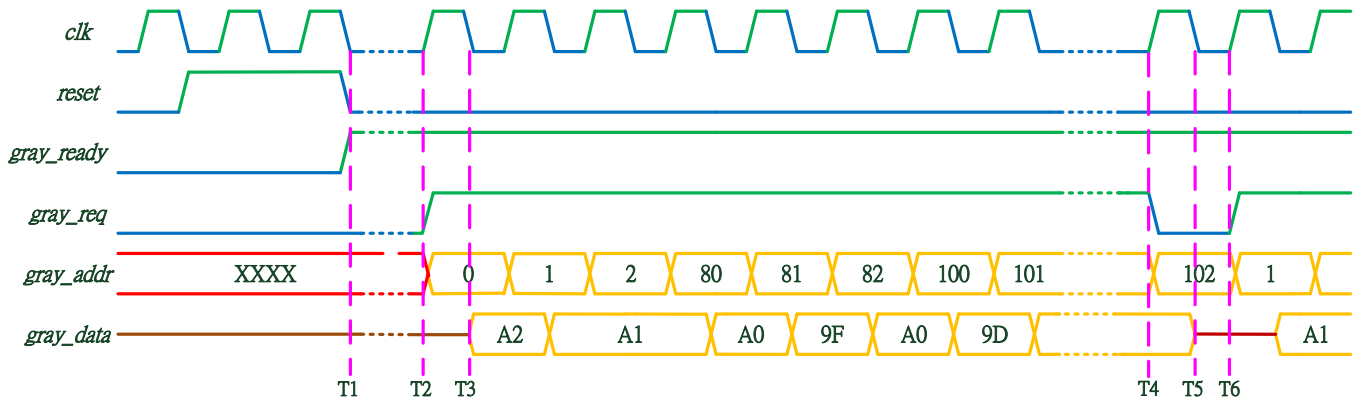


圖 7. 時序規格圖一

- T1 時間點，*reset* 訊號持續兩個 Cycle 時間後，LBP 電路初始化結束，Host 端在 T1 時間點將 *gray\_ready* 拉為 High，表示 Host 端準備接受 LBP 端的資料索取動作。
- LBP 端在收到 Host 端發出了 *gray\_ready* 為 High 之後，在 T2 時間點將 *gray\_req* 訊號拉為 High，並且同時將欲索取的灰階圖像 pixel 之位址由 *gray\_addr* 匯流排送出。
- Host 端在時脈訊號負緣觸發若偵測到 *gray\_req* 為 High，則會將灰階圖像記憶體內的 *gray\_addr* 匯流排所指示位址的資料由 *gray\_data* 匯流排送到 LBP 端，此時為 T3 時間點。若要進行連續索取，只需要將 *gray\_req* 維持在 High，並連續改變 *gray\_addr* 匯流排位址，就可在 *gray\_data* 匯流排連續得到該位址資料。
- 接著 LBP 端就可以針對各 pixel 進行區域二值模式訊號處理流程。
- 若 LBP 端不想要對 Host 端索取任何位址資料，則只須在 T4 時間點將 *gray\_req* 拉為 Low，則 Host 端在 T5 時間點就不會送出任何位址資料到 *gray\_data* 匯流排。

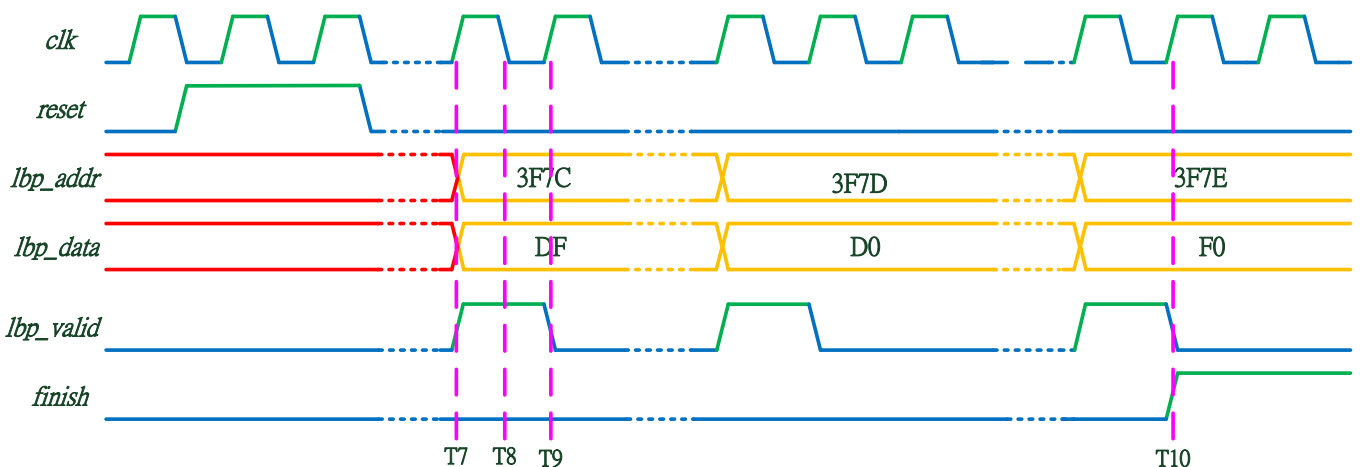


圖 8. 時序規格圖二

- 當 LBP 端完成區域二值模式處理後，請將各 pixel 的處理結果寫入各相對應的區域二值模式記憶體位址中，其方式為在 T7 時間點將 *lbp\_valid* 訊號拉為 High，同時把欲寫入的位址及資料

分別放在 *lbp\_addr* 及 *lbp\_data* 匯流排；Host 在 T8 時間點的時脈訊號負緣觸發時，就會進行寫入的動作。若想要連續寫入的話，則只需要持續將 *lbp\_valid* 維持在 High 後改變 *lbp\_data* 及 *lbp\_addr* 即可。如果不想繼續寫入資料的話，請在 T9 時間點將 *lbp\_valid* 拉為 Low。

- g、T10 時間點，所有的 pixel 都處理完成了，此時 LBP 端須將 *finish* 拉為 High。Host 端就會開始進行驗證了，驗證完成後整個模擬會立即結束。

### 3. 評分標準

主辦單位的評分人員將依照參賽者提供之系統時脈進行 RTL simulation 或 gate-level simulation，以驗證設計正確性，並且依據設計檔上傳至 CIC FTP 檔案伺服器(請參閱附錄 D)的時間來進行排名。各參賽隊伍應於參賽者定義的系統時脈下，確保輸出結果無設置與保持時間(setup/hold time)的問題，並完全符合主辦單位所提供的標準設計結果。

#### ☆ 評分項目一：依”模擬時間”(Time)長短評分

各參賽隊伍執行 RTL Simulation 及 Gate-level Post-synthesis Simulation 模擬完後，會出現模擬時間，評分人員會以此模擬時間如下面範例，紀錄成 **Time = 2183025 NS** 做評分。

```
-----
Congratulations! All data have been generated successfully!
-----PASS-----
Simulation complete via $finish(1) at time 2183025 NS + 0
```

#### ☆ 評分項目二：依”面積”(Area)大小評分

各參賽隊伍將合成完成後，Cell Area 可利用以下指令產生而得知

以 DC 產生 QoR report 的指令：`report_qor > LBP.qor`

以 RC 產生 QoR report 的指令：`report qor > LBP.qor`

評分人員會以此 LBP.qor 如下面範例，紀錄成 **Area = 8886** 做評分。

```
Area
-----
Combinational Area: 3927.783649
Noncombinational Area: 4958.105478
Buf/Inv Area: 774.014434
Total Buffer Area: 672.17
Total Inverter Area: 101.84
Macro/Black Box Area: 0.000000
Net Area: 69720.356506
Cell Area: 8885.889127
Design Area: 78806.245634
```

#### ☆ 評分方法及錄取標準

評分方式會依設計完成程度，分成 A、B、C、D 三種等級，排名順序為 **A > B > C > D**。主辦單位將根據設計內容的完成度給予記分。審查成績將另擇期通知。

1. **A 等級**：RTL 與 Gate-level simulation 結果完全正確，且 Score 小於 **12,000,000,000**。此等級之成績計算方式如下：

$$\text{Score} = \text{Time} \times \text{Area}$$

以上述範例為例，則  $\text{Score} = 2183025 \times 8886 = 19398360150$  (無法達 A 等級)

註: Time 以 Gate-level simulation 時間計算。

註: 本等級中，最後上傳時間越早者為優先錄取。



2. B 等級：RTL 與 Gate-level simulation 結果完全正確，而 Score 在 12,000,000,000 與 24,000,000,000 之間。此等級之成績計算方式如下：

$$\text{Score} = \text{Time} \times \text{Area}$$

以上述範例為例，則  $\text{Score} = 2183025 \times 8886 = 19398360150$  (達成 B 等級)

註: Time 以 Gate-level simulation 時間計算。

註: 本等級中，最後上傳時間越早者為優先錄取。

3. C 等級：RTL 與 Gate-level simulation 結果完全正確。此等級之成績計算方式如下：

$$\text{Score} = \text{Time} \times \text{Area}$$

以上述範例為例，則  $\text{Score} = 2183025 \times 8886 = 19398360150$

註: Time 以 Gate-level simulation 時間計算。

註: 本等級中，Score 越小者為優先錄取!

4. D 等級：RTL simulation 結果完全正確。在 clock cycle 設定為 10ns 的情況下，此等級之成績計算方式如下：

$$\text{Score} = \text{Time}$$

註: 本等級中，Score 越小者為優先錄取!

## 附錄

在附錄 A 中說明本次競賽之軟體環境；附錄 B 為主辦單位所提供各參賽者的設計檔說明；附錄 C 為評分用檔案，亦即參賽者必須回傳至 CIC 的檔案資料；附錄 D 則為設計檔上傳步驟說明。

### 附錄 A 軟體環境

競賽所提供的設計軟體與版本如下表二。驗證評分時，係以所列軟體及版本作為驗證依據。

表二、設計軟體版本

Functionality	Corresponding EDA tools
Logic Simulator	nc-verilog 2013.10.005_lnx86 modelsim 10.2c vcs-mx 2015.09
Logic Synthesizer	design-compiler 2015.06-sp3

## 附錄 B 設計檔案說明

### 1. 下表三.為主辦單位所提供各參賽者的設計檔案

表三、設計檔

檔名	說明
testfixture.v	測試樣本檔。此測試樣本檔定義了時脈週期與測試樣本之輸入信號。
LBP.v ( LBP.vhd)	參賽者所使用的設計檔，已包含系統輸/出入埠之宣告
./pattern1.dat	第一組測試樣本檔案
./golden1.dat	第一組比對樣本檔案
report.000	結果報告範本
LBP.sdc	Design Compiler 電路合成規範檔
tsmc13_neg.v	Gate-level simulation 所需要之 cell library file
synopsys_dc.setup	Design Compiler 初始設定範例檔案

### 2. 請使用 LBP.v (.vhd)，進行本題電路之設計。其 Verilog 模組名稱、輸出/入埠宣告如下所示：

```
`timescale 1ns/10ps
module LBP ( clk, reset, gray_addr, gray_req, gray_ready, gray_data, lbp_addr, lbp_valid, lbp_data, finish);
input      clk;
input      reset;
output [13:0] gray_addr;
output      gray_req;
input      gray_ready;
input [7:0] gray_data;
output [13:0] lbp_addr;
output      lbp_valid;
output [7:0] lbp_data;
output      finish;
//=====================================================

//=====================================================
endmodule
```

3. 比賽共提供一組測試樣本，參賽者可依下面範例來進行模擬：

**主辦單位於評分時，將可能額外再使用其他組測試樣本進行評分工作。**

RTL Simulation 時使用指令如下：

- 使用 ncverilog 模擬指令範例如下：

**ncverilog testfixture.v LBP.v**

- 使用 modelsim 模擬，則是在 compiler verilog 時，使用下面指令：

**vlog testfixture.v**

Gate-Level Simulation 時使用指令如下：

- 使用 ncverilog 模擬指令範例如下：

**ncverilog testfixture.v LBP\_syn.v -v tsmc13\_neg.v +define+SDF**

define 中加上 SDF 可讓測試程式引入 gate level netlist 的 sdf 檔案資訊。

若要避免時序檢查以減少錯誤訊息，可於模擬指令中自行加入+notimingchecks。

4. dump 波形檔請參考指令如下：

- 使用 ncverilog 模擬指令範例如下(請先 source verdi 的環境設定檔)：

**ncverilog testfixture.v LBP.v +access+r**

或

**ncverilog testfixture.v LBP\_syn.v -v tsmc13\_neg.v +define+SDF +access+r**

- modelsim 使用者，請直接使用內建波形來進行除錯。

## 附錄 C 評分用檔案

評分所需檔案可分為三部份：(1)RTL design，即各參賽隊伍對該次競賽設計的 RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用的各 module 檔放進來，以免評審進行評分時，無法進行編譯；(2)gate-level design，即由合成軟體所產生的 gate-level netlist，以及對應的 SDF 檔；(3)report file，參賽隊伍必須依照自己的設計內容，撰寫 report.000 檔，以方便主辦單位進行評分，report.000 的格式如圖八所示。(report 檔以後三碼序號表示版本，若繳交檔案更新版本，則新版的 report 檔檔名為 report.001，依此類推)

表六、評分用檔案

RTL category		
Design Stage	File	Description
N/A	report.xxx	design report
RTL Simulation	*.v or *.vhd	Verilog (or VHDL) synthesizable RTL code
Gate-Level category		
Design Stage	File	Description
Pre-layout Gate-level Simulation	*_syn.v	Verilog gate-level netlist generated by Synopsys Design Compiler
	*_syn.sdf	SDF timing information generated by Synopsys Design Compiler
	*_syn.ddc	design database generated by Synopsys Design Compiler

FTP 帳號(FTP account): 999999

通過 gate-level simulation 之 cell area report : 9000

通過 gate-level simulation 之 clock cycle time (ns) : 10

--- RTL category---

使用之 HDL 模擬器名稱(HDL simulator ): nc-verilog

RTL 檔案名稱(RTL filename): LBP.v 以及使用到的子模組檔案...

--- Pre-layout gate-level ---

gate-level 檔案名稱(gate\_level filename): LBP\_syn.v

gate-level sdf filename: LBP\_syn.sdf

design compiler 合成資料庫(dc library): LBP\_syn.ddc

-----注意事項(annotation)-----

(其餘注意事項依各參賽隊伍的需求填寫)

圖八、report.000 的範本

## 附錄 D 檔案上傳

所有包含於如附錄 C 中表格所示的檔案，均需要提交至 CIC。並且，提交的設計檔案，需要經過壓縮於同一個資料夾下，步驟如下：

1. 建立一個 result\_xxx 資料夾。其中“xxx”表示繳交版本。例如“000”表示為第一次上傳；“001”表示為第二度上傳；002 表示為第三度上傳，以此類推…。
2. 參考附錄 C 評分用檔案，將所有繳交檔案複製到 result\_xxx 資料夾
3. 執行 tar 指令將 result\_xxx 資料夾包裝起來，tar 的指令範例如下：  
tar cvf result\_xxx.tar result\_xxx  
其中 xxx 表示繳交版本  
執行完後應該會得到 result\_xxx.tar 的檔案
4. 使用 ftp 將 result\_xxx.tar 及 report.xxx 一併上傳至 CIC 提供的 ftp server，result\_xxx.tar 與 report.xxx 之“xxx”編號需一致，評審將以最後上傳的設計檔及報告檔編號進行評分作業。

本題限制上傳之設計檔僅可使用 tar 或 zip 壓縮格式，使用 rar 或其他格式者一律不予計分。

請注意!!上傳之 FTP 需切換為二進制模式(binary mode)，且傳輸埠均設為 21(port:21)。

ftp 的帳號和密碼在賽前已用 email 寄給各參賽者。若有任何問題，請聯絡 CIC

FTP site2 (新竹晶片中心)：iccftp.cic.org.tw (140.126.24.18)

FTP site3 (南區晶片中心)：iccftp2.cic.org.tw(140.110.117.9)

EDA Cloud：請參照登入後，開啟終端機的公告文字

5. 若你需要繳交更新版本，請重覆以上步驟，並記得修改 report 檔及 tar 檔的版本編號，因為你無法修改或刪除或覆蓋之前上傳的資料。