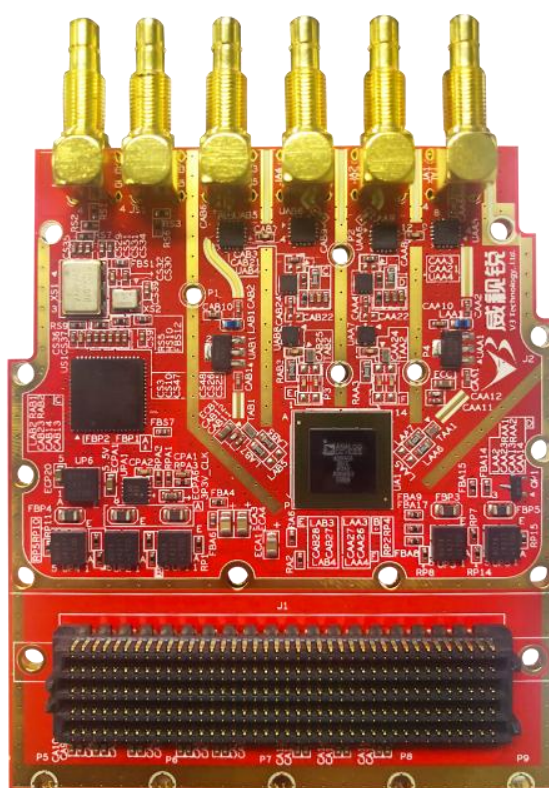




RFMC9000 射频子卡

FPGA 开发指南

Rev. 2.1



修订记录

版本	修订日期	修订内容

目 录

修订记录	2
目 录	3
1 概述	4
2 RMFC9000 HDL 参考设计	5
2.1 FPGA 硬件工程结构	6
2.2 CPU 定制	8
2.3 JESD204 授权	8
2.4 JESD204 定制	11
2.5 FPGA 工程数据流	12
3 裸机应用程序	13
3.1 软件工程	13
3.2 GPIO 配置	13
3.3 配置时钟芯片	13
3.4 ADRV9009 初始化配置	13
3.5 运行参考例程	17

1 概述

本文档主要介绍 RFMC9000 模块 FPGA 的开发流程，包括以下几部分：

FPGA 内部生成 DDS 信号源，FPGA JESD204B 接口，基于 ZYNQ 的 ARM 处理器定制，ADRV9009 的配置。可以实现单音信号发送和接收的功能，并可以使用 chipscope 观察接收信号并导出到 matlab 分析。

进一步，射频子板上含有集成 VCO 的参考时钟生成 IC 选自 TI 的 LMK04828，可以将 48MHz 基准时钟产生 ADRV9009 和 FPGA JESD204B 的各种参考时钟，FPGA 开发流程可以实现用户自定义采样时钟，灵活用于各种通信场景。

通过本参考例程用户可以了解本系统的硬件构成，编程架构，对于做 FPGA 开发的用户可以基于这个 FPGA 工程做二次开发，实现 ADRV9009 空口传输基带数据。

威视锐提供了整体的 PS(ZYNQ 处理器部分)、PL (ZYNQ 逻辑部分)、ADRV9009 的配置，可以通过 FPGA DDS ipcore 输出指定频率的单音信号，并可以通过 chipscope 获取接收到的波形。最后提供了配置 LMK04828 和自定义采样率的接口，用户可以根据需要定制所需采样率。基于这个工程，做 FPGA 基带算法开发的用户可以用于二次开发。

用户可以使用此开发固件直接完成：

- 1 ADRV9009 配置
- 2 JESD204B 的初始化
- 3 DDS ipcore 传输 IQ 数据
- 3 采样率的定制

2 RFMC9000 HDL 参考设计

HDL 参考设计是围绕 ARM、NIOS-II 或 Microblaze 处理器核搭建的嵌入式系统。功能框图如下所示。设备数字接口主要有 GTX/GTH/GTY 高速收发器组成，PL 里面调用 JESD204B IP 核和 ADRV9009 进行数据通信。SPI 接口用来配置 ADRV9009 芯片和 LMK04828 时钟芯片。另外提供 NO-OS 裸机软件程序可以支持硬件系统测试与验证，还提供 ADRV9009 初始化参数修改说明，在下一章会做说明。

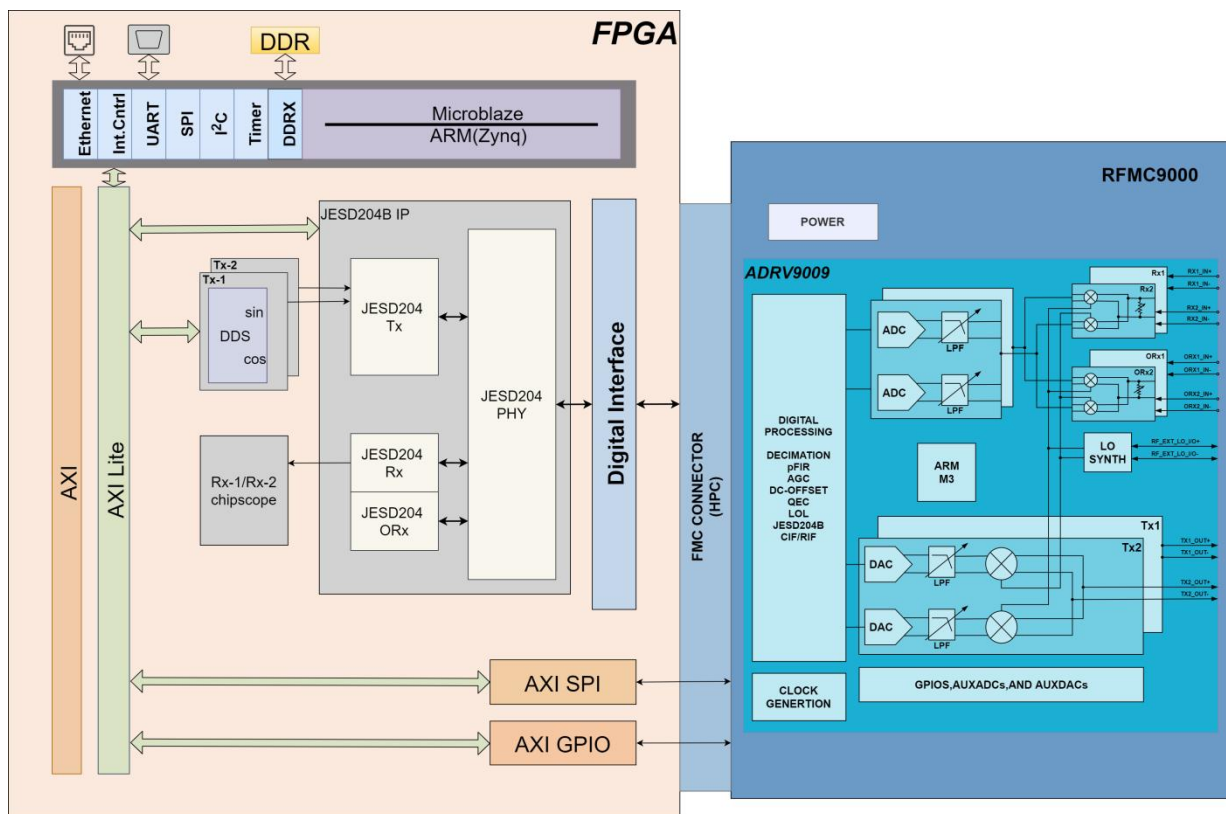


图 1 RFMC9000-HDL 参考设计框图

数字接口

数字接口包含 4 个发送，2 个接受和 2 个观测通道

DDS

DDS IP 核产生发送的测试数据（单音信号/单频信号），相位 phase 可以由 PS 来配置；

控制和 SPI 接口

设备控制信号由 GPIO 来控制；SPI 接口用来配置 ADRV9009 和时钟 LMK04828 芯片；

2.1 FPGA 硬件工程结构

FPGA 工程采用 VIVADO 2018.3 搭建，主要工程文件结构如下

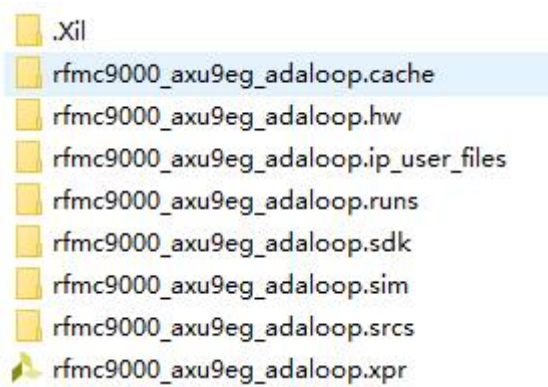


图 2 硬件工程目录

主要文件结构包括，runs 工程编译生成文件，sdk 裸机软件工程，src 设计源文件包括 HDL 代码，FPGA 约束，xpr 是 VIVADO 工程名。在 Vivado 中选中“rfmc9000_xxx_adaloop.xpr”打开测试工程，“Sources”目录如下图所示：

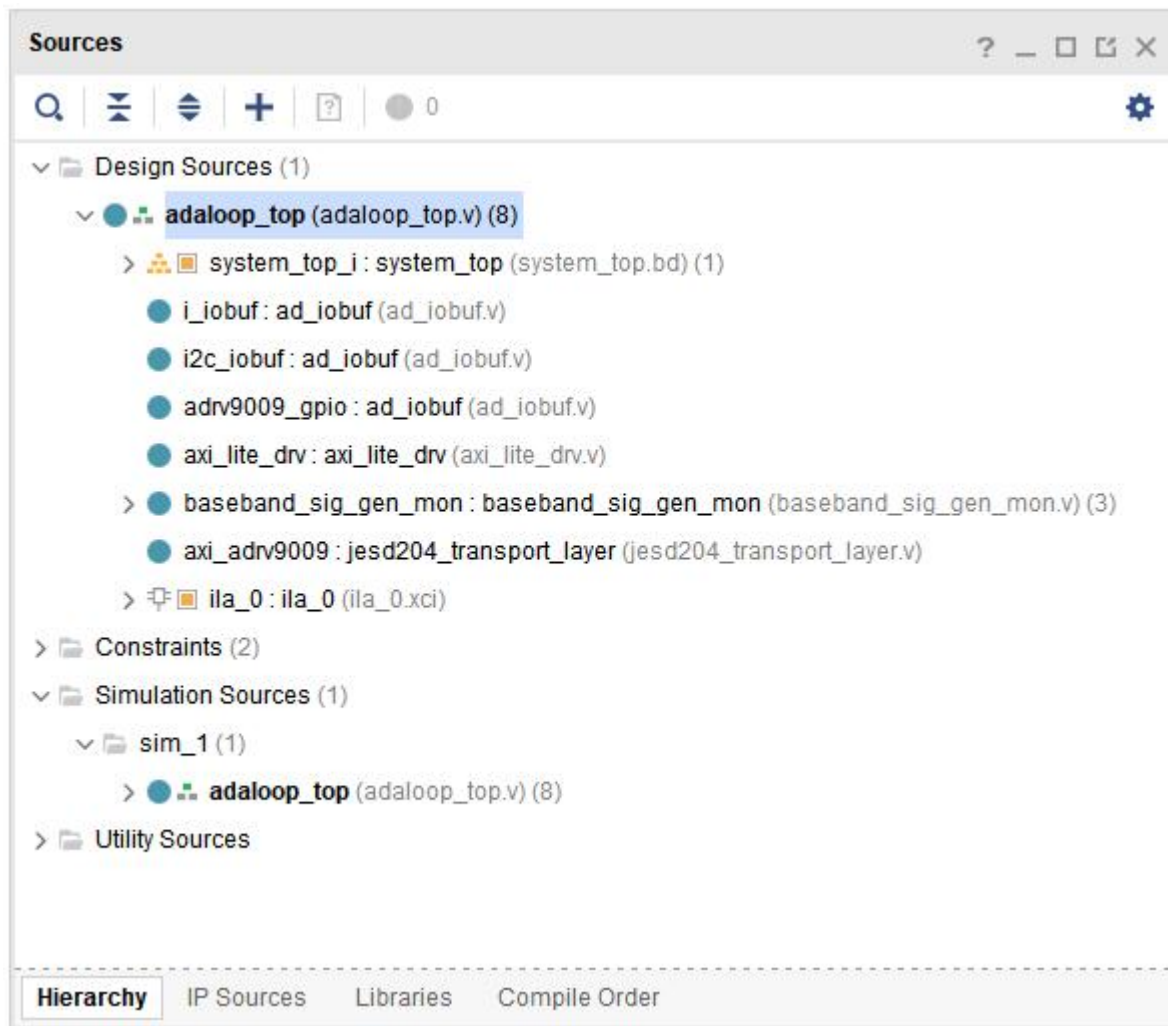


图 3 vivado 硬件工程 Sources 目录

可以点击 open block design 打开 block 设计, 其中包括了 CPU 和外设的定制。如下图:

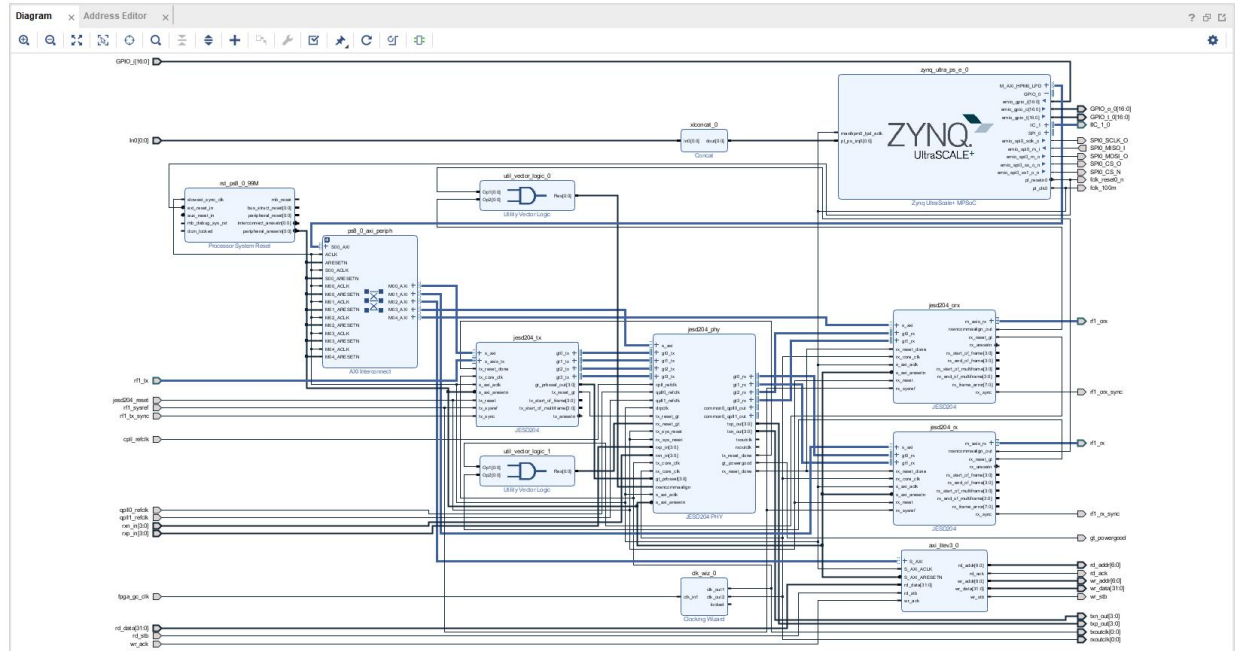


图 4 CPU 及外围设备定制

注：不同的载卡对应的 CPU 外设也可能不一样，实际使用时，请以自己的载卡进行定制。

2.2 CPU 定制

双击每个模块可以看到模块中的参数设置，双击 `processing_system7_0` 可以看到 CPU 的定制，用户根据自己实际使用的载卡进行修改，如果做二次开发可以用来参考。

SPI0 用来配置 ADRV9009 和 LMK04828 时钟芯片，I2C1 选择 EMIO 预留读写 eeprom，UART0 用作串口调制，GPIO 控制 ADRV9009 的开关 IO。

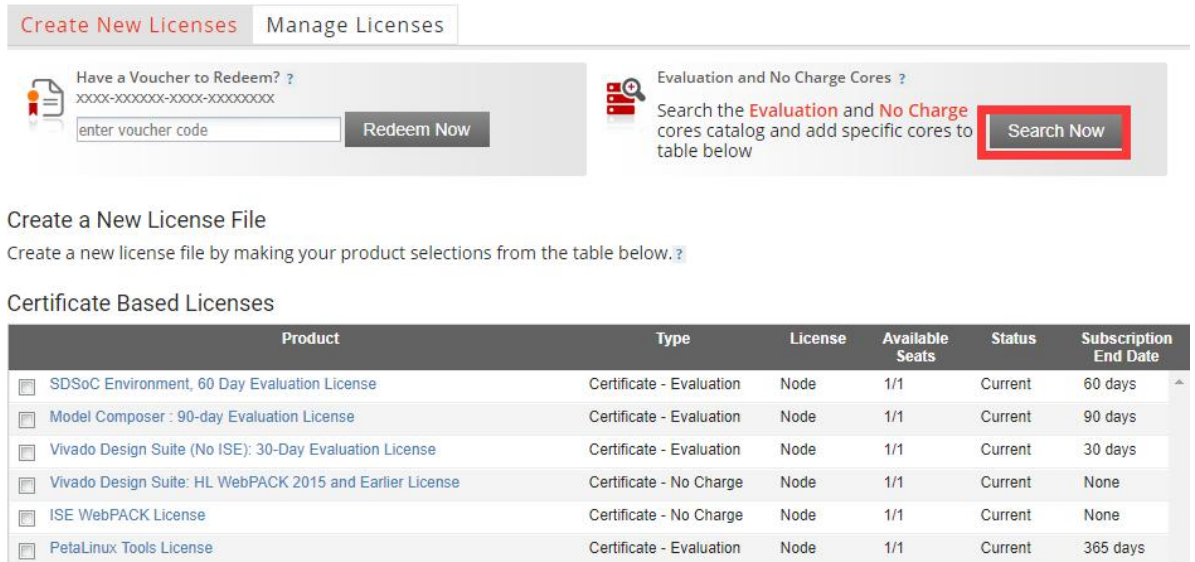
PS 与 PL 之间的接口选择 GP 用来进行寄存器传输和各个 IP 的配置。PS 给 PL 输出的时钟使能 FCLK_CLK0，FCLK_CLK0 时钟用于 GP 接口通信，本参考设计中不涉及到 DMA 传输，所以没有用到 HP 接口。FCLK_reset0_N 用于复位整个 PL 系统与 AXI 总线。

2.3 JESD204 授权

JESD204B 链路与配置，ADRV9009 采用了 JESD204B 协议，通过 GTX 高速串行收发器进行通讯，Xilinx 提供了整套 JESD204B 解决方案，包括 JESD204 和 JESD204 PHY 两部分。JESD204 需要 Xilinx 额外授权的 license 才能使用，JESD204 PHY 包含于 VIVADO 授权中。用户可以在 xilinx 网站上注册用户免费获取三个月免费的 license 试用，也可以联系威视锐销售购买(电话 010-62670519，QQ120631932)。免费试用的方法如下：

1. 进入 https://www.xilinx.com/support/licensing_solution_center.html

2. 选择 Access Product Licensing Site
3. 完善用户信息，下一步
4. 进入 Access Product Licensing Site，点击 Search Now



Product	Type	License	Available Seats	Status	Subscription End Date
<input type="checkbox"/> SDSoc Environment, 60 Day Evaluation License	Certificate - Evaluation	Node	1/1	Current	60 days
<input type="checkbox"/> Model Composer : 90-day Evaluation License	Certificate - Evaluation	Node	1/1	Current	90 days
<input type="checkbox"/> Vivado Design Suite (No ISE): 30-Day Evaluation License	Certificate - Evaluation	Node	1/1	Current	30 days
<input type="checkbox"/> Vivado Design Suite: HL WebPACK 2015 and Earlier License	Certificate - No Charge	Node	1/1	Current	None
<input type="checkbox"/> ISE WebPACK License	Certificate - No Charge	Node	1/1	Current	None
<input type="checkbox"/> PetaLinux Tools License	Certificate - Evaluation	Node	1/1	Current	365 days

图 5 授权中心

5. 查找 JESD 并加入
6. 产生 license，加入 PC 网卡 MAC 即可生成 license 下载
7. 将下载的 license 拷贝到.xilinx 目录即可
8. 在 VIVADO 中点击 tools-report-report ip status, 可以看到各个 IP 的状态以及是否授权。

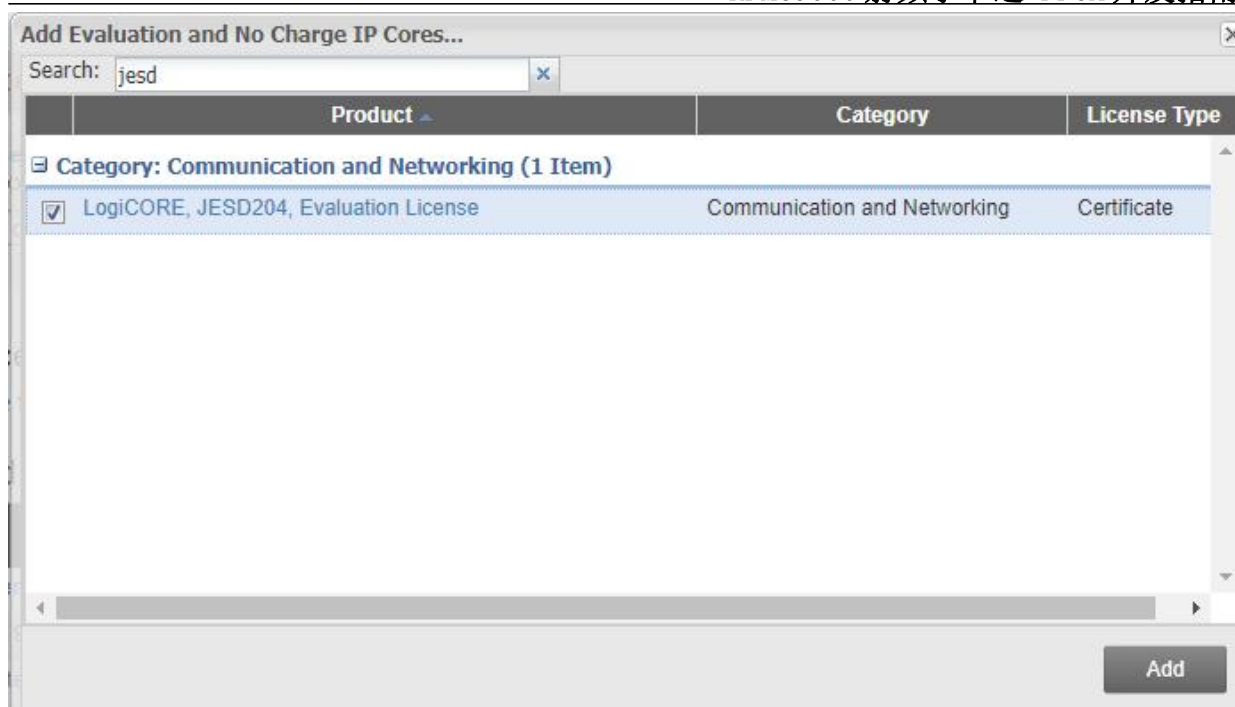


图 6 查找 JESD204

Certificate Based Licenses

Product	Type	License	Available Seats	Status	Subscription End Date
<input type="checkbox"/> SDSoc Environment, 60 Day Evaluation License	Certificate - Evaluation	Node	1/1	Current	60 days
<input type="checkbox"/> Model Composer : 90-day Evaluation License	Certificate - Evaluation	Node	1/1	Current	90 days
<input type="checkbox"/> Vivado Design Suite (No ISE): 30-Day Evaluation License	Certificate - Evaluation	Node	1/1	Current	30 days
<input type="checkbox"/> Vivado Design Suite: HL WebPACK 2015 and Earlier License	Certificate - No Charge	Node	1/1	Current	None
<input type="checkbox"/> ISE WebPACK License	Certificate - No Charge	Node	1/1	Current	None
<input type="checkbox"/> PetaLinux Tools License	Certificate - Evaluation	Node	1/1	Current	365 days
<input type="checkbox"/> Vivado HLS Evaluation License	Certificate - Evaluation	Node	1/1	Current	30 days
<input checked="" type="checkbox"/> LogiCORE, JESD204, Evaluation License	Certificate - Evaluation	Node / Flo...		Current	120 days

Generate Node-Locked License

图 7 产生 license

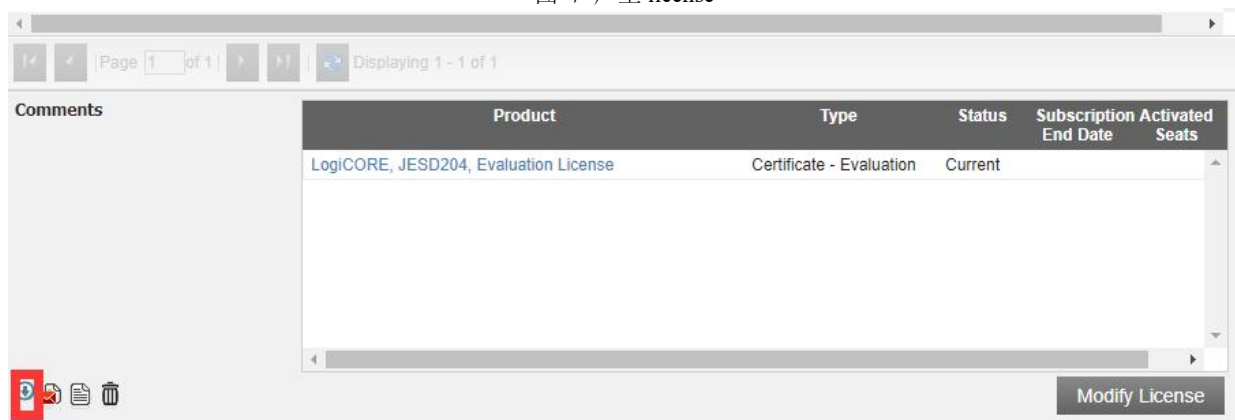


图 8 下载 license

30 Up-to-dates		Hide All								
Source File		IP ... ^1	Recommendation	Change Log	IP Name	Current Version	Recommended Version	License	Current Part	
system_top (26)										
system_top_jesd204_phy_0_0 (1)										
system_top_jesd204_phy_0_0_gt		Up-to-date	No changes required	More info	7 Series FPGAs Transceivers Wizard	3.6 (Rev. 5)	3.6 (Rev. 5)	Included	xc7z035ffg676-2	
system_top_jesd204_phy_0_1 (1)		Up-to-date	No changes required	More info	Processor System Reset	5.0 (Rev. 10)	5.0 (Rev. 10)	Included	xc7z035ffg676-2	
system_top_jesd204_phy_0_1_gt		Up-to-date	No changes required	More info	7 Series FPGAs Transceivers Wizard	3.6 (Rev. 5)	3.6 (Rev. 5)	Included	xc7z035ffg676-2	
jesd204b_rx_rst		Up-to-date	No changes required	More info	Processor System Reset	5.0 (Rev. 10)	5.0 (Rev. 10)	Included	xc7z035ffg676-2	
jesd204_phy_1		Up-to-date	No changes required	More info	JESD204 PHY	3.2 (Rev. 1)	3.2 (Rev. 1)	Included	xc7z035ffg676-2	
processing_system7_0_axi_periph1		Up-to-date	No changes required	More info	AXI Interconnect	2.1 (Rev. 12)	2.1 (Rev. 12)	Included	xc7z035ffg676-2	
axi_litev3_0		Up-to-date	No changes required	More info	axi_litev3_v1_0	1.0 (Rev. 2)	1.0 (Rev. 2)	Included	xc7z035ffg676-2	
bufmg_xoutclk1		Up-to-date	No changes required	More info	Utility Buffer	2.1 (Rev. 6)	2.1 (Rev. 6)	Included	xc7z035ffg676-2	
processing_system7_0		Up-to-date	No changes required	More info	ZVW7 Processing System	5.5 (Rev. 3)	5.5 (Rev. 3)	Included	xc7z035ffg676-2	
pldma_mvr		Up-to-date	No changes required	More info	pldma_mvr_v2_1	2.1 (Rev. 11)	2.1 (Rev. 11)	Included	xc7z035ffg676-2	
c_shift_ram_0		Up-to-date	No changes required	More info	RAM-based Shift Register	12.0 (Rev. 10)	12.0 (Rev. 10)	Included	xc7z035ffg676-2	
bufmg_xoutclk		Up-to-date	No changes required	More info	Utility Buffer	2.1 (Rev. 6)	2.1 (Rev. 6)	Included	xc7z035ffg676-2	
pldma_mrd		Up-to-date	No changes required	More info	pldma_mrd_v2_1	2.1 (Rev. 14)	2.1 (Rev. 14)	Included	xc7z035ffg676-2	
jesd204_phy_0		Up-to-date	No changes required	More info	JESD204 PHY	3.2 (Rev. 1)	3.2 (Rev. 1)	Included	xc7z035ffg676-2	
slconcat_0		Up-to-date	No changes required	More info	Concat	2.1 (Rev. 2)	2.1 (Rev. 2)	Included	xc7z035ffg676-2	
rst_processing_system7_0_SOM		Up-to-date	No changes required	More info	Processor System Reset	5.0 (Rev. 10)	5.0 (Rev. 10)	Included	xc7z035ffg676-2	
jesd204b_tx_rst		Up-to-date	No changes required	More info	Processor System Reset	5.0 (Rev. 10)	5.0 (Rev. 10)	Included	xc7z035ffg676-2	
jesd204_rx		Up-to-date	No changes required	More info	JESD204	7.1 (Rev. 1)	7.1 (Rev. 1)	Basin Linking	xc7z035ffg676-2	
processing_system7_0_axi_periph2		Up-to-date	No changes required	More info	AXI Interconnect	2.1 (Rev. 12)	2.1 (Rev. 12)	Included	xc7z035ffg676-2	
processing_system7_0_axi_periph2		Up-to-date	No changes required	More info	AXI Interconnect	2.1 (Rev. 12)	2.1 (Rev. 12)	Included	xc7z035ffg676-2	
rst_processing_system7_0_ZOOM		Up-to-date	No changes required	More info	Processor System Reset	5.0 (Rev. 10)	5.0 (Rev. 10)	Included	xc7z035ffg676-2	
util_vector_logic_0		Up-to-date	No changes required	More info	Utility Vector Logic	2.0 (Rev. 2)	2.0 (Rev. 2)	Included	xc7z035ffg676-2	
bufmg_xoutclk		Up-to-date	No changes required	More info	Utility Buffer	2.1 (Rev. 6)	2.1 (Rev. 6)	Included	xc7z035ffg676-2	
slconcat_0		Up-to-date	No changes required	More info	Constant	1.1 (Rev. 2)	1.1 (Rev. 2)	Included	xc7z035ffg676-2	
jesd204_tx		Up-to-date	No changes required	More info	JESD204	7.1 (Rev. 1)	7.1 (Rev. 1)	Basin Linking	xc7z035ffg676-2	
jesd204_rx		Up-to-date	No changes required	More info	JESD204	7.1 (Rev. 1)	7.1 (Rev. 1)	Basin Linking	xc7z035ffg676-2	
jesd204b_rx_rst		Up-to-date	No changes required	More info	Processor System Reset	5.0 (Rev. 10)	5.0 (Rev. 10)	Included	xc7z035ffg676-2	
ddi		Up-to-date	No changes required	More info	DMS Compiler	6.0 (Rev. 13)	6.0 (Rev. 13)	Included	xc7z035ffg676-2	
fifo_32to64		Up-to-date	No changes required	More info	FIFO Generator	13.1 (Rev. 3)	13.1 (Rev. 3)	Included	xc7z035ffg676-2	
fifo_64to32		Up-to-date	No changes required	More info	FIFO Generator	13.1 (Rev. 3)	13.1 (Rev. 3)	Included	xc7z035ffg676-2	
ila_0		Up-to-date	No changes required	More info	ILA (Integrated Logic Analyzer)	6.2 (Rev. 1)	6.2 (Rev. 1)	Included	xc7z035ffg676-2	

图 9 IP 未授权状态 (design linking)

Source File		IP ...	Recommendation	Change Log	IP Name	Current Version	Recommended Version	License	Current Part
system_top (26)			Open Block Design						
system_top_jesd204_phy_0_0 (1)		Up-to-date	No changes required	More info	7 Series FPGAs Transceivers Wizard	3.6 (Rev. 5)	3.6 (Rev. 5)	Included	xcl7035ffg676-2
system_top_jesd204_phy_0_0_gt		Up-to-date	No changes required	More info	Processor System Reset	5.0 (Rev. 10)	5.0 (Rev. 10)	Included	xcl7035ffg676-2
system_top_jesd204_phy_0_1 (1)		Up-to-date	No changes required	More info	JESD204 PHY	3.2 (Rev. 1)	3.2 (Rev. 1)	Included	xcl7035ffg676-2
system_top_jesd204_phy_0_1_gt		Up-to-date	No changes required	More info	AXI Interconnect	2.1 (Rev. 12)	2.1 (Rev. 12)	Included	xcl7035ffg676-2
/jesd204_0rx_rst		Up-to-date	No changes required	More info	Processor System Reset	5.0 (Rev. 10)	5.0 (Rev. 10)	Included	xcl7035ffg676-2
/jesd204_phy_1		Up-to-date	No changes required	More info	JESD204 PHY	3.2 (Rev. 1)	3.2 (Rev. 1)	Included	xcl7035ffg676-2
/processing_system7_0_axi_periph1		Up-to-date	No changes required	More info	AXI Interconnect	2.1 (Rev. 12)	2.1 (Rev. 12)	Included	xcl7035ffg676-2
/axi_lite3_v1_0		Up-to-date	No changes required	More info	axi_lite3_v1_0	1.0 (Rev. 2)	1.0 (Rev. 2)	Included	xcl7035ffg676-2
/bufg_trxoutclk1		Up-to-date	No changes required	More info	Utility Buffer	2.1 (Rev. 6)	2.1 (Rev. 6)	Included	xcl7035ffg676-2
/processing_system7_0		Up-to-date	No changes required	More info	ZMW3 Processing System	5.5 (Rev. 3)	5.5 (Rev. 3)	Included	xcl7035ffg676-2
/pldma_mrr		Up-to-date	No changes required	More info	pldma_mrr_v2_1	2.1 (Rev. 11)	2.1 (Rev. 11)	Included	xcl7035ffg676-2
/c_shift_rm_0		Up-to-date	No changes required	More info	RAM-based Shift Register	12.0 (Rev. 10)	12.0 (Rev. 10)	Included	xcl7035ffg676-2
/bufg_trxoutclk		Up-to-date	No changes required	More info	Utility Buffer	2.1 (Rev. 6)	2.1 (Rev. 6)	Included	xcl7035ffg676-2
/pldma_mrd		Up-to-date	No changes required	More info	pldma_mrd_v2_1	2.1 (Rev. 14)	2.1 (Rev. 14)	Included	xcl7035ffg676-2
/jesd204_phy_0		Up-to-date	No changes required	More info	JESD204 PHY	3.2 (Rev. 1)	3.2 (Rev. 1)	Included	xcl7035ffg676-2
/xlconcat_0		Up-to-date	No changes required	More info	Concat	2.1 (Rev. 2)	2.1 (Rev. 2)	Included	xcl7035ffg676-2
/rst_processing_system7_0_50M		Up-to-date	No changes required	More info	Processor System Reset	5.0 (Rev. 10)	5.0 (Rev. 10)	Included	xcl7035ffg676-2
/jesd204_tx_rst		Up-to-date	No changes required	More info	Processor System Reset	5.0 (Rev. 10)	5.0 (Rev. 10)	Included	xcl7035ffg676-2
/jesd204_rx		Up-to-date	No changes required	More info	JESD204	7.1 (Rev. 1)	7.1 (Rev. 1)	Hardware Evaluation	xcl7035ffg676-2
/processing_system7_0_axi_periph		Up-to-date	No changes required	More info	AXI Interconnect	2.1 (Rev. 12)	2.1 (Rev. 12)	Included	xcl7035ffg676-2
/processing_system7_0_axi_periph2		Up-to-date	No changes required	More info	AXI Interconnect	2.1 (Rev. 12)	2.1 (Rev. 12)	Included	xcl7035ffg676-2
/rst_processing_system7_0_200M		Up-to-date	No changes required	More info	Processor System Reset	5.0 (Rev. 10)	5.0 (Rev. 10)	Included	xcl7035ffg676-2
/axi1_vector_logic_0		Up-to-date	No changes required	More info	Utility Vector Logic	2.0 (Rev. 2)	2.0 (Rev. 2)	Included	xcl7035ffg676-2
/bufg_trxoutclk		Up-to-date	No changes required	More info	Utility Buffer	2.1 (Rev. 6)	2.1 (Rev. 6)	Included	xcl7035ffg676-2
/xlconstant_0		Up-to-date	No changes required	More info	Constant	1.1 (Rev. 2)	1.1 (Rev. 2)	Included	xcl7035ffg676-2
/jesd204_tx		Up-to-date	No changes required	More info	JESD204	7.1 (Rev. 1)	7.1 (Rev. 1)	Hardware Evaluation	xcl7035ffg676-2
/jesd204_0rx		Up-to-date	No changes required	More info	JESD204	7.1 (Rev. 1)	7.1 (Rev. 1)	Hardware Evaluation	xcl7035ffg676-2
/jesd204_rx_rst		Up-to-date	No changes required	More info	Processor System Reset	5.0 (Rev. 10)	5.0 (Rev. 10)	Included	xcl7035ffg676-2
ddi1		Up-to-date	No changes required	More info	DDS Compiler	6.0 (Rev. 13)	6.0 (Rev. 13)	Included	xcl7035ffg676-2
fifo_32to64		Up-to-date	No changes required	More info	FIFO Generator	13.1 (Rev. 3)	13.1 (Rev. 3)	Included	xcl7035ffg676-2
fifo_64to32		Up-to-date	No changes required	More info	FIFO Generator	13.1 (Rev. 3)	13.1 (Rev. 3)	Included	xcl7035ffg676-2
ila_0		Up-to-date	No changes required	More info	ILA (Integrated Logic Analyzer)	6.2 (Rev. 1)	6.2 (Rev. 1)	Included	xcl7035ffg676-2

图 10 IP 已授权状态(Hardware Evaluation)

2.4 JESD204 定制

JESD204 是两个 ip core, JESD204 和 JESD204 PHY。每组端口都需要一个 JESD204 IP, 它用来产生或处理了 JESD204 帧格式, TX、RX 和 ORX。JESD204 PHY 实现了 GTX 物理层, 它根据线路速率正确的配置 GTX 硬件的各级锁相环路设置。连接关系如下图:

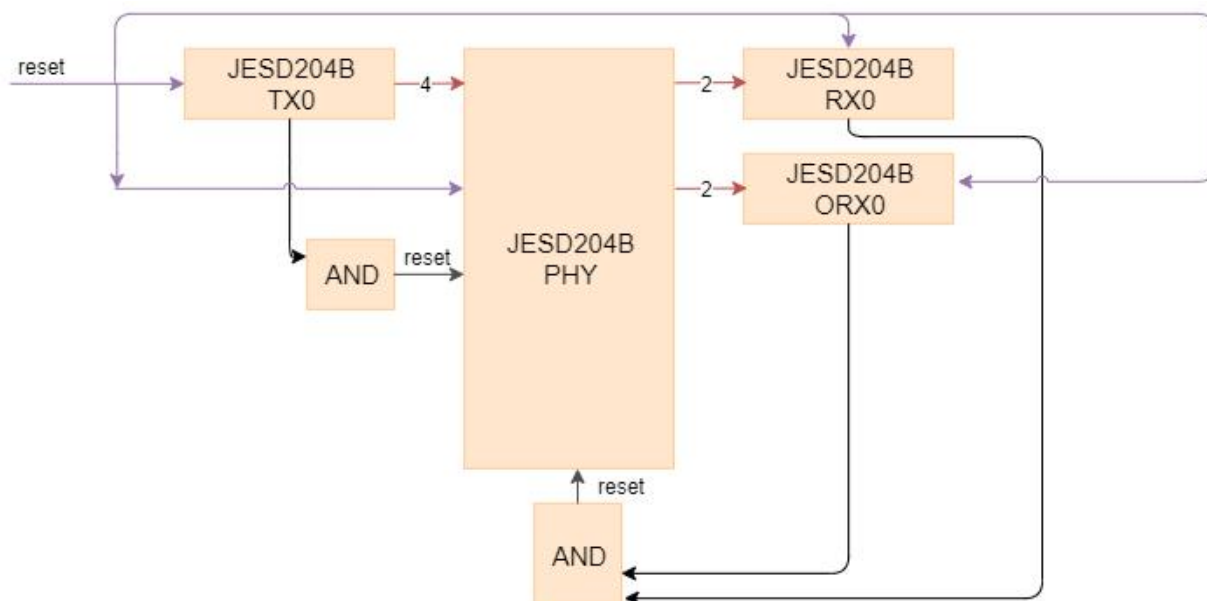


图 11 JESD205 框图

TX 端使用四个 lane 发送通道，RX 端使用两个 lane 接收通道，ORX 端使用两个接收通道。当采样率是 245.76MHz 时，txoutclk 是 122.88MHz，rxoutclk 是 245.76MHz。

2.5 FPGA 工程数据流

发送方向，tx 端 IQ 数据从 DDS 模块产生，驱动时钟采用 245.76MHz 的 rxoutclk。IQ 两路数据分别进入 fifo_32to64 将 IQ 两路数据分别转换成 64 bit 位宽给 jesd204_transport_layer 模块，时钟采用 txoutclk，122.88MHz，通过 jesd204_transport_layer 转换为 JESD204 所需的 axi stream 数据流，时钟采用 txoutclk，122.88MHz。

接收方向,rx 端 axi_stream 数据从 JESD204 输出,rx 端 rx_tdata 宽度 64 位,时钟 rxoutclk, 245.76MHz。orx 端 orx_tdata 宽度 64 位,时钟 rxoutclk。rx 端数据通过 jesd204_transport_layer 转换位 16bit IQ 数据流,通过 chipscope 显示。

数据流图如下图:

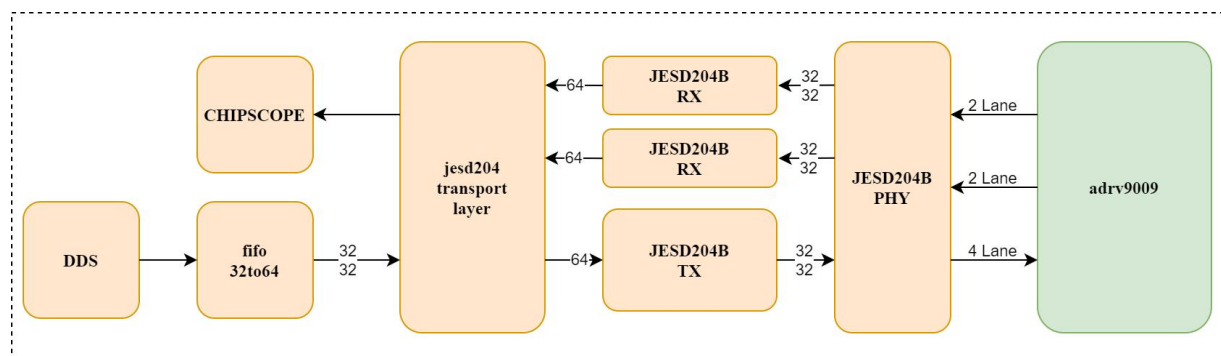


图 12 数据流图

3 裸机应用程序

本章包括在裸机下验证 FPGA 硬件工程，GPIO 配置、ADRV9009 配置、寄存器交互。

3.1 软件工程

在 VIVADO 工程中选择 File-launch SDK 会自动打开工程目录下的软件 SDK。提供了如下工程：

adrv9009_test 通过软件配置 DDS ip core 的 phase 产生不同频率的单音信号，配置好 ADRV9009 后启动将单音信号发送。同时启动接收通过 chipscope 观察分析数据

顶层文件是 headless.c。此文件架构来源于 ADI 官方提供的 NO-OS 软件程序，威视锐进行了优化和修改。

NO-OS 源程序可以参考 ADI 网站链接：

<https://wiki.analog.com/resources/eval/user-guides/mykonos/no-os-setup>

3.2 GPIO 配置

首先执行 platform_init(void) 进行 GPIO 设置方向并初始化。之后将以下 IO 设定指定的电平。其次执行设定外部衰减器衰减，和 DDS 输出相位步进。接收端衰减器设置位最大衰减，发送衰减设置为不衰减。程序中为了统一，命名为增益，0 对应增益 0dB 全衰减，63 对应最大增益 31.5dB 不衰减。DDS 相位步进 phase，输出基带信号 $f_{out} = \frac{rxclkout \times phase}{2^{12}}$

假设 rxclkout=122.88MHz，则输出基带单音频率 $f_{out} = \frac{122.88 \times 128}{2^{12}} = 3.84\text{MHz}$ 。

3.3 配置时钟芯片

硬件没有采用 AD9528 而是使用了 TI 的 LMK04828，同样通过 SPI 总线进行控制。

3.4 ADRV9009 初始化配置

初始化 ADRV9009，初始化 ADRV9009 时用到了用户自定义文件，本工程中是 talise_config.c 和 talise_config.h。

这两个文件由 ADRV9009 Transceiver Evaluation Software 产生。这个软件可以在以下链接下载：

<http://www.analog.com/cn/license/licensing-agreement/transceiver-evaluation-software.html>

NO-OS 程序可以在以下链接得到：

<https://wiki.analog.com/resources/eval/user-guides/mykonos/no-os-setup>

打开 ADRV9009 Transceiver Evaluation Software 后，点击 connect，之后会提示没有连接硬件，接下来用户可以自定义 ADRV9009 工作参数。Device clock 默认选择 122.88MHz。

JESD204B 速率计算方法，

- 发送端=采样率*位宽/通道数=245.76MHz*80/4=4915.2Mbps
- 接收端=采样率*位宽/通道数=245.76MHz*80/2=9830.4Mbps
- ORX 接收=采样率*位宽/通道数=245.76MHz*80/2=9830.4Mbps

最后导出 C 语言文件加入到软件工程中。

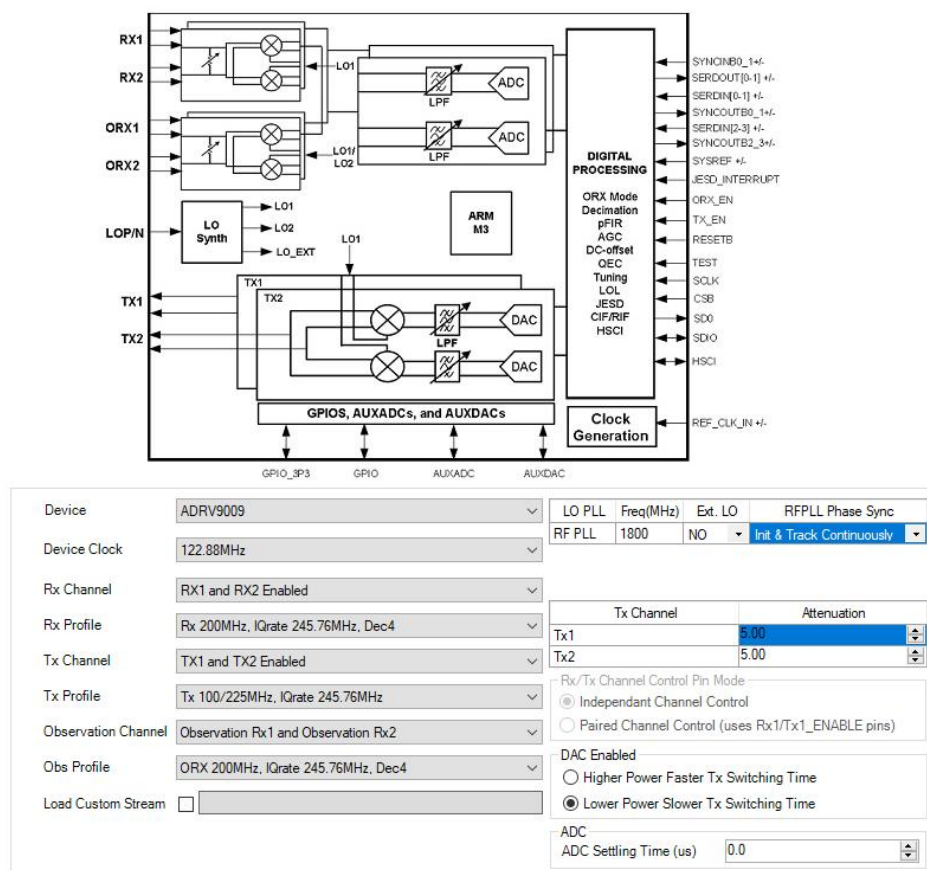


图 13 自定义 adrv9009

JESD Configuration

☒ Use External SYSREF

Rx Framer Selection: **Framer A**

Tx Deframer Selection: **Deframer A**

Orx Framer Selection: **Framer B**

FramerA

LaneRate (MHz)	9830.4
L(#Lanes)	2
K	32
M(#ADCs)	4
F	4
LMFC Offset	31
S	1
NP	16

☒ Lane0
☒ Lane1
☐ Lane2
☐ Lane3
☒ Scrambling
☐ Relink on SYSREF

FramerB

LaneRate (MHz)	9830.4
L(#Lanes)	2
K	32
M(#ADCs)	4
F	4
LMFC Offset	31
S	1
NP	16

☐ Lane0
☐ Lane1
☒ Lane2
☒ Lane3
☒ Scrambling
☐ Relink on SYSREF

DeframerA

LaneRate (MHz)	4915.2
L(#Lanes)	4
K	32
M(#DACs)	4
F	2
LMFC Offset	17
S	1
NP	16

☒ Lane0
☒ Lane1
☒ Lane2
☒ Lane3
☒ Scrambling
☐ Relink on SYSREF

DeframerB

LaneRate (MHz)	9830.4
L(#Lanes)	2
K	32
M(#DACs)	4
F	4
LMFC Offset	17
S	1
NP	16

☐ Lane0
☐ Lane1
☒ Lane2
☒ Lane3
☒ Scrambling
☐ Relink on SYSREF

图 14 JESD204B 速率选择

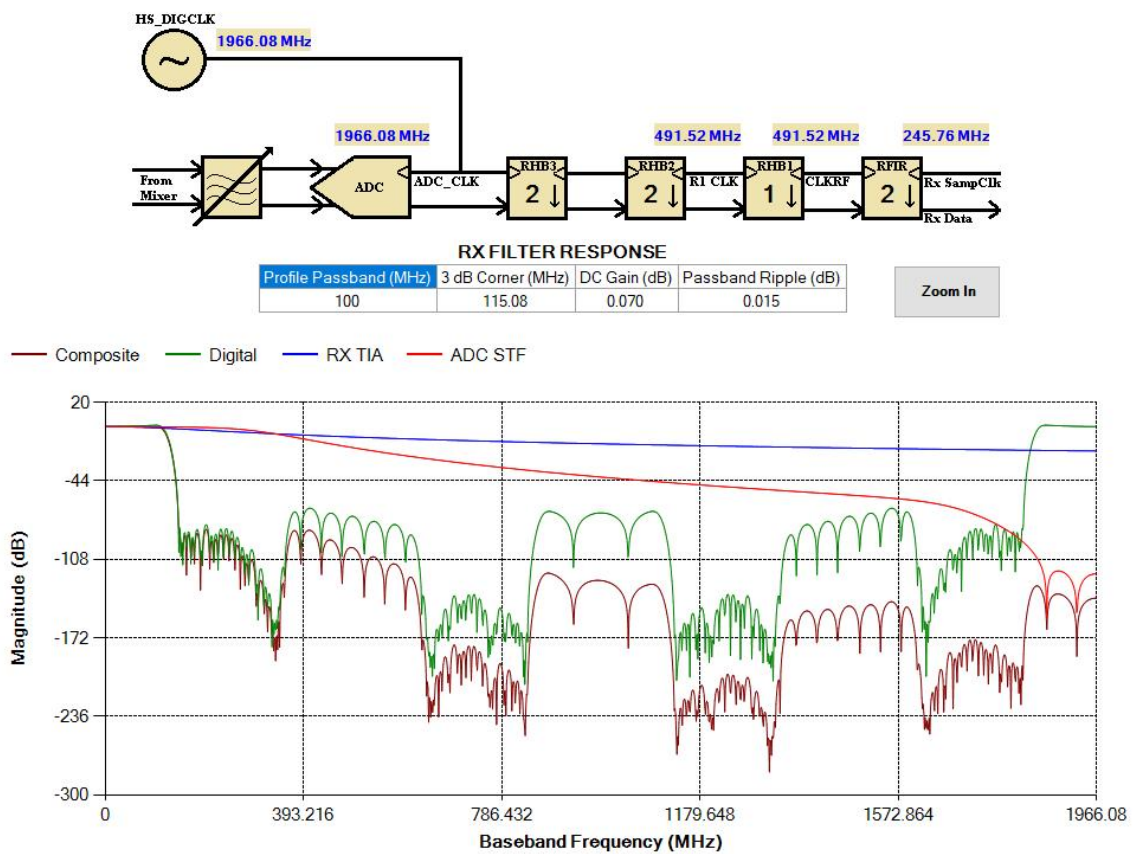


图 15 接受通道带宽

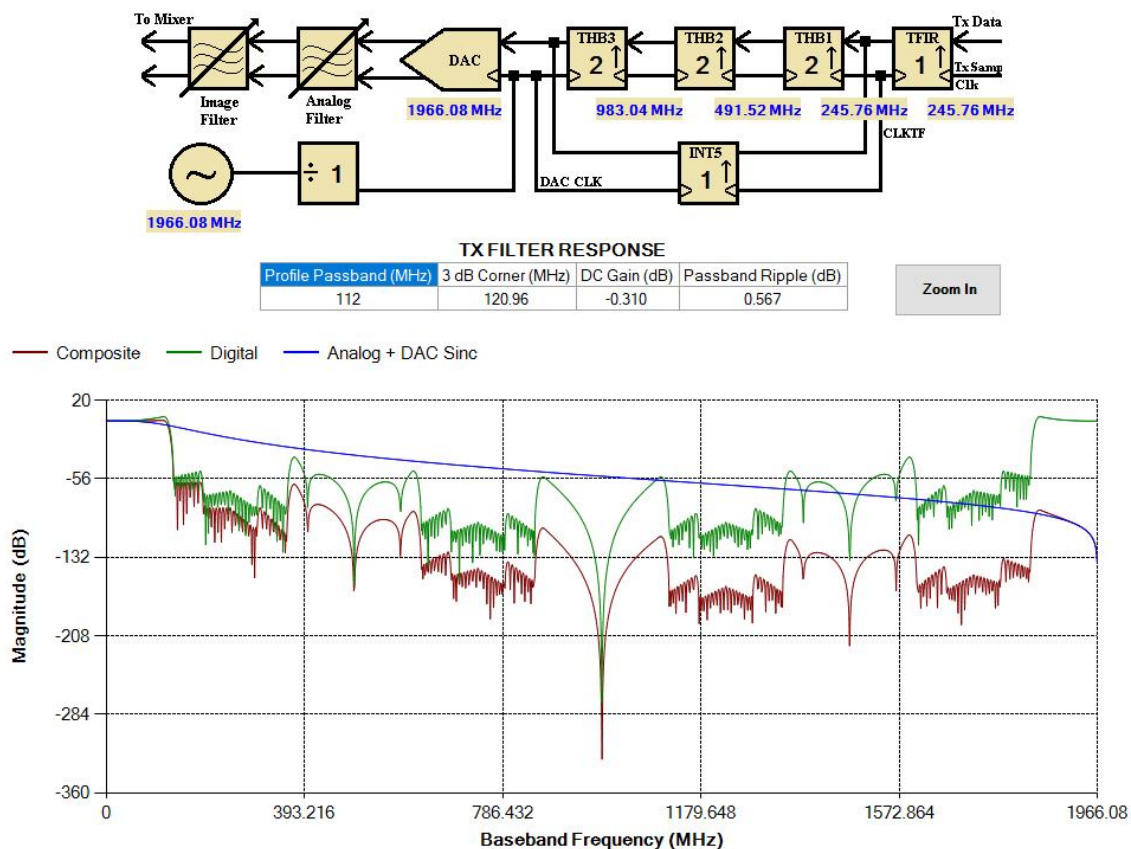


图 16 发送通道带宽

3.5 运行参考例程

ADRV9009 提供测试自回环测试程序。

用回环射频缆将 TX 和 RX 回环，可以看到通过射频回环的结果

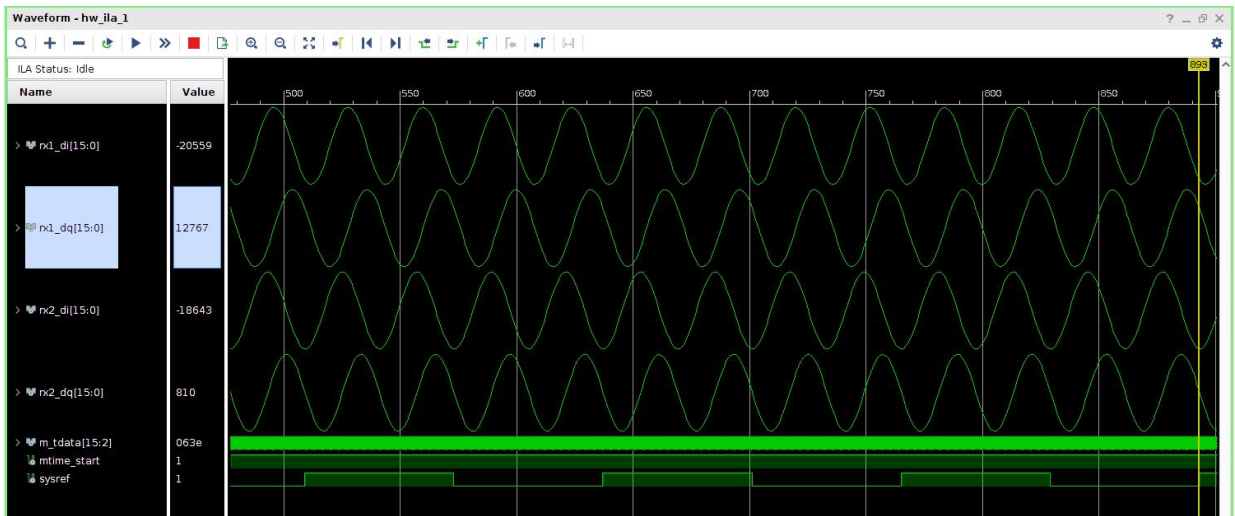


图 17 射频环回测试

可以选中波形导出使用第三方软件进行分析

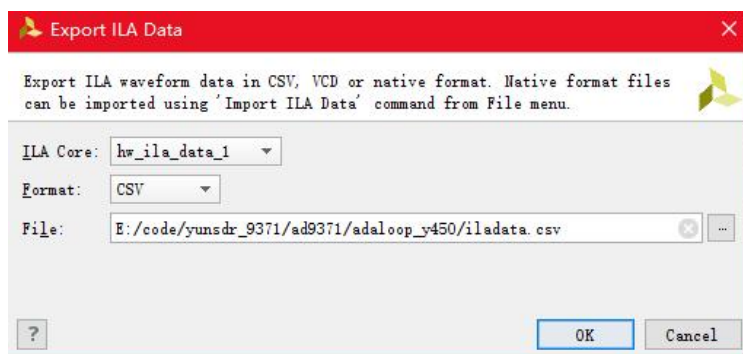


图 18 ILA 数据导出

比如通过 matlab 进行分析

```
m = csvread('iladata.csv', 1, 0);
data(:,1)=m(:, 9)+1i*m(:, 8);
data(:,2)=m(:, 11)+1i*m(:, 10);
subplot(231);plot(real(data(:,1)));hold on;plot(imag(data(:,1)));
subplot(232);plot(data(:,1));axis equal;
subplot(233);pwelch(data(:,1), [], [], [], 122.88e6, 'centered', 'psd');
subplot(234);plot(real(data(:,2)));hold on;plot(imag(data(:,2)));
subplot(235);plot(data(:,2));axis equal;
subplot(236);pwelch(data(:,2), [], [], [], 122.88e6, 'centered', 'psd');
```

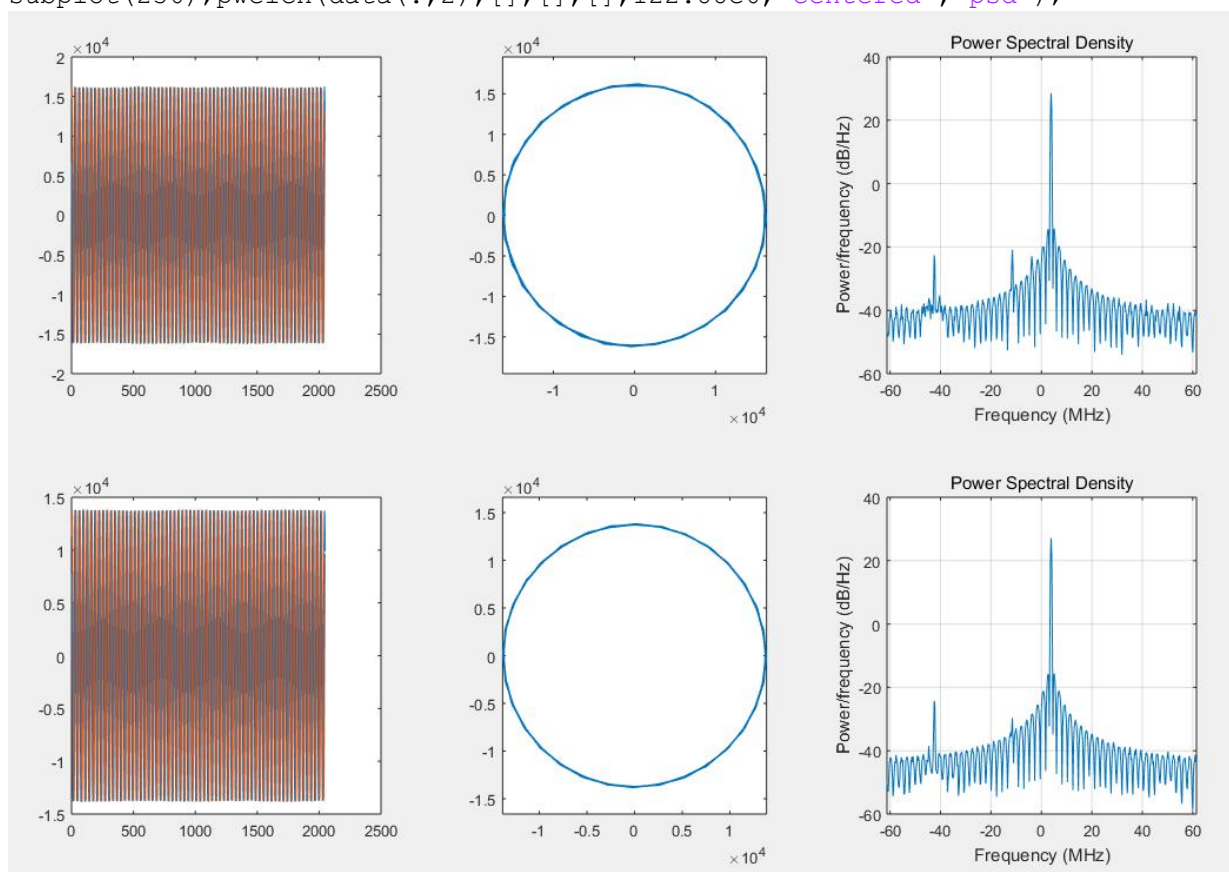


图 19 matlab 数据分析结果