华东师范大学计算机科学技术系上机实验报告

 课程名称: 计算机组成与结构实践
 年级: 17 级
 上机实践成绩:

 指导教师: 金健
 姓名: 朱桐
 创新实践成绩:

上机实践名称: 存储器读写实验 **学号**: 10175102111 **上机实践日期**: 2019/10/11 **实践编号**: 实验 4 **生机实践时间**: 2 学时

1 实验目的

1. 熟悉和了解存储器组织与总线组成的数据通路

2 实验设备

1. 指令寄存器,编译器

3 实验内容

3.1 实验连线

ĕ	套线←	信号孔↩	接入孔↩	作用↩	有效电平₽	4
	1€	DRCK+3	CLOCK₽	单元手动实验状态的时钟来源↩	下降沿打入↩	4
	24□	W↔	K6(M6)4 ³	总线字长:1=16 位字操作,0=8 位字节操作₽	ţ.	4
	3⇔	XP₄⋾	K7(M7)4 ³	源部件奇偶标志: 1=偶寻址, 0=奇寻址↔	ę.	4
Г	4₽	X24 ³	K10(M10)↔	源部件定义译码端 X2↔		4
ą)		ت	ته	47	三八译码↩	4
	5¢⊃	X14 ³	K9(M9)4 ³	源部件定义译码端 X1 ₽	八中选一₽	4
	64□	X04 ³	K8(M8)4 ³	源部件定义译码端 X0↩		4
	7₽	E/M4 ³	K23(M23)↔	存储器地址段定义: 1=AR 指针, 0=PC 指针↔	ę.	4
	84□	MWR₽	K21(M21)↔	存储器写使能: 1=存储器写↔	ą.	4
	947	LDAR₄□	K17(M17)₽	AR 地址寄存器写使能↔	高电平有效↩	4
	10↩	LDPC+ ³	K22(M22)↔	PC 装载与 PC+1₽	高电平有效↩	4

Fig. 3.1: 实验连线

实验连线的图标如图 3.1 所示

3.2 存储器数据段读写实验

3.2.1 数据段写操作

在进行数据存储器字操作时, 地址线 A0 必须为 0 (偶地址)。向数据段的 0000 0005h 存储单元写入 11 22 33 44 55 66 一串数据, 以 0000h 地址单元写入数据 1122h 为例表述操作流程。

- $X_2X_1X_0 = 011, XPW = 11, E/M = LDAR = 1$ 按单拍,输入地址
- LDAR = 0,输入数据 1122
- MWR = 1, 单拍, 存储器写入
- MWR = 0, 关闭存储器写入

3.2.2 数据段读入操作

- (2) 数据段读操作(字)依次读出数据段 0 0005h 单元的内容,这里以 0000h 地址单元读出为例阐述操作流程。
 - $X_2X_1X_0 = 011, XPW = 11, E/M = LDAR = 1$ 按单拍,输入地址
 - $LDAR = 0, X_2X_1X_0 = 100, W = 1$ 存储器读入

执行上述流程总线单元应显示 1122h, 若正确可按上述流程读出 0002 0005h 单元的内容。

3.3 存储器程序段读写操作

3.3.1 程序段字节读写操作

计算机规范的取指操作均以字节为单位,所以本实验以字节操作方式展开,程序段写入必须从定义 地址入手,然后再进入程序存储器的写入。

PC 指针是带预置加法计数器,因此在输入起始地址后一旦后续地址为 PC+1 的话就不用重装 PC,用 PC+1 指令完成下续地址的读写操作。

PC 地址装在写入与 PC+1 写入流程:

- IO 输入地址, X₂X₁X₀ = 011, XP W = 11
- E/M = LDPC = 1 按单拍, PC 地址写入
- $E/M = LDPC = 0, X_2X_1X_0 = 100, XP = 1, W = 0$ 选择 PC 到总线
- LDPC = 1 按单拍选通存储器 PC+1 到总线

按照上述 PC 装载读出与 PC+1 读出的流程分别读出 0000 0003h 单元内容, 应为 12345678h。

4 实验原理

存储器是计算机的存储部件,用于存放程序和数据。存储器是计算机信息存储的核心,是计算机必不可少的部件之一,计算机就是按存放在存储器中的程序自动有序不间断地进行工作。本系统从提高存储器存储信息效率的角度设计数据通路,按现代计算机中最为典型的分段存储理念把存储器组织划分为程序段、数据段等,由此派生了数据总线(DBUS)、指令总线(IBUS)、微总线(BUS)等与现代计算机设计规范相吻合的实验环境。实验所用的存储器电路原理如图 4.1 所示,该存储器组织由二片 6116 构成具有奇偶概念的十六位信息存储体系,该存储体系 AddBus 由 PC 指针和 AR 指针分时提供,E/M 控位为"0"时选通 PC,反之选通 AR。该存储体系可随机定义总线宽度,动态变更总线结构,把我们的教学实验提高到能与现代计算机设计规范相匹配与接轨的层面。

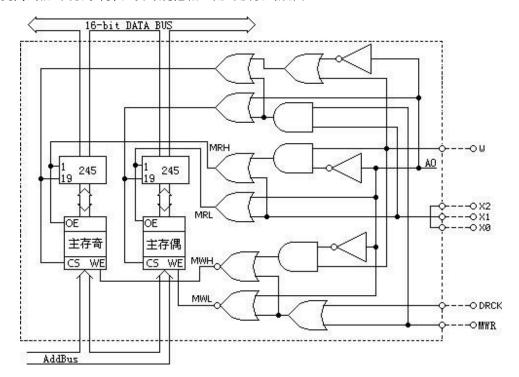


Fig. 4.1: 存储器数据通路

5 实验步骤

按照说明接线 数据段字写

- $IN\rightarrow AR$
- $Mem[AR] \rightarrow BUS$

程序段字节写

- $IN \rightarrow PC$
- PC+1
- $IN \rightarrow Mem[PC]$

6 调试过程、结果与分析

接线如图 6.1

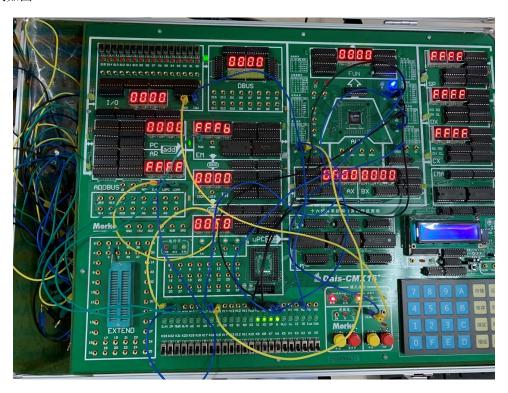


Fig. 6.1: 接线

输入 pc 如图 6.2 输出结果如 6.3

7 总结

写使能端 LDAR, MPW, LDPC 要及时关闭避免错误输入

8 附件

无

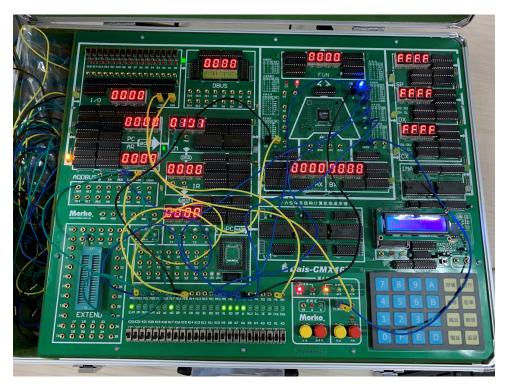


Fig. 6.2: 输入 pc

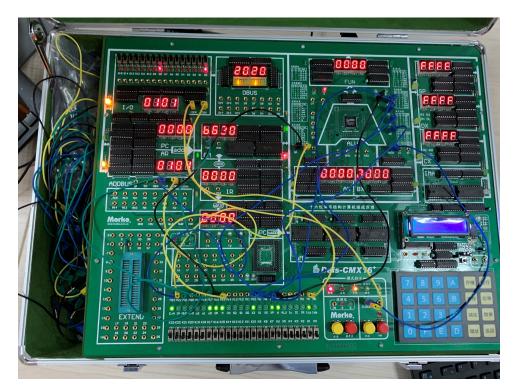


Fig. 6.3: 结果