

数字电路仿真中组合逻辑环路分析

邱伟博 陈逸华 朱青云

赛题要求在只有与门、非门、或门 和与非门 的组合逻辑之中，寻找所有强联通分量，分析环路能否振荡以及振荡条件，并讨论如何对环路进行改造，使得会震荡的 SCC 不会震荡并且功能基本与原来电路相同。赛题详细指南见 project 项目链接：

<https://github.com/WebberQ/eda>

ACM Reference Format:

邱伟博 陈逸华 朱青云. 2025. 数字电路仿真中组合逻辑环路分析. 1, 1 (January 2025), 4 pages. <https://doi.org/10.1145/nnnnnnnn.nnnnnnnn>

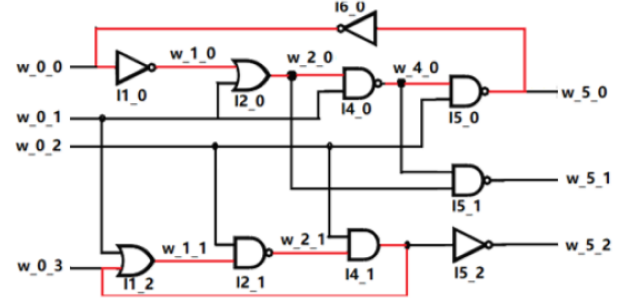


Fig. 1. 赛题一示例

1 赛题一：找出测试用例中所有强连通分量。

赛题要求: 找出输入文件里所有的 SCC, 每个强连通分量应包含信号线名称和逻辑门名称两部分。

思路: 寻找 SCC 可以参考经典算法——Tarjan 算法，只需完成一遍 DFS 即可找出所有的 SCC。

示例 Fig.1 所示电路结构有两个 SCC，分别为

1)

Loop Signals: $w_{0_0}, w_{1_0}, w_{2_0}, w_{4_0}, w_{5_0}$

Loop Gates: $I1_0.port1, I2_0.port1, I4_0.port1, I5_0.port1, I6_0.port1$

2)

Loop Signals: $w_{0_3}, w_{1_1}, w_{2_1}$

Loop Gates: $I1_2.port1, I2_1.port2, I4_1.port1$

Author's Contact Information: 邱伟博 陈逸华 朱青云.

Permission to make digital or hard copies of all or part of this work for personal or classroom use is granted without fee provided that copies are not made or distributed for profit or commercial advantage and that copies bear this notice and the full citation on the first page. Copyrights for components of this work owned by others than the author(s) must be honored. Abstracting with credit is permitted. To copy otherwise, or republish, to post on servers or to redistribute to lists, requires prior specific permission and/or a fee. Request permissions from permissions@acm.org.

© 2025 Copyright held by the owner/author(s). Publication rights licensed to ACM.

ACM XXXX-XXXX/2025/1-ART

<https://doi.org/10.1145/nnnnnnnn.nnnnnnnn>

2 赛题二 & 三：判断环路是否振荡，并给出振荡必要条件。

2.1 赛题要求

赛题二要求找出不能振荡的强连通分量。

赛题三要求输出可能产生持续震荡的强连通分量，并给出要产生持续震荡时 SCC 外部输入端口信号的值。外部输入端口逻辑值的格式为: $GateName1.port\# = 0/1$ 。其中 # 为逻辑门的端口序号。第 0 号端口是输出端口，因此 # 值为 1 或 2。

2.2 思路：

起振条件是 SCC 内有负反馈环路，并且该负反馈环路外部输入不能使其锁定，即与门和与非门在负反馈环路外部的输入必须是 1，或门必须是 0。

首先用 Johnson 算法判断一个 SCC 内有多少环路，并标记每个门位于哪些环路之中；根据每个 SCC 环路的多少（赛题要求最多到三环），进行分类讨论，并编写测试样例分别测试各种情况，代码输出符合预期。

2.3 单环:

单环起振较为简单, 如果单环是负反馈环路, 则一定能够起振, 起振必要条件是使得所有的外部输出满足不能锁定环路的条件。

示例: 单环 SCC 示例如图 1 所示。其中上环 cir1 有两个非门, 不是负反馈环路, 不能起振; 而下面的环路 cir2 只有一个非 (与非也能提供非门), 能够起振, 必要条件是这三个门环路以外的输入不能使得该环路锁定。

第二题输出:

1)

Loop Signals: $w_0_0, w_1_0, w_2_0, w_4_0, w_5_0$

Loop Gate: $I1_0.port1, I2_0.port1, I4_0.port1, I5_0.port1, I6_0.port1$

第三题输出:

1)

Loop Signals: w_0_3, w_1_1, w_2_1

Loop Gate: $I1_2.port1, I2_1.port2, I4_1.port1$

Loop Condition: $I1_2.port2=0, I2_1.port1=1, I4_1.port2=1$

2.4 双环:

判断双环每个环之中取反的数量, 分为一个负反馈环、两个负反馈环和没有负反馈环三种情况。双环情况下我们的算法能够实现找出尽可能多的起振条件, 在原题目要求上有所拓展。

(1) 没有负反馈环不会起振;

(2) 有一个负反馈环 cir1, 搜索 cir1 外部输入, 使其不能锁定, 则能保持振荡。在搜索时如果到另一个环路 cir2 上, 输入应该能够使得 cir2 对应门锁定, 而 cir1 能保持振荡。

示例: Fig.2 所示电路结构含一个负反馈环路 cir1, 如能够起振, 则 cir1 外部输入不能使其锁定, 特别是 h 的 w_{25} 输入要为 1, 例如可以要求 o 的外部输入 w_{23} 为 1, 则其输出 w_{25} 锁定为 1; 该环路第三题输出的振荡必要条件结果如下:

Loop Condition: $b.port2=1, d.port2=0, e.port2=1, f.port2=1, i.port1=0, j.port1=1, o.port1=1$

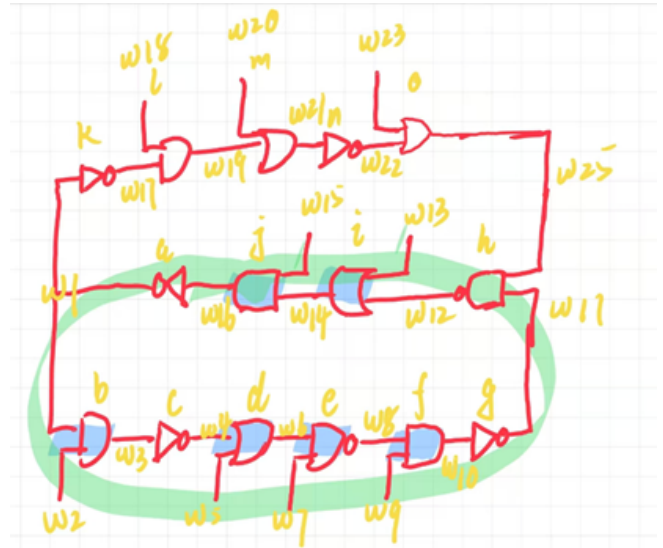


Fig. 2. 双环示例 1

Loop Condition: $b.port2=1, d.port2=0, e.port2=1, f.port2=1, i.port1=0, j.port1=1, l.port1=0, m.port1=0, o.port1=0$

(3) 两个负反馈的环, 不考虑延迟情况下假定两个环同时起振, 只需保证所有外部条件不锁定整个 SCC。然后再考虑单个环起振, 另一个环锁定, 与上一种情况相同分析方法。

示例: Fig.3 所示 SCC 里两个环路 cir1 和 cir2 都

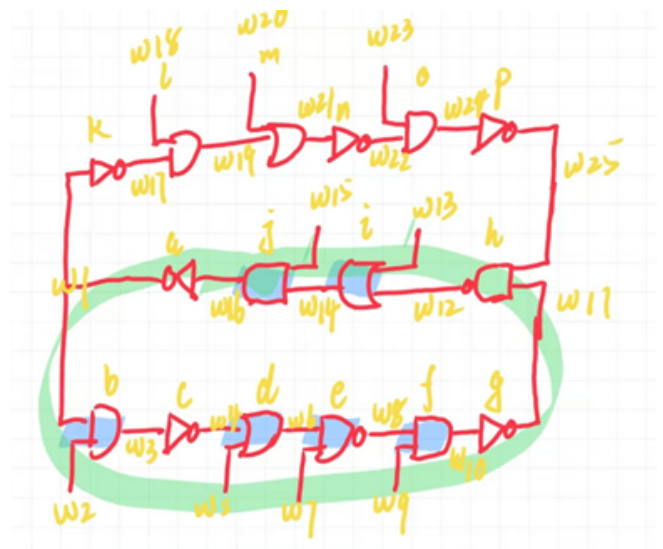


Fig. 3. 双环示例 2

是负反馈环路，含有奇数个非门。因此，第一种情况先让所有外部输入不能锁定整个 SCC，得到两个环同时起振的条件；再让一个环路 cir1 不被锁定，而另一个环路 cir2 输出被锁定，只能提供 cir1 不被锁定的输出。例如，若想单独考虑下面的环路不被锁定，那么 h 来自上面的环路的输入 w25 只能为 1。

第三题输出的部分震荡条件为：

Loop Condition: $b.port2=1, d.port2=0, e.port2=1, f.port2=1,$

$i.port1=0, j.port1=1, l.port1=1, m.port1=0, o.port1=1$

Loop Condition: $b.port2=1, d.port2=0, e.port2=1, f.port2=1,$

$i.port1=0, j.port1=1, o.port1=0$

Loop Condition: $b.port2=1, d.port2=0, e.port2=1, f.port2=1,$

$i.port1=0, j.port1=1, m.port1=1, o.port1=1$

2.5 三环:

三环更为复杂，实现了赛题最后一版要求的只用输出最长振荡条件的功能。具体而言，三环若想震荡可以分为以下三种情况。(1) 三个负反馈环，不考虑延迟，认为全部震荡，必要振荡条件为所有的外部输入都不能使得 SCC 锁定。

示例：如 Fig.4 所示，只要所有外部输出都不能使

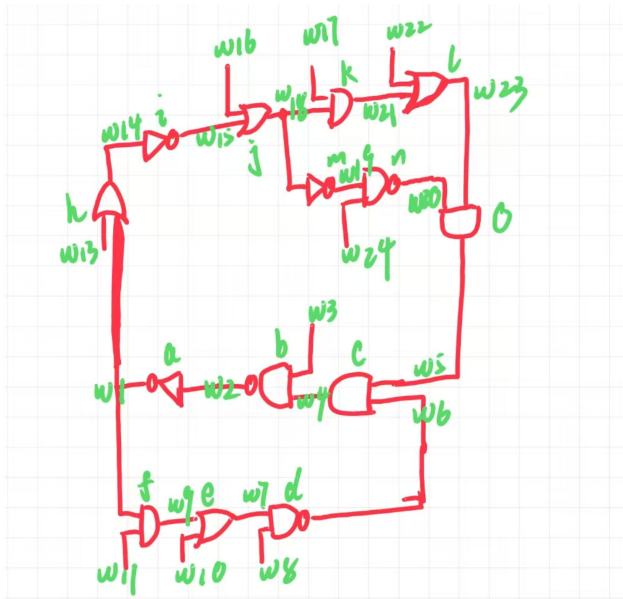


Fig. 4. 三环示例 1

得 SCC 锁定即可。

第三题输出的必要条件为：

Loop Condition: $b.port1=1, d.port2=1, e.port2=0, f.port2=1,$

$h.port1=0, j.port1=0, k.port1=1, l.port1=0, n.port2=1$

(2) SCC 只有一个负反馈环 cir1(f 所在环路)，若想震荡，则 cir1 所有的外部输入都不能锁定。采用贪心策略搜索 cir1 需要固定的外部输入，直到返回到 cir1。

示例：Fig.5 所示电路图有 1 个反馈环 cir1，cir1

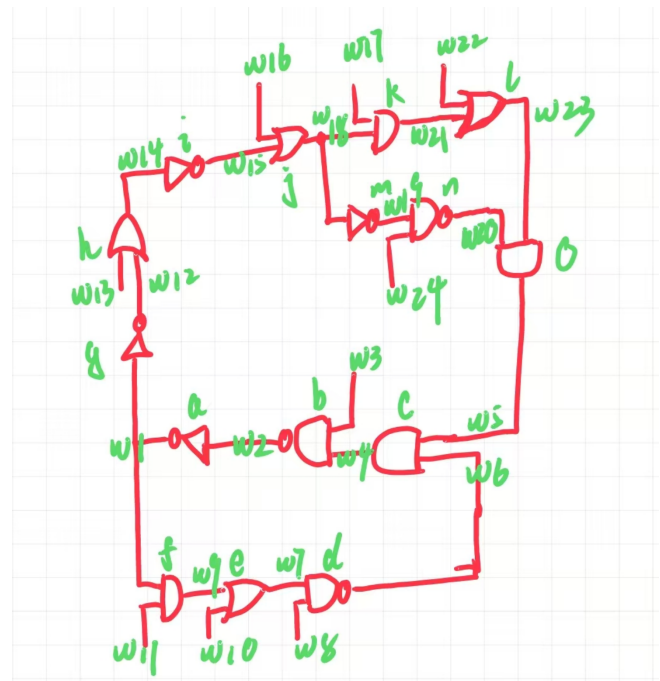


Fig. 5. 三环示例 2

若想起振，则需保持 b、c、f、e、d 的 cir1 外部输出都不能使其锁定。特别是要搜索环路，使得 w5 必须在整个 SCC 的外部输入的限制下保持为 1。

第三题输出的必要条件为：

Loop Condition: $b.port1=1, d.port2=1, e.port2=0, f.port2=1,$

$l.port1=1, n.port2=0$

(3) 两个负反馈环，首先将两个振荡环视为一个整体，贪心搜索该整体的外部输入保持锁定的条件；如果两个环不能一起起振，再退回到 (2) 的情况判断能否单个环起振。

三环情况由于使用贪心算法, 准确率将会有所下降。

3 赛题四：插入最少寄存器断开组合逻辑环

赛题要求：找出插入最少寄存器的解决方案, 破坏掉可能发生震荡的强连通分量。输出内容为需要断开的信号名。

思路：采用贪心算法, 记录每个门位于多少个可震荡的逻辑环上, 在数量最多的门输出信号线上插入寄存器, 插入后更新可震荡的逻辑环, 重复以上过程直到所有可震荡的逻辑环都被断开;

4 赛题五：变换并简化逻辑环, 能够检测震荡是否发生

赛题要求：改造后的电路满足以下三个条件:

- 1) 在原组合逻辑环电路不发生震荡的输入条件下, 改造后的电路与原电路的功能是等价的;
- 2) 在原组合逻辑环电路会发生震荡的输入条件下, 改造后的电路不会发生震荡;
- 3) 提供一个检测是否发生震荡的信号, 当原电路发生震荡时, OscFlag 值为 11; 当原电路不震荡时, OscFlag 值为 0。

思路：假设有 $n(k_1, k_2, \dots, k_n)$ 个环可以震荡, 分别找出 $n, n-1, \dots, 2, 1$ 个环发生震荡的条件, 对其中包含 $k_j (j=1, 2, \dots, n)$ 震荡的条件取并集即 k_j 的震荡条件。对这些震荡条件做逻辑变化, 可以得到 $\text{oscflag}_1, \text{oscflag}_2, \dots, \text{oscflag}_n$, 再用这些 $\text{oscflag}_1, \text{oscflag}_2, \dots, \text{oscflag}_n$ 通过或门接入 k_1, \dots, k_n 环中, 即可完成对电路的改造。而电路的 oscflag 即为 $\text{oscflag}_1, \text{oscflag}_2, \dots, \text{oscflag}_n$ n 个输入接入或门, 即任何一个环震荡都认为电路会发生震荡。

5 结果：

课上展示时老师提出测试用时太短不够准确, 于是新添加了 gate_10000_10000 以及 gate_5000_5000 的几个例子进行测试, 测试结果如下:

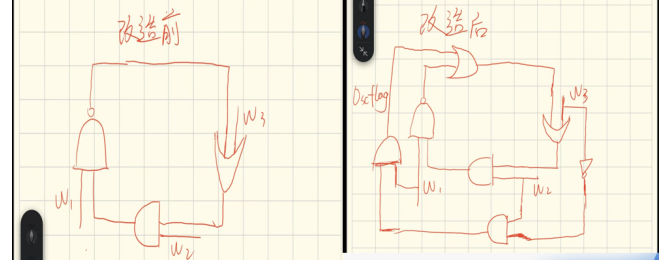


Fig. 6. 赛题五示例

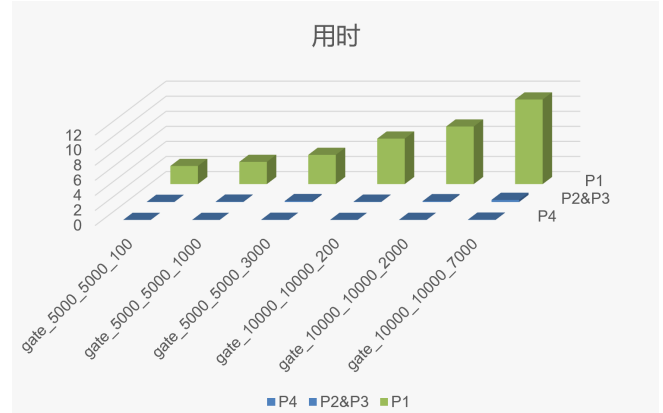


Fig. 7. 各赛题用时 (单位: 秒)

可见, 最长时间为第一题用时, 第二三四题用时较少。并且具体分析赛题一, 我们发现用时最多是 Tarjan 算法, 因此, 进一步可以研究如何更为有效构建 SCC;

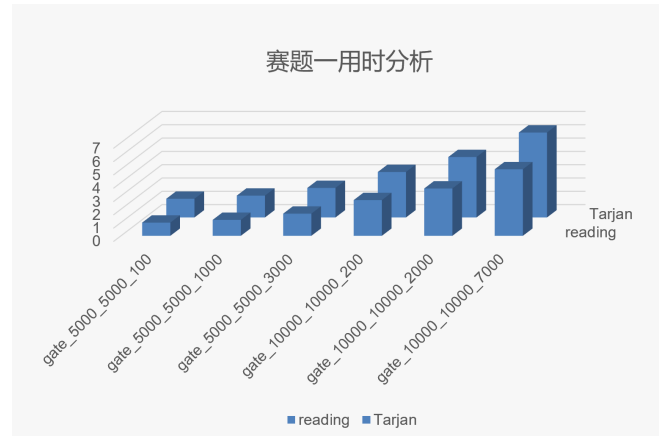


Fig. 8. 赛题一用时 (单位: 秒)