

湖南大学

数字电路与逻辑设计

课程实验报告

题 目：多路复用器的设计

学生姓名：魏子铖

学生学号：201726010308

专业班级：软件 1703

完成时间：2018. 11. 28

实验二 多路复用器的设计

班级 软件 1703 姓名 魏子铨 学号 201706010308

一、实验目的

熟悉 QuartusII 仿真软件的基本操作，并用 VHDL 语言设计一个三态门。

二、实验内容

1. 用 VHDL 语言设计三态门;
2. 使用三态门实现二选一多路复用器, 再用 VHDL 语言设计参数化的多路复用器

三、实验方法

1. 实验方法

采用基于 FPGA 进行数字逻辑电路设计的方法。

采用的软件工具是 Quartus II 软件仿真平台。

2. 实验步骤

1) 新建工程文件

- 三态门的 VHDL 工程文件名为 ep2_1_2
- 三态门实现多路复用器的逻辑图工程文件名为 ep2_2_2
- 参数化的多路复用器的 VHDL 工程文件名为 ep2_2

2) 编写源代码或画逻辑图

完成后保存文件，文件名分别为 ep2_1_2.vhd, ep2_2_2.bdf, ep2_2.vhd, 分别位于三个不同的工程文件下。

3) 编译与调试

确定文件名与工程文件名相同，点击【processing】-【start compilation】进行文件编译，文件编译成功。

4) 波形仿真及验证

为每个工程新建一个 vector waveform file。

按照程序所述插入节点。(操作为：右击 -【insert】-【insert node or bus】-【node finder】(pins=all;【list】)-【>>】-【ok】-【ok】)。任意设置 a,en 的输入波形…点击保存按钮保存。(操作为：点击 name (如：A)) - 左键拉取-【forcing high】(如设置 10~30ns; value=1)，同理设置 name EN (如 20~40ns,1)，保存)。然后【start simulation】，出 name Out1 的输出图。

5) 查看 RTL Viewer:【Tools】-【netlist viewer】-【RTL viewer】。

四、实验过程

1. 编译过程

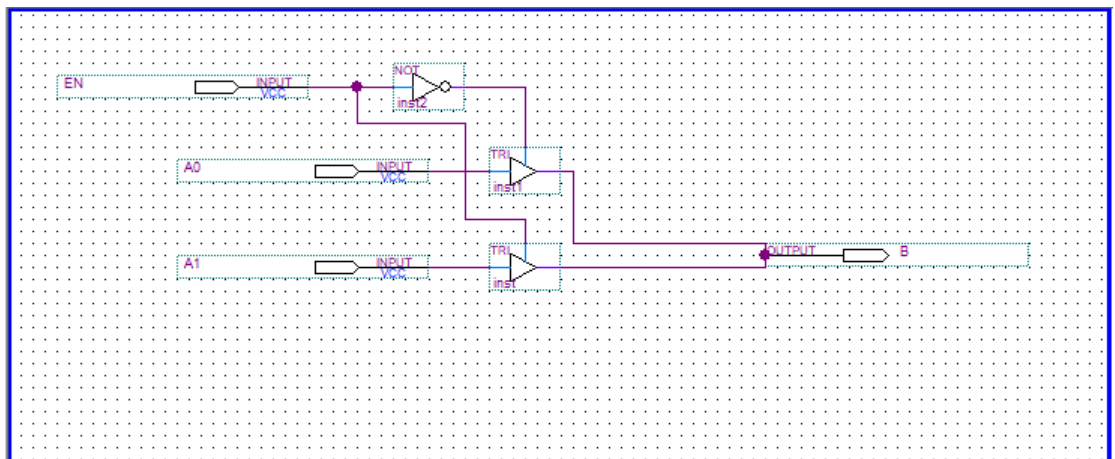
三态门

```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  entity ep2_1_2 is
4  port(A: in std_logic;
5       EN: in std_logic;
6       Out1: out std_logic);
7  end ep2_1_2;
8
9  architecture structural of ep2_1_2 is
10 begin
11     process(A,EN)
12     begin
13         if(EN='0') then
14             Out1<= 'Z';
15         elsif(A='1') then
16             Out1<= '1';
17         else
18             Out1<= '0';
19         end if;
20     end process;
21 end structural;

```

三态门实现二选一多路复用器



参数化的多路复用器

```

1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  entity ep2_2 is
5  port(A0: in std_logic_vector(15 downto 0);
6       EN0: in std_logic_vector(3 downto 0);
7       B0: out std_logic);
8  end ep2_2;
9
10 architecture structural of ep2_2 is
11
12     component st2_1
13     generic( n:integer:=4 );
14     port(A: in std_logic_vector(2**n-1 downto 0);
15          EN: in std_logic_vector(n-1 downto 0);
16          B: out std_logic);
17     end component;
18
19     begin
20         g0: st2_1 generic map(n => 4) port map(A => A0, EN => EN0, B => B0);
21     end structural;

```

```

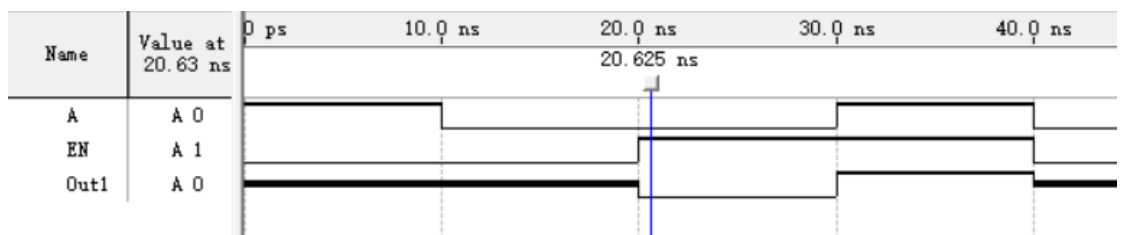
1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.std_logic_unsigned.ALL;
4
5  entity st2_1 is
6      generic( n: integer:=4 );
7  port(A: in std_logic_vector(2*n-1 downto 0);
8      EN: in std_logic_vector(n-1 downto 0);
9      B: out std_logic);
10 end st2_1;
11
12 architecture structural of st2_1 is
13     signal C:integer range 0 to 2*n-1;
14 begin
15     C <= CONV_INTEGER(EN);
16     B <= A(C);
17 end structural;

```

编译、调试过程：编写完成后进行全编译，编译成功，没有出现错误。

结果分析及结论：源代码及原理图没有出现语法或结构上的错误。

2. 波形仿真



结果分析及结论：

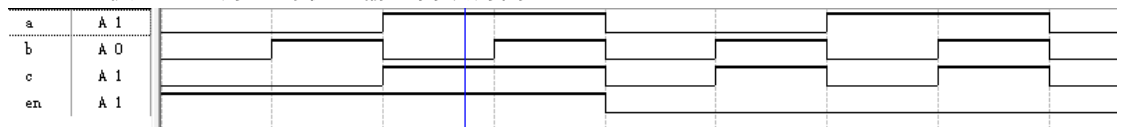
0-10ns：异或门输出高电阻正确。

10-20ns：Out1 显示的是使能为零的情况，正确。

20-30ns：显示的是的结果 EN=1，A=0 应输出 0，正确。

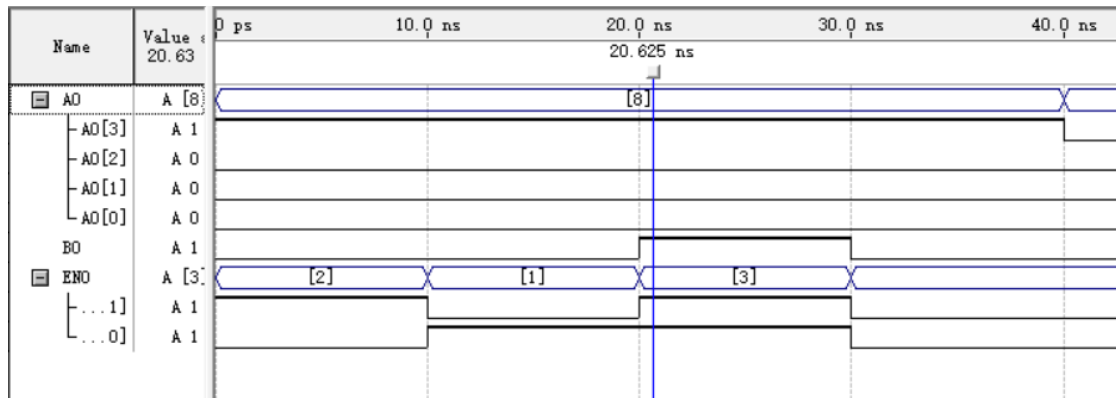
30-40ns：显示的是的结果 EN=1，A=1 正常通过输出 1，正确。

40-ns：使能一直为 0 的状态输出持续为高电阻。



结果分析及结论：

当使能 en 为 1 的时候，输出结果为 a 的值，当使能 en 为 0 的时候，输出结果为 b 的值，实现二选一。



结果分析及结论：

以四选一多路复用器为例

0-10ns：使能输入 10 选择 a（2）输出为 0。

10-20ns：使能输入 01 选择 a（1）输出为 0。

20-30ns：使能输入 11 选择 a（3）输出为 a（3）的值即为 1。

30-40ns：显示的是使能输入 00 选择 a（0）输出为 0 正确。

五、实验结论

这个带参数化的设计是一次全新的学习和尝试，参数化设计可以在应用中很方便的通过改变参数值去应用元件。这个过程中学习到了类属参数的定义，次方为**符号但不能纳入逻辑运算，实例化元件的方法以及元件的调用。