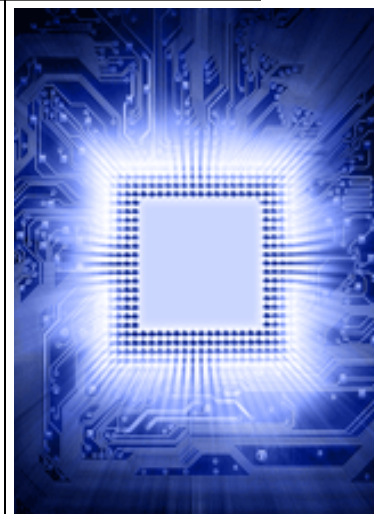


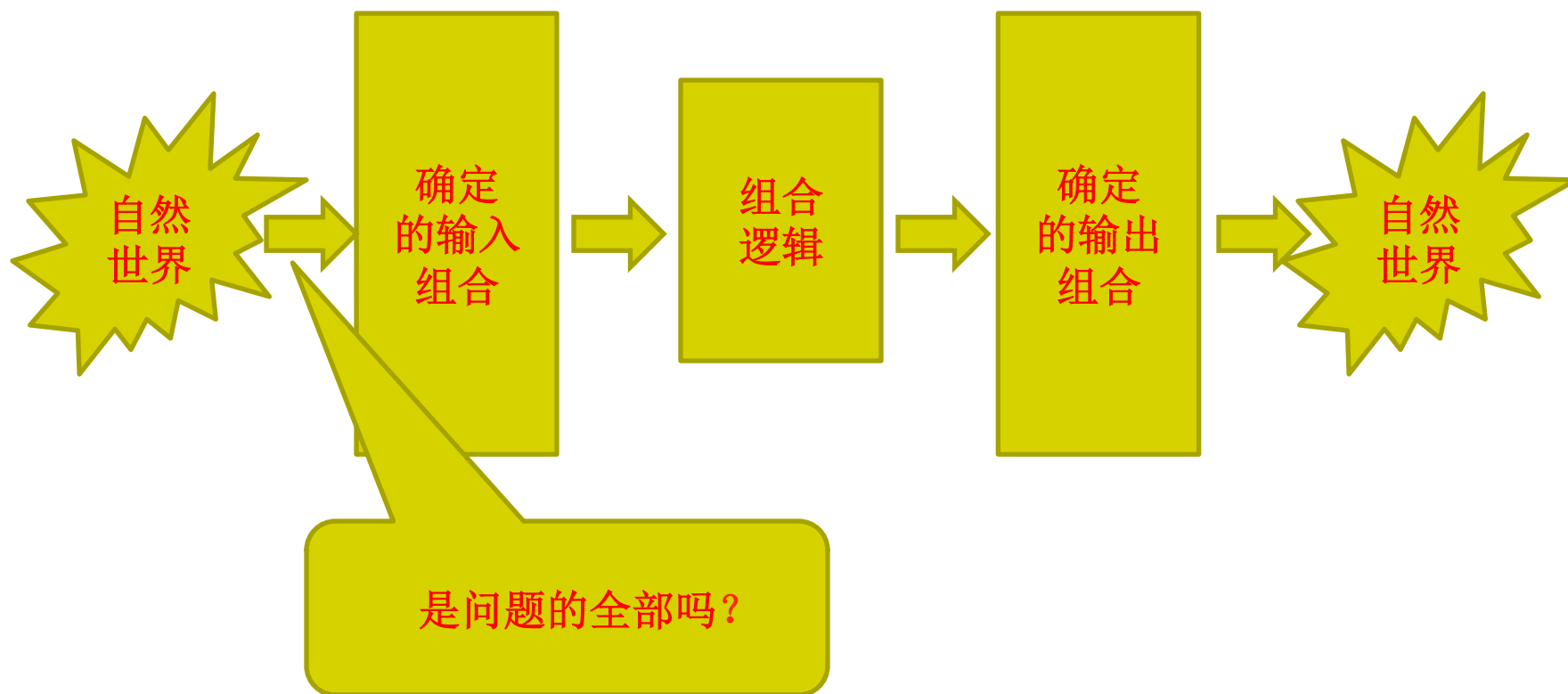
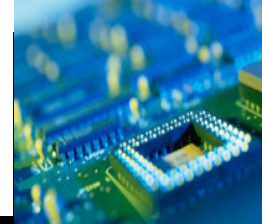
第7章

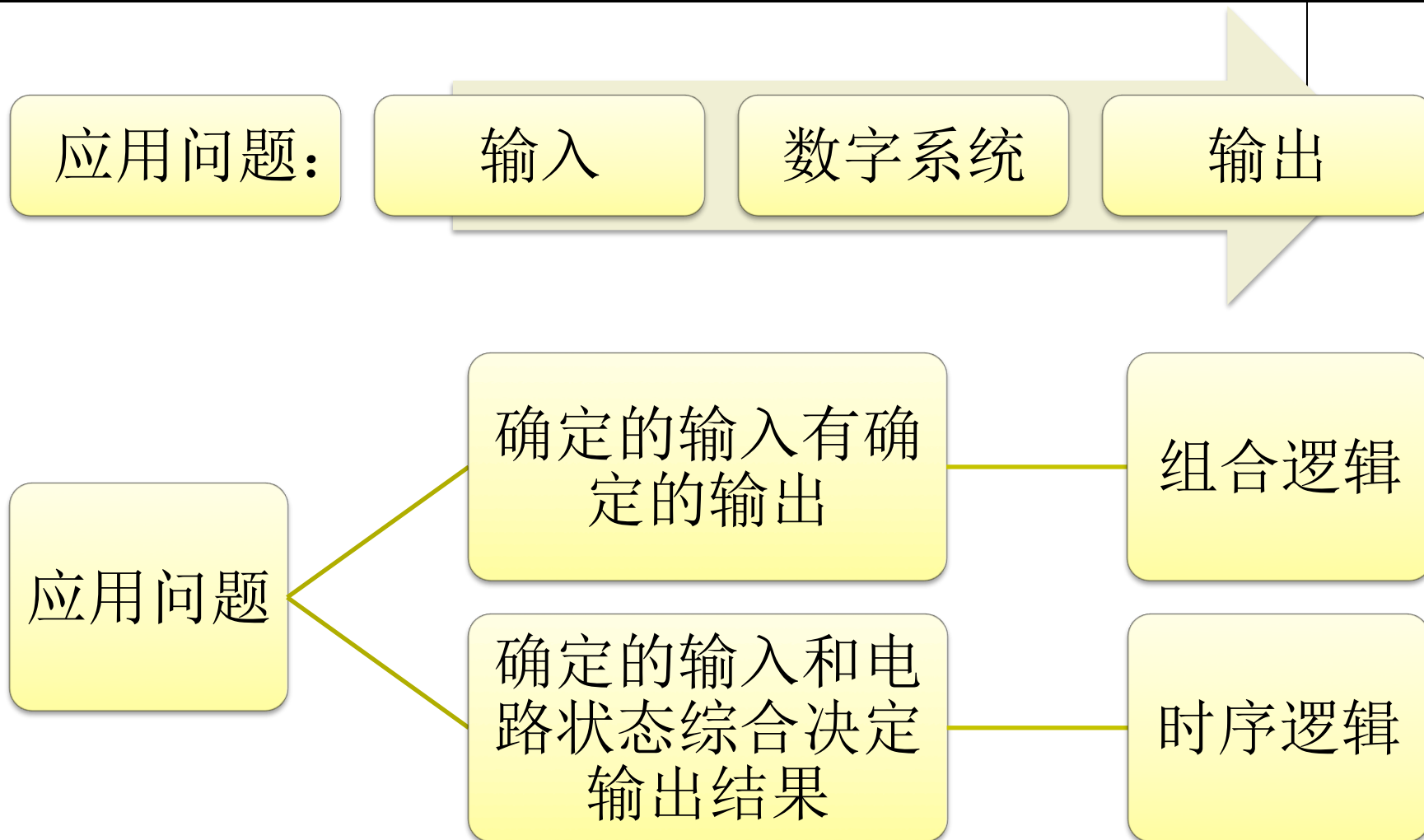
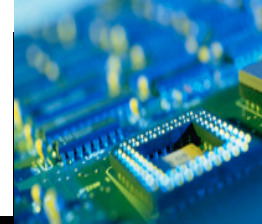
时序逻辑设计原理

南京大学人工智能学院

2018 -2019春季

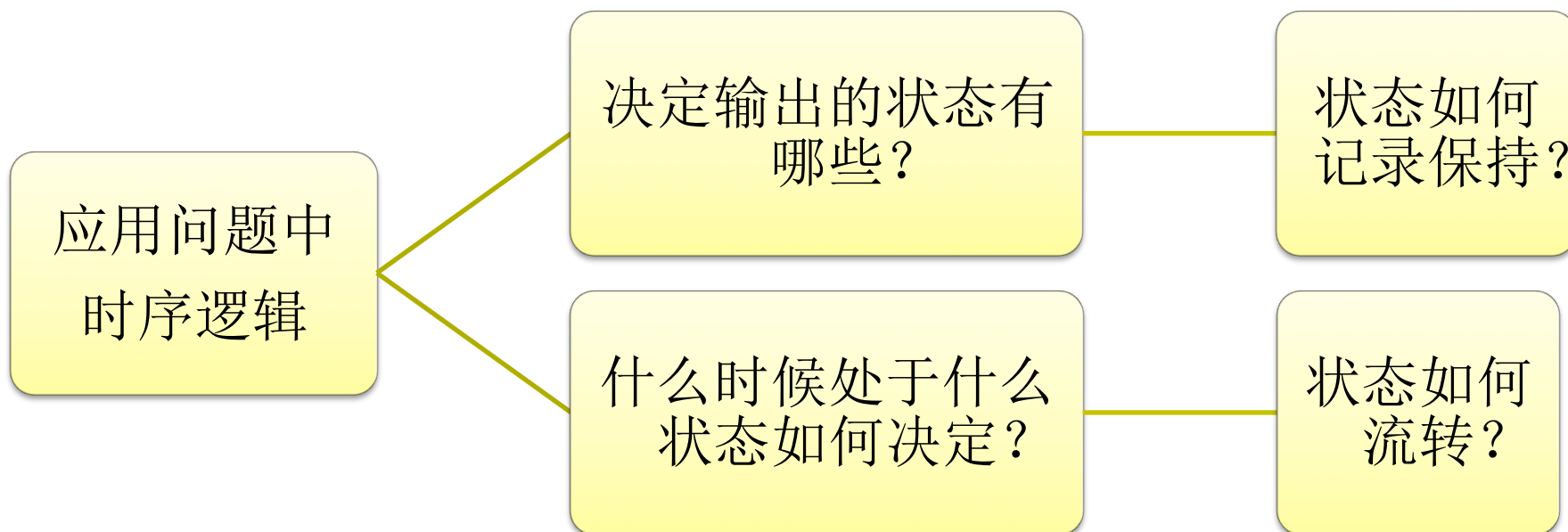








时序电路导读

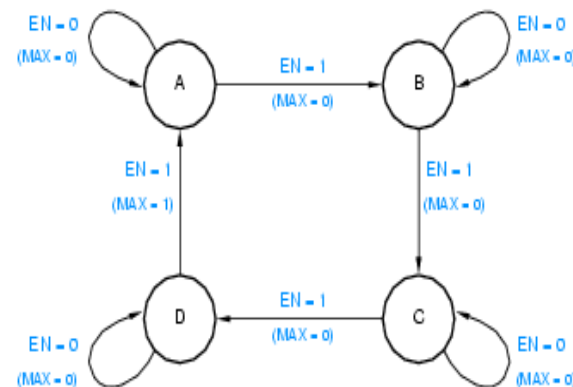




时序电路导读

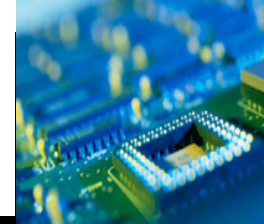


- 时序电路的输出不仅取决于当前的输入，而且取决于过去的输入序列（状态）。
 - 可能有多少个状态？
- 状态state:
 - 是一个状态变量集合。
 - 包含了在当前输入的基础上预测当前输出的所有的历史信息（抽象）。
- 时序电路的状态个数有限：
 - 有限状态机
 - 状态的流转反映了电路的特性。

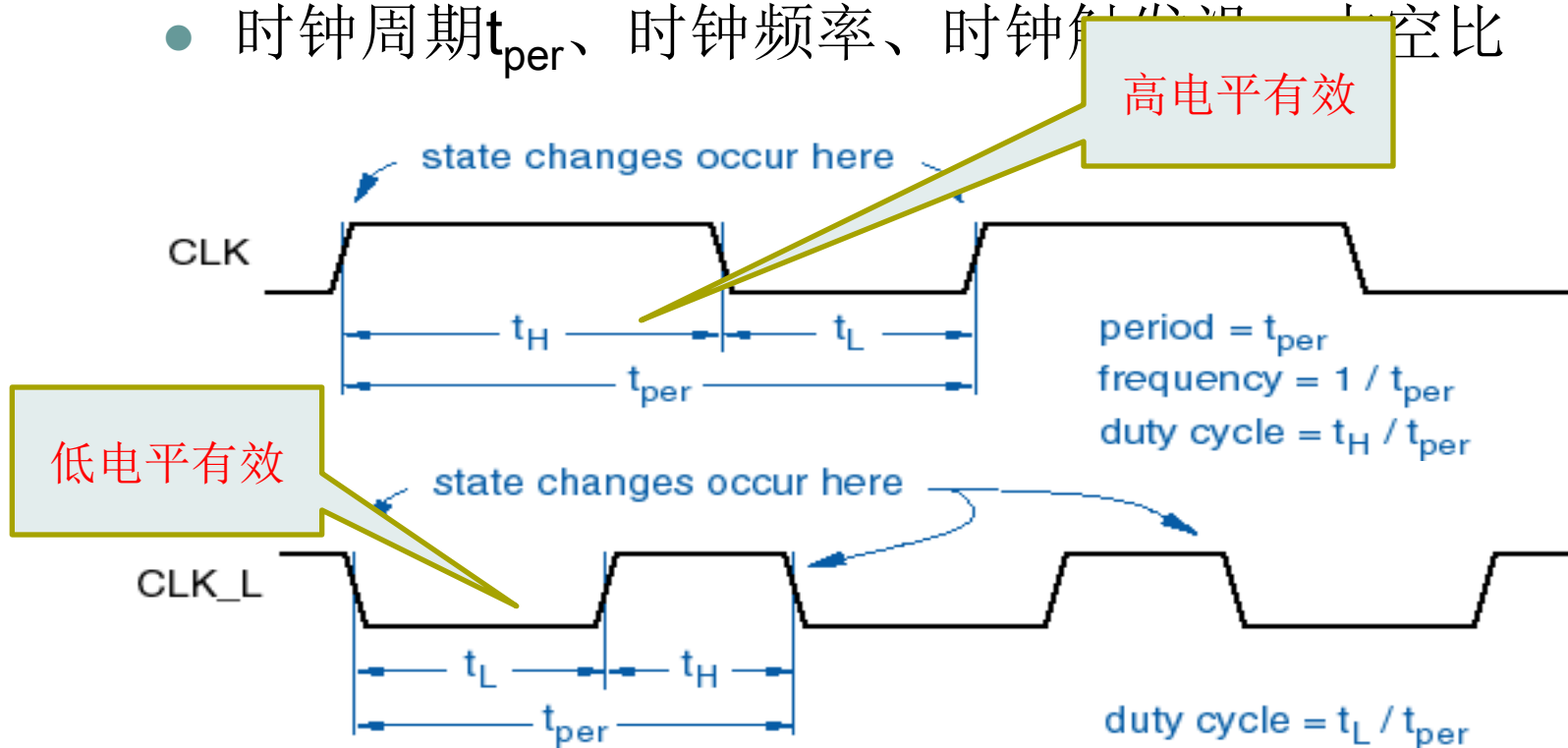




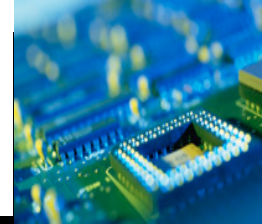
时序电路导读



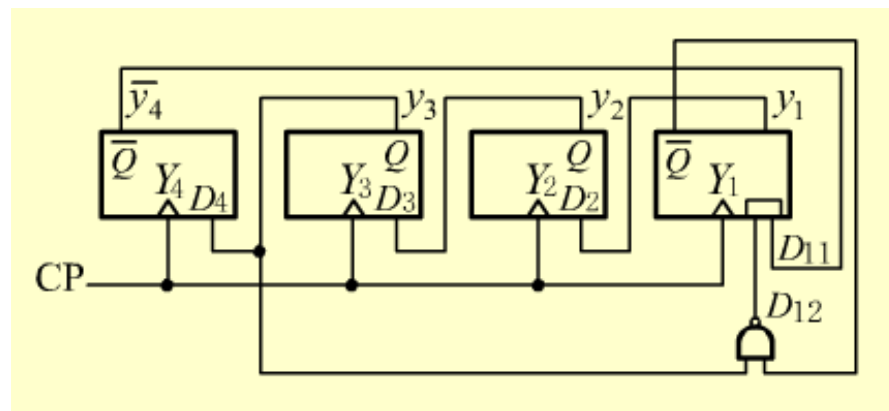
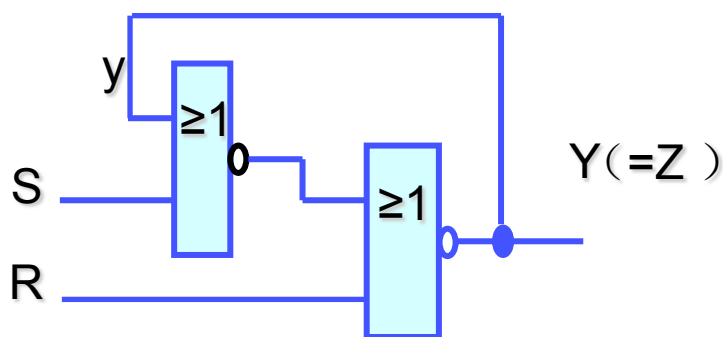
- 状态变化的驱动方式：
 - 时钟clock
 - 有效电平：通常在时钟的触发沿内状态发生改变。
 - 时钟周期 t_{per} 、时钟频率、时钟触发沿、占空比



时序电路导读



- 时序电路的类型：
 - 反馈时序电路：采用普通门电路和反馈回路来实现逻辑电路中的记忆能力，由此构成时序逻辑电路。
 - 时钟同步时序电路：也采用逻辑构件来构建电路，但输入由统一的时钟信号控制。
 - 其它类型：通用基本型、多脉冲型等





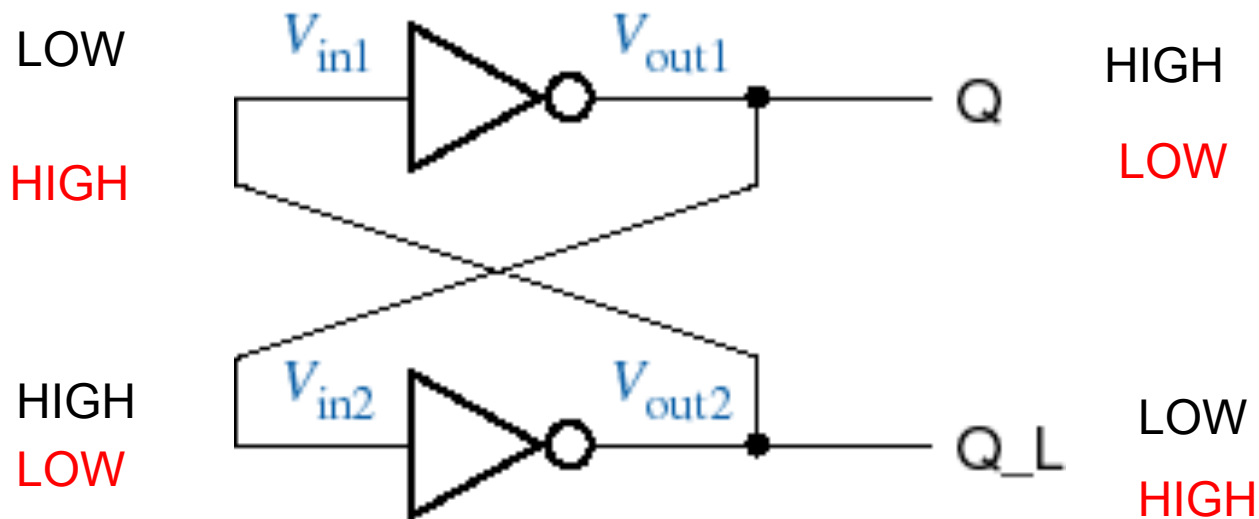
内容提要

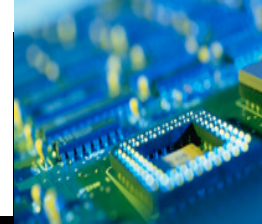


- 双稳态电路(Bi-stable Device)
- 锁存器与触发器
- 时钟同步状态机分析
- 时钟同步状态机设计
 - 用状态表设计状态机
 - 用状态图设计状态机
 - 用转移表设计状态机
- 反馈时序电路分析
- 反馈时序电路设计
- Verilog设计时序电路： 自学

1、双稳态元件 Bistable Elements

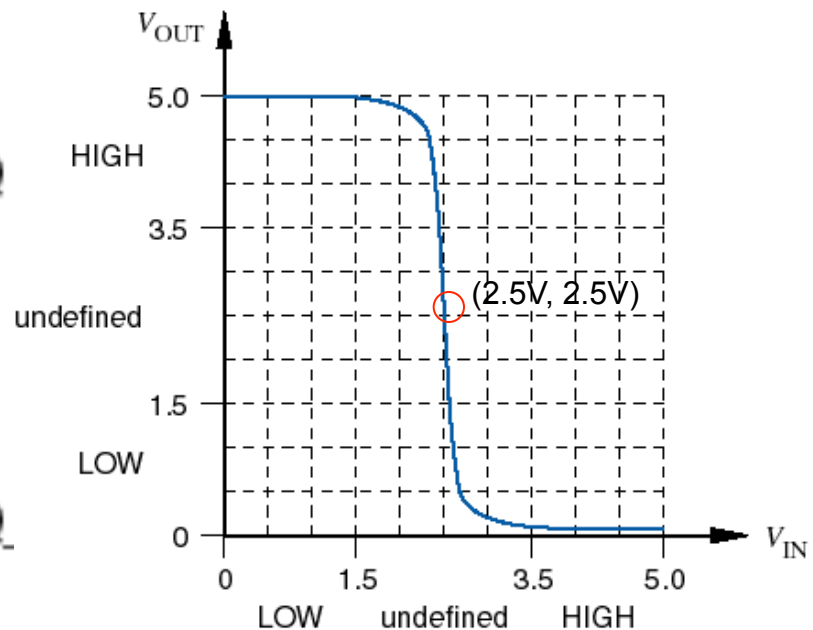
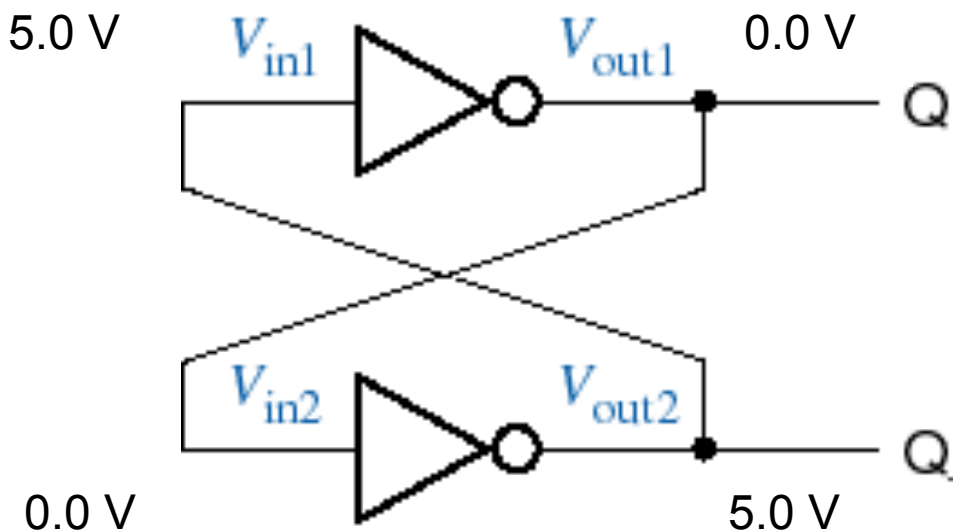
- 所谓的双稳态元件（或者电路），是指电路有两个稳定的状态，即置位状态和复位状态。Q为1的状态称为置位状态，而Q为0的状态称为复位状态。





Analog analysis

- 以**CMOS**电路电压传输特性为例
- **CMOS**阈值电平**2.5 V**左右

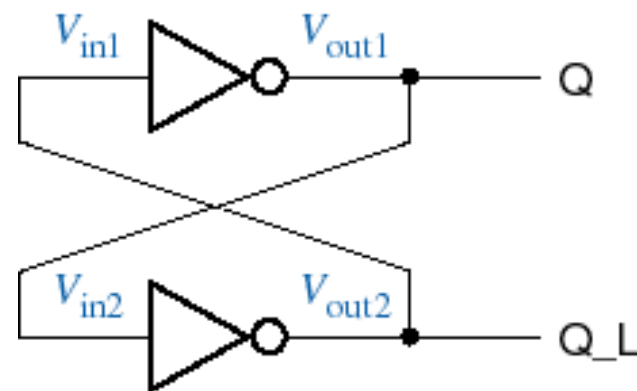
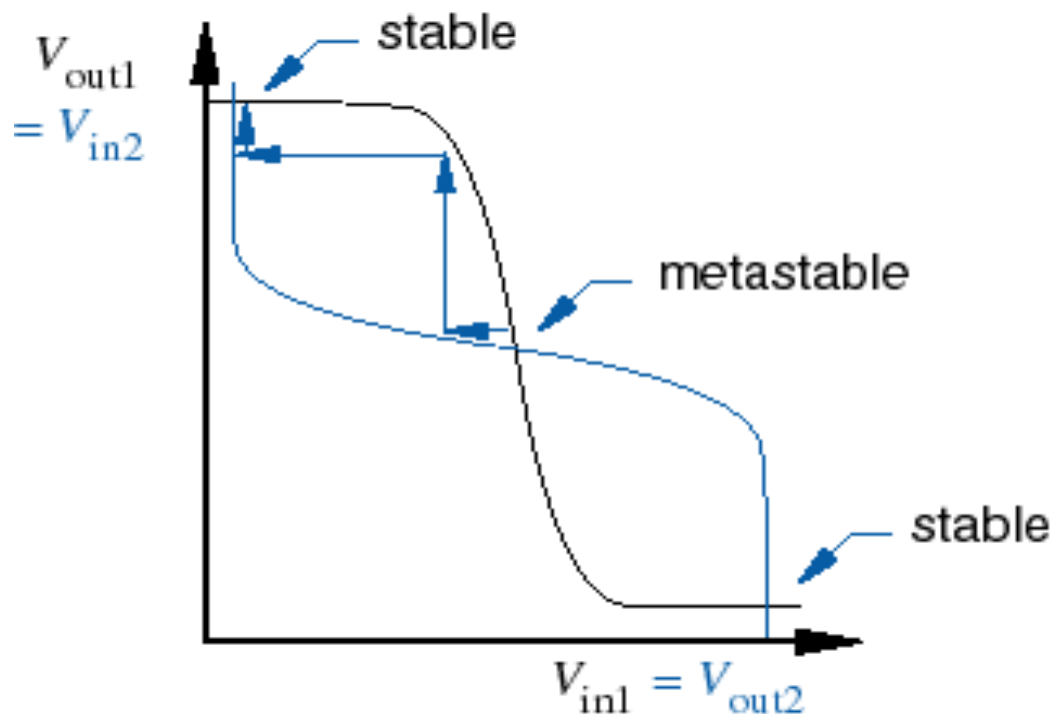




亚稳定性Metastability



- 双稳态电路的内在特性(**inherent**)
 - 2 稳定点 (**stable points**)
 - 1 亚稳定点 (**metastable point**)



Transfer function:

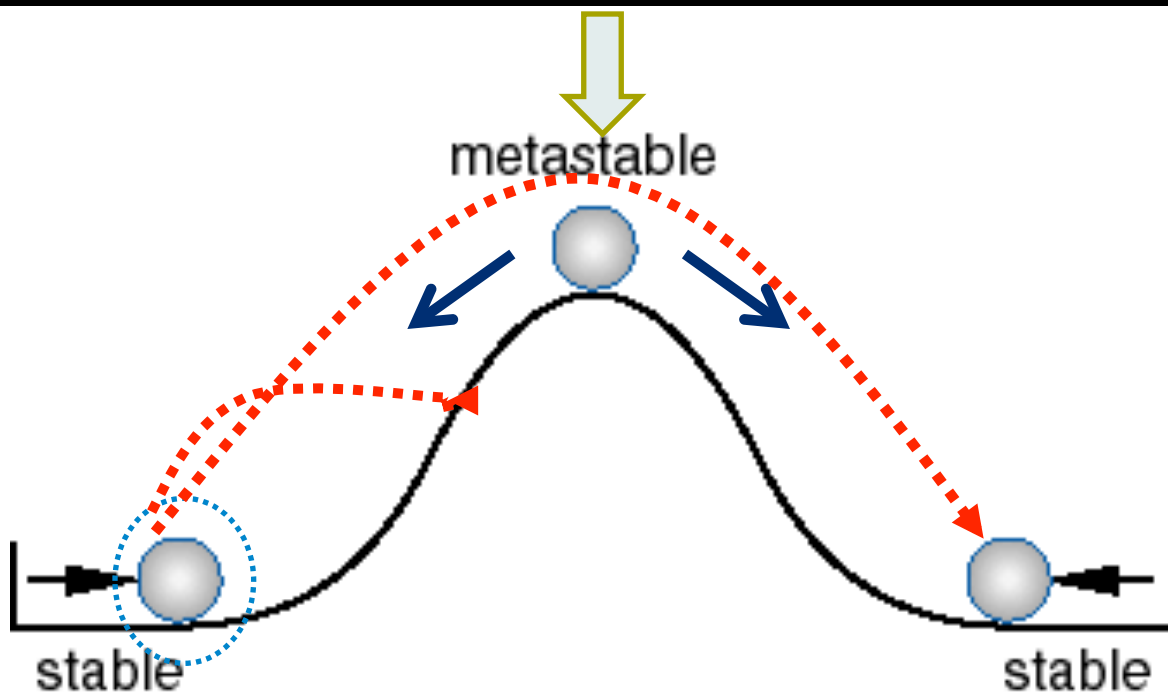
$$V_{out1} = T(V_{in1})$$

$$V_{out2} = T(V_{in2})$$

亚稳态，非有效的逻辑信号，但满足回路方程



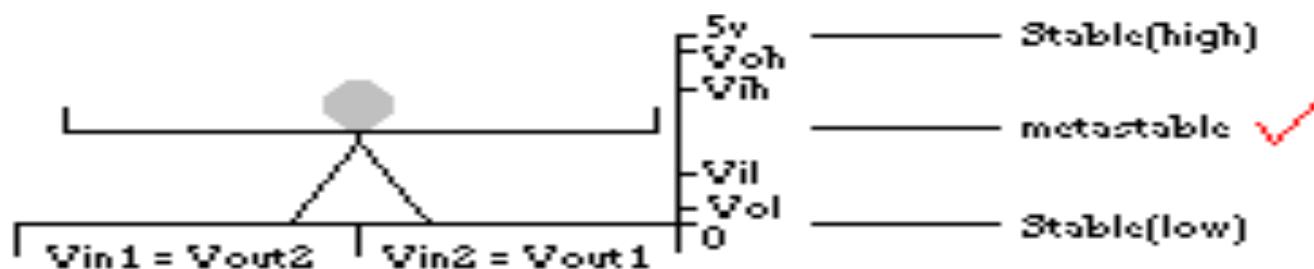
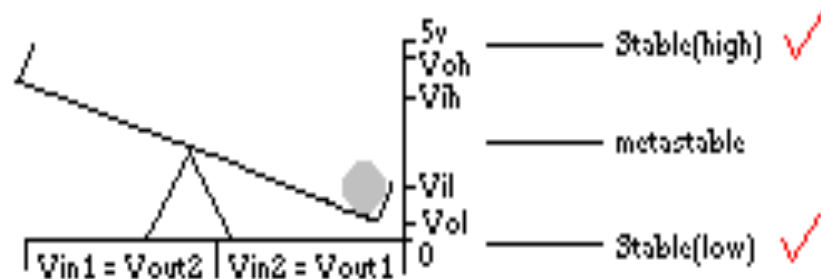
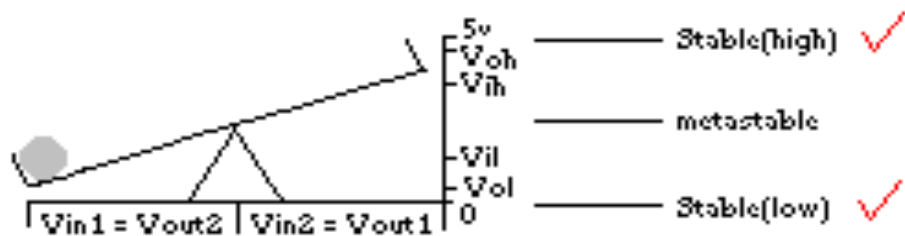
亚稳态特性



- 球正好在山顶
- 球在山脚，需要踢到另一边



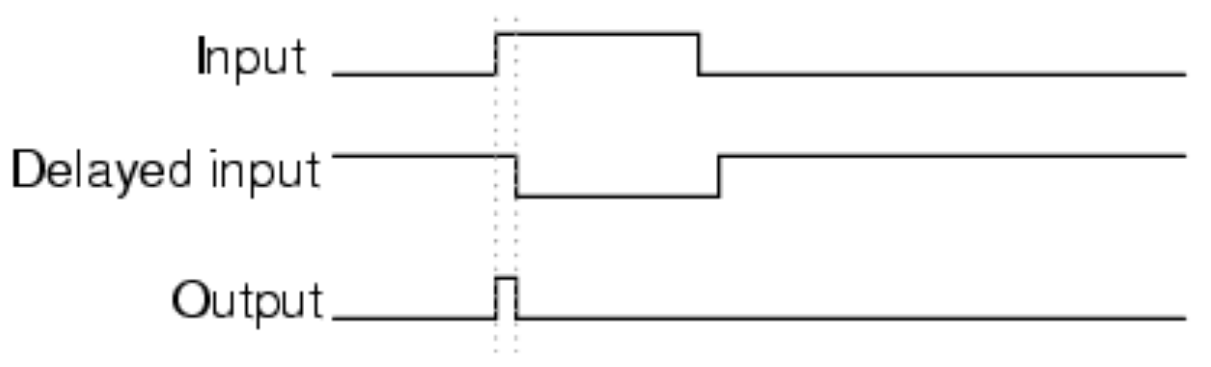
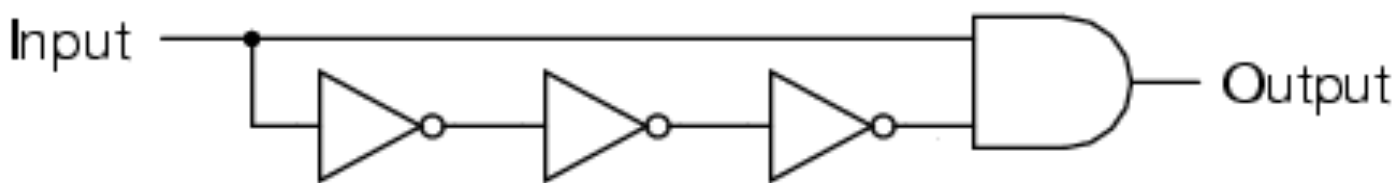
亚稳态特性



- 任何时序电路都存在亚稳态现象
 - 开机：存在亚稳态
 - 工作：外部激励必须满足最短时间要求, 才能生效, 否则...

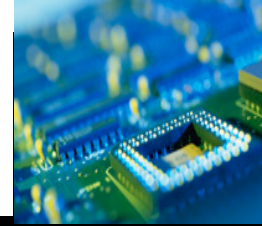


说说单稳态(Monostable)





2 锁存器与触发器



- 时序电路的基本构件。
- 都是双稳态元件。
- 锁存器(Latch)
 - 连续地监测其输入，并且独立于时钟信号而在任何时候都可以改变输出
- 触发器(Flip-Flop)
 - 连续地监测输入信号，并只在**时钟信号**所确定的时刻改变其输出
 - 同步(Synchronous): 与时钟信号同步



锁存器



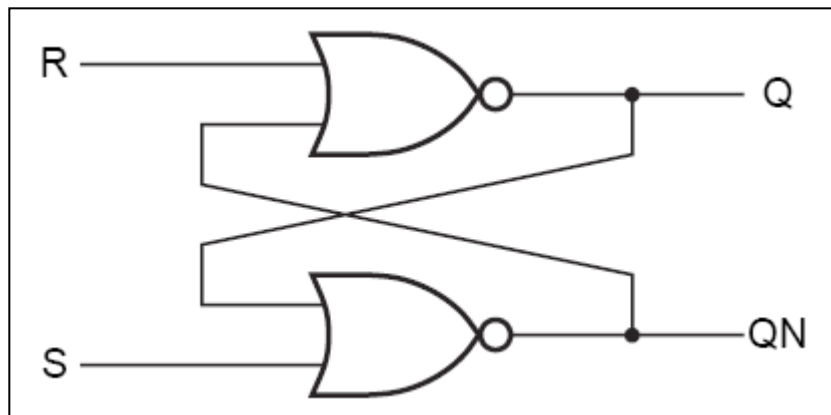
1. RS (Reset-Set) 锁存器
2. $\overline{R} - \overline{S}$ 锁存器
3. 具有使能端的RS锁存器
4. D锁存器



RS锁存器及典型操作



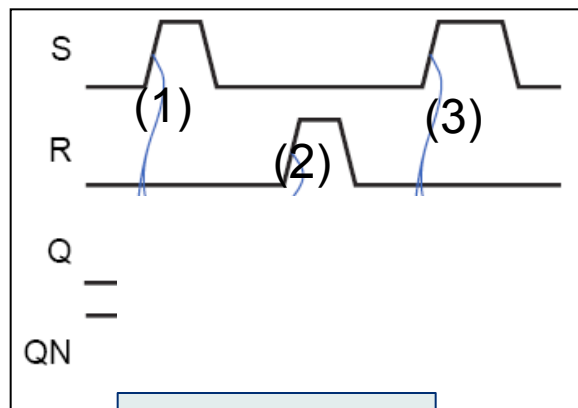
或非门构成的RS锁存器，有两个输入R、S，两个输出Q、QN。



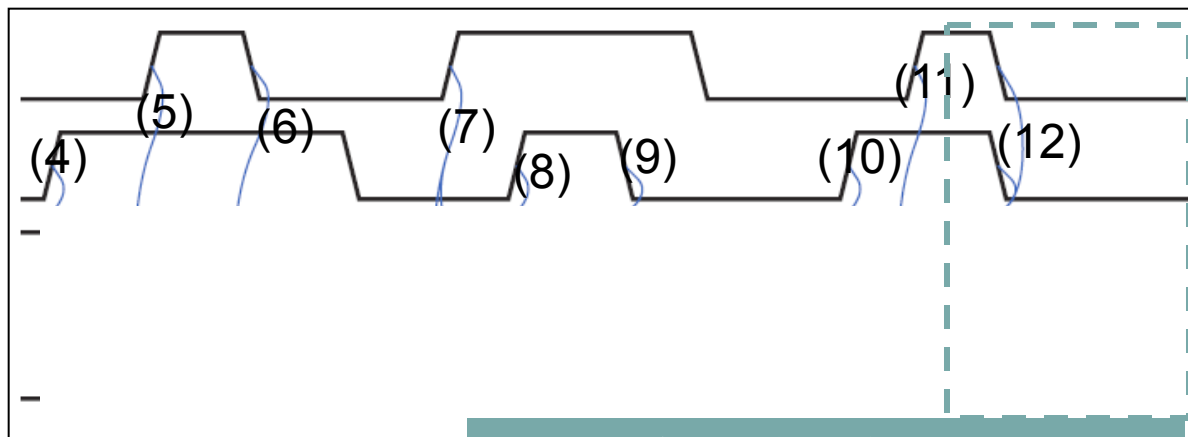
S	R	Q	QN
0	0		
0	1		
1	0		
1	1		

S进行置位set, 使得Q输出1

R进行复位reset, 使得Q输出0



RS正常输入



RS同时起作用

R和S不能同时取消, 否则会导致震荡状态或亚稳态。

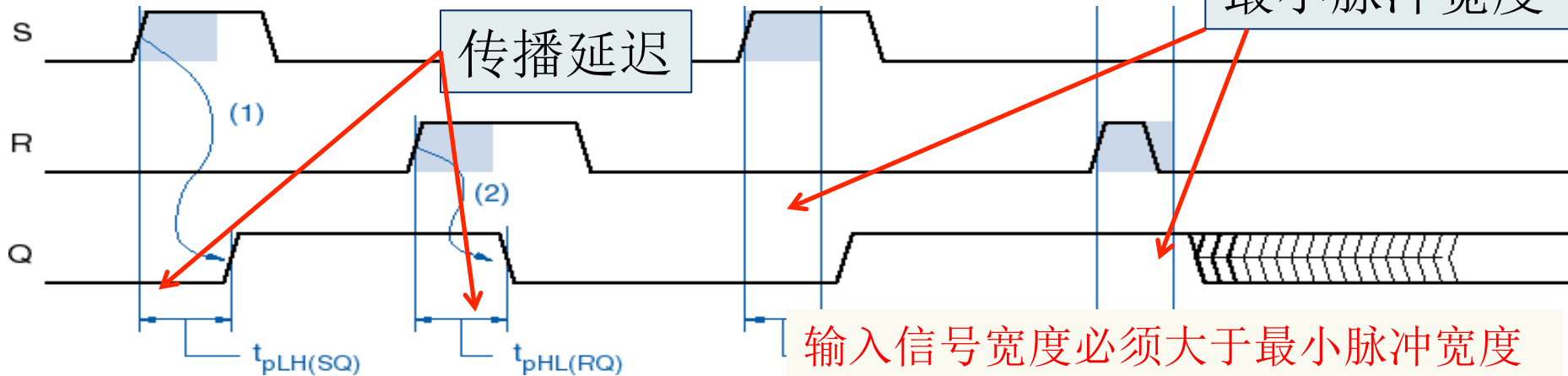
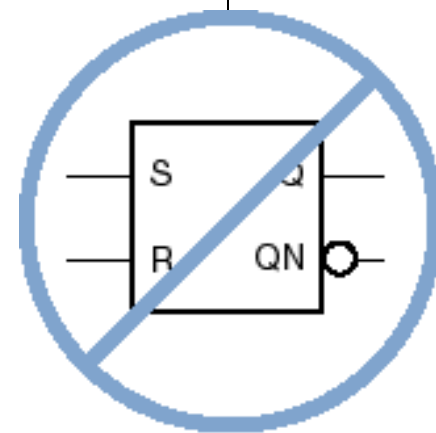
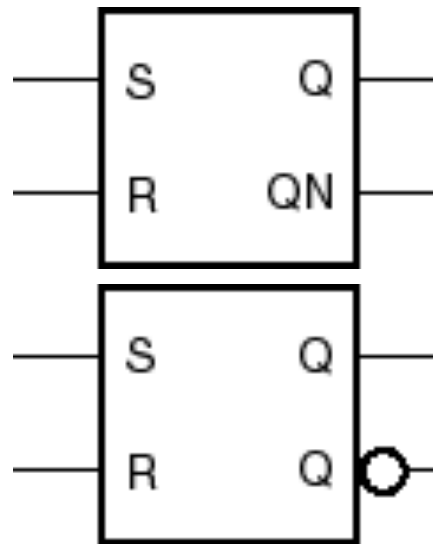


RS锁存器时间参数

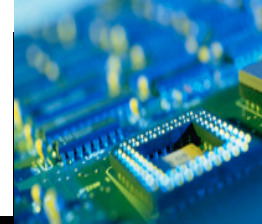


新状态
外输入RS

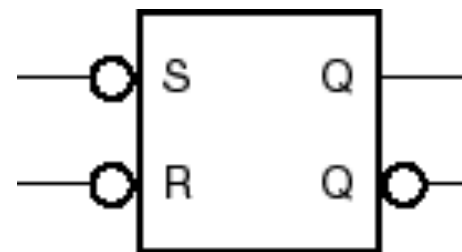
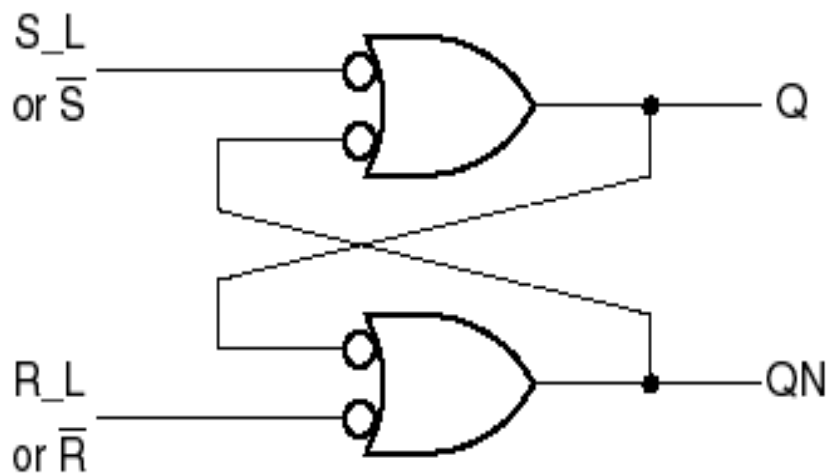
原状态 \ 外输入RS	00	01	11	10
00	00	10	00	01
01	01	10	00	01
11	11	10	00	01
10	10	10	00	01



$\overline{R}-\overline{S}$ 锁存器



R非S非锁存器：低态有效的置位和复位，可以用与非门实现。



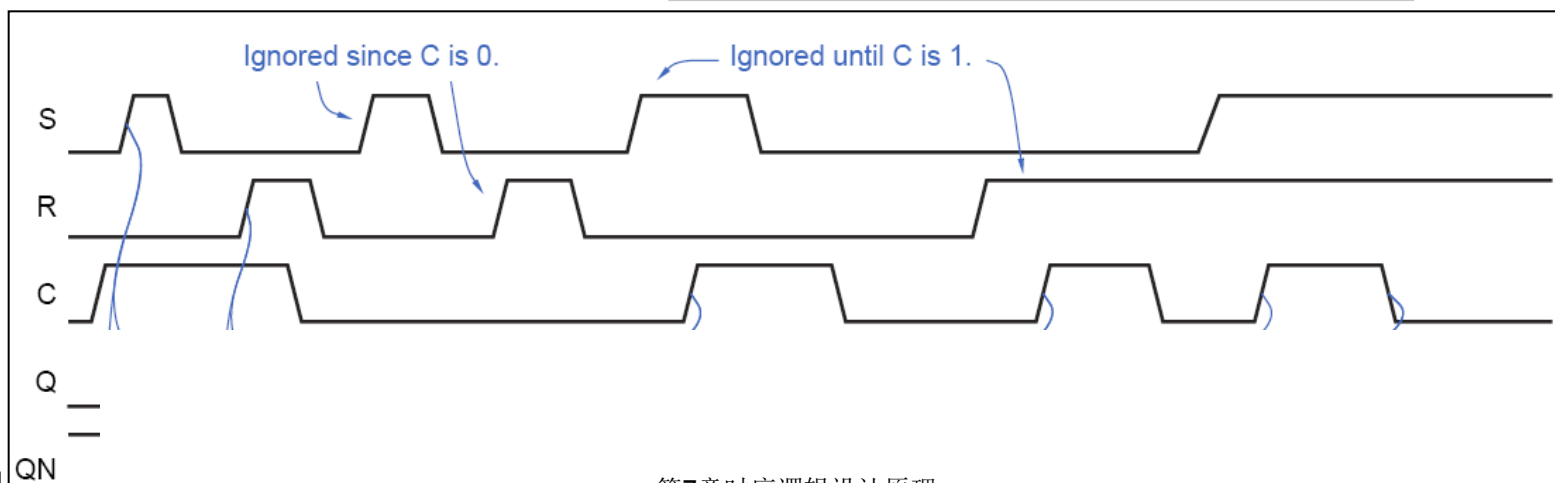
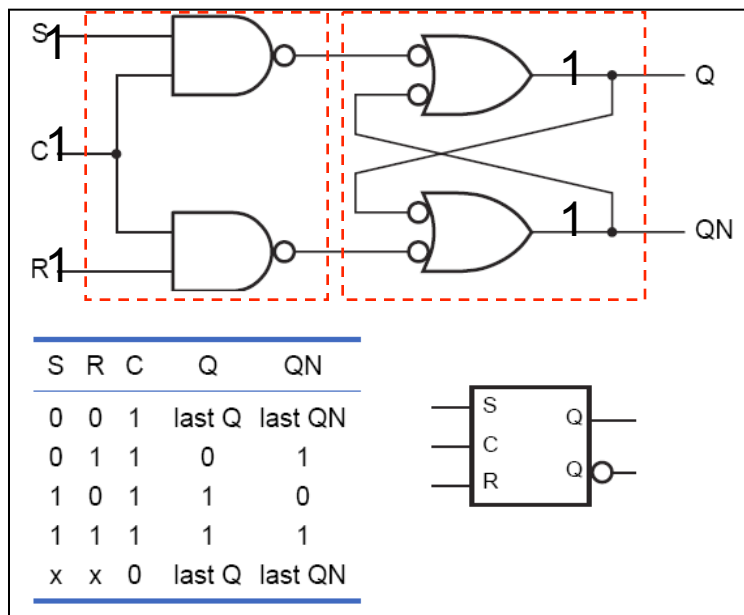
S_L	R_L	Q	Q \bar{N}
0	0	1	1
0	1	1	0
1	0	0	1
1	1	last Q	last Q \bar{N}



具有使能端的RS锁存器



- S-R Latch with Enable, 带使能端的RS锁存器(RS锁存器)
- 受使能信号控制, C 为写入条件或指令

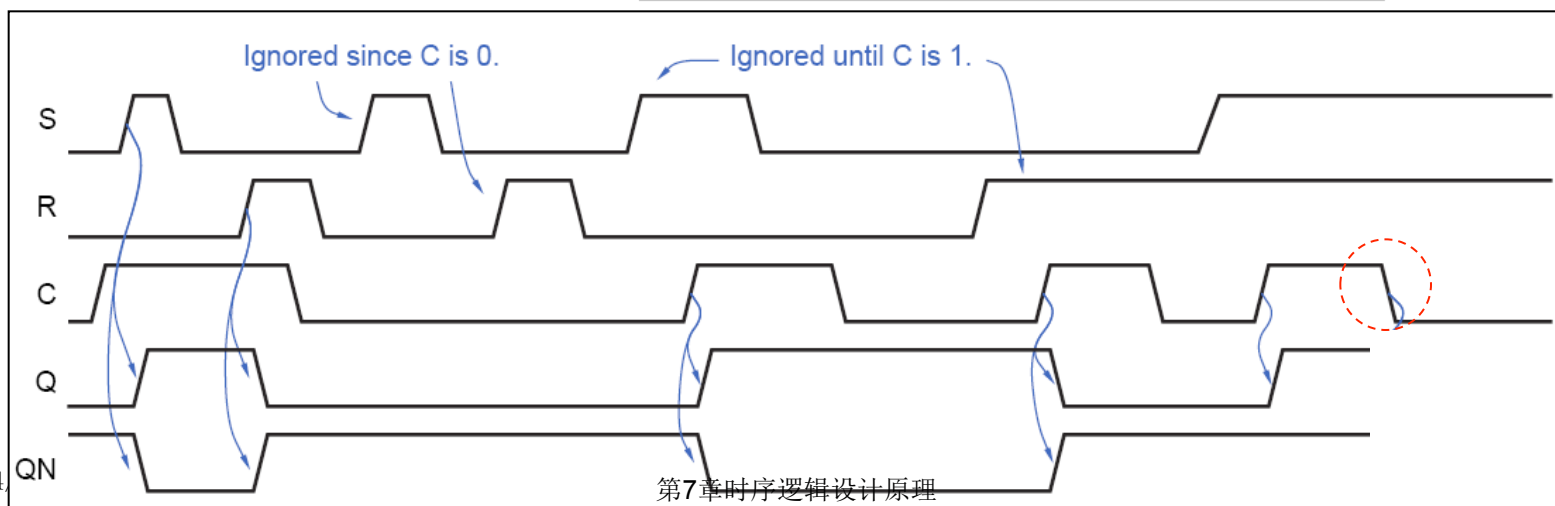
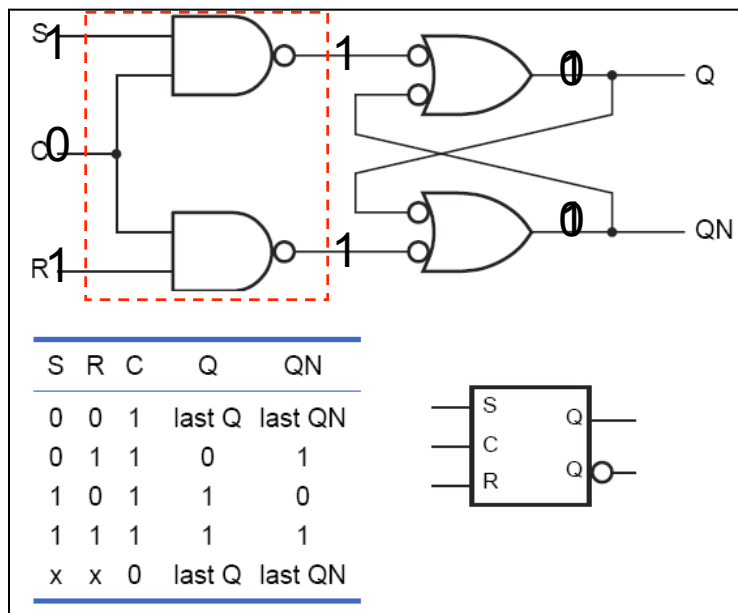




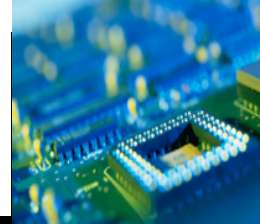
具有使能端的RS锁存器



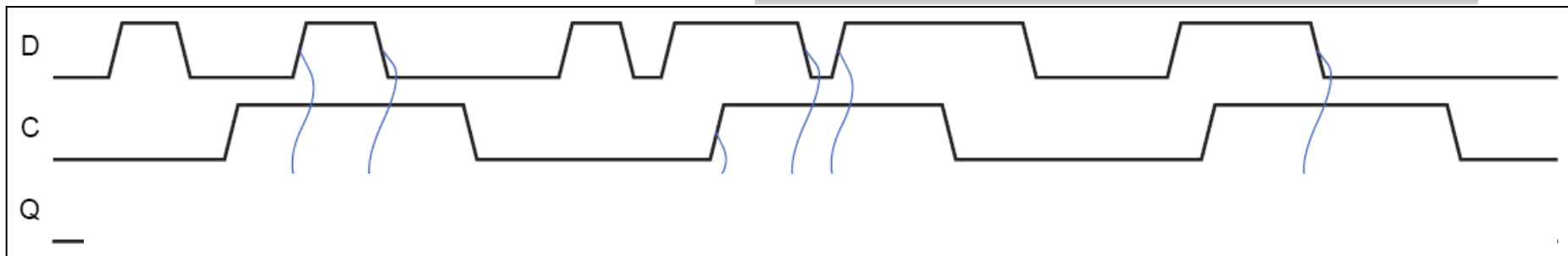
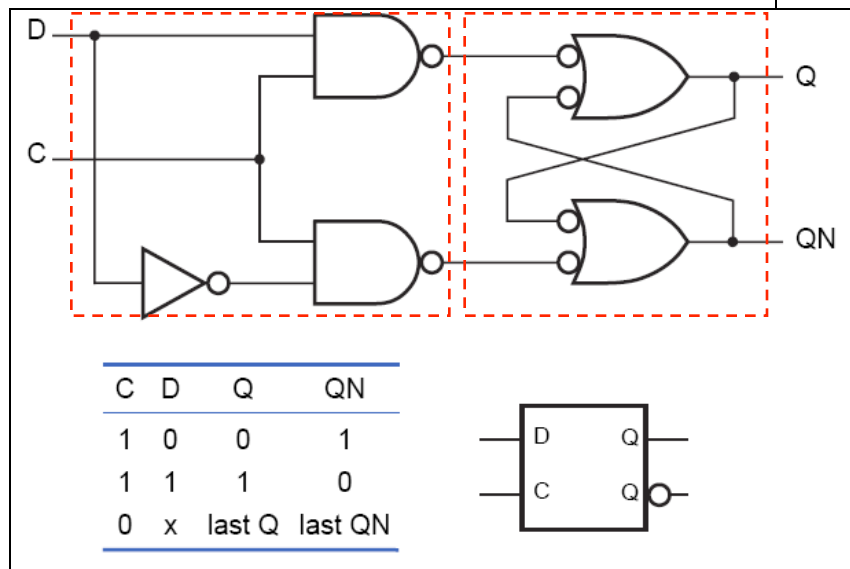
- S-R Latch with Enable, 带使能端的RS锁存器(RS锁存器)
- 受使能信号控制, C为写入条件或指令



D锁存器



- 数据经**非门**产生一对互补信号，D型锁存器(D Latch)
- C：控制输入端，亦称**ENABLE,CLK或G端**，提出最小脉冲宽度。



- C有效时，Q输出与D输入一致，锁存器打开，从输入到输出的通道时透明的
- C无效时，锁存器关闭，Q保持上一次的值

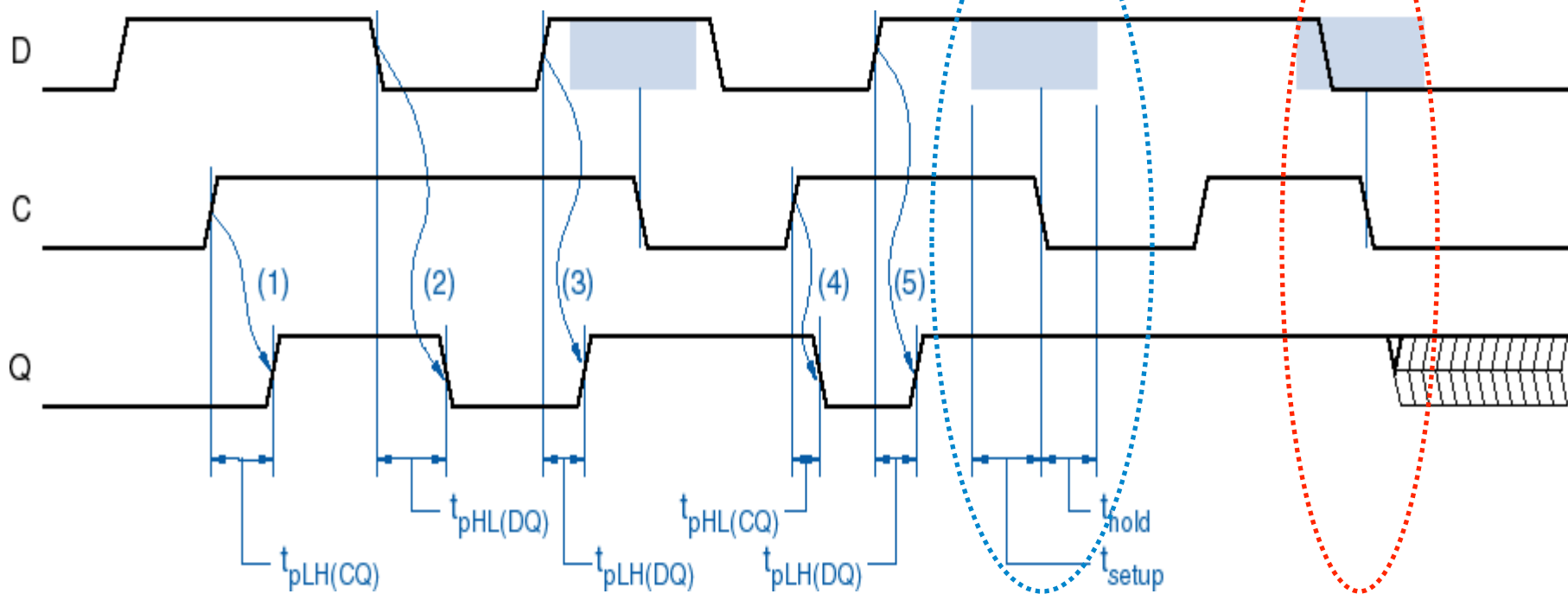


D锁存器时间参数



● D Latch: Transparent Latch

- 建立时间(**Set-up time**)
- 保持时间(**Hold time**)
- 需满足 t_{setup} 和 t_{hold} 的要求





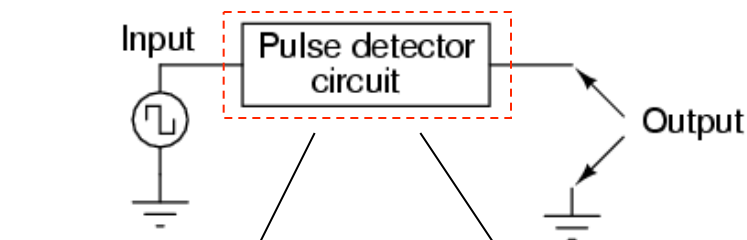
锁存器与触发器



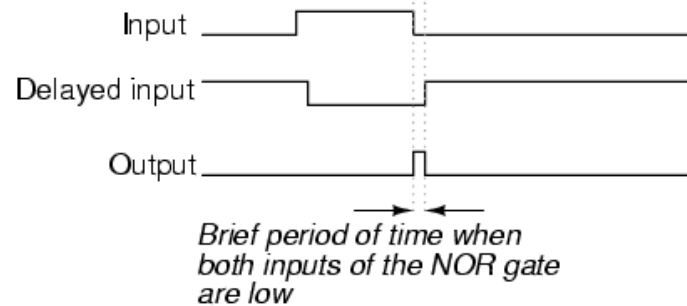
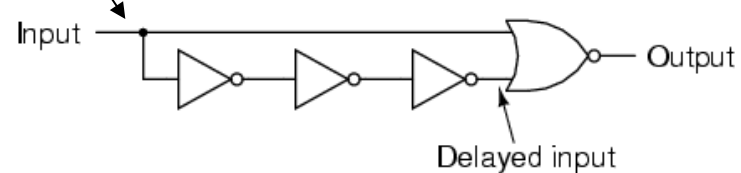
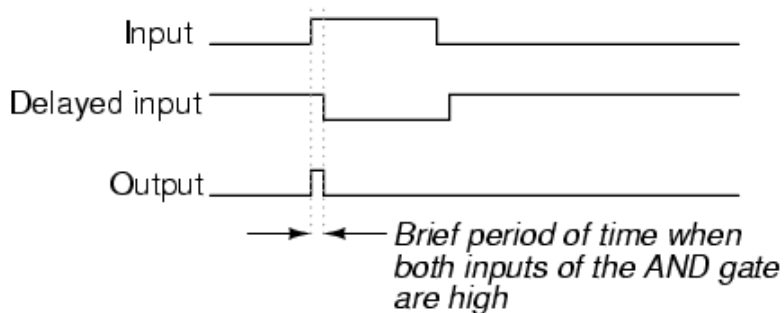
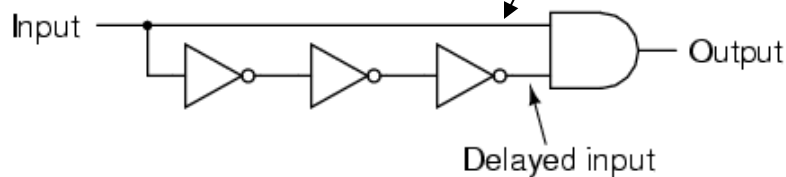
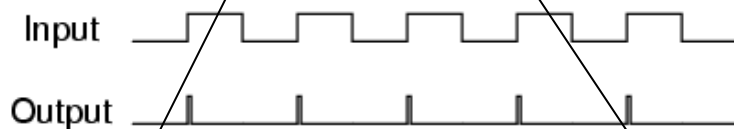
- 都是双稳态元件
- 锁存器(Latch)
 - 连续地监测其输入，并且独立于时钟信号而在任何时候都可以改变输出
- 触发器(Flip-flop)
 - 连续地监测输入信号，并只在时钟信号（变化的一瞬间）所确定的时刻改变其输出
 - 同步(Synchronous): 与时钟信号同步



如何实现边沿触发？

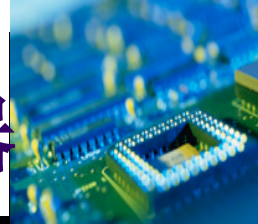


脉冲检测电路



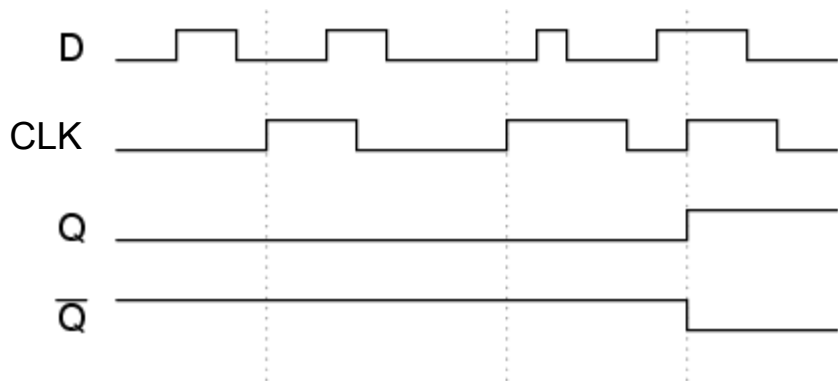
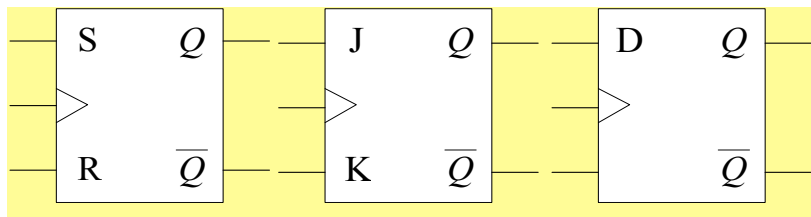


边沿触发式(Edge Triggered)触发器

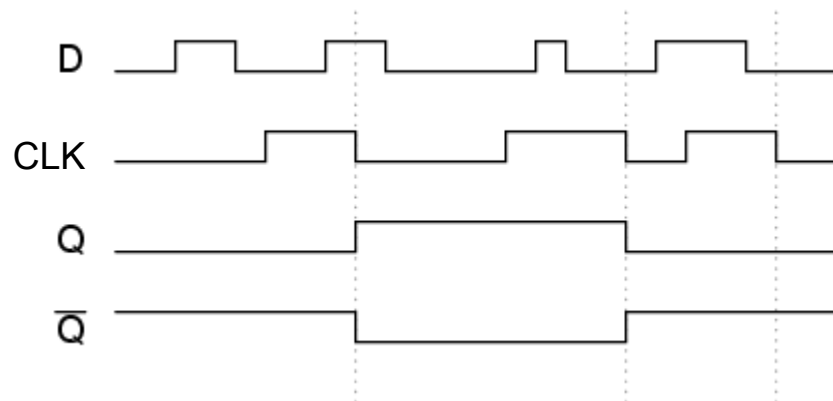
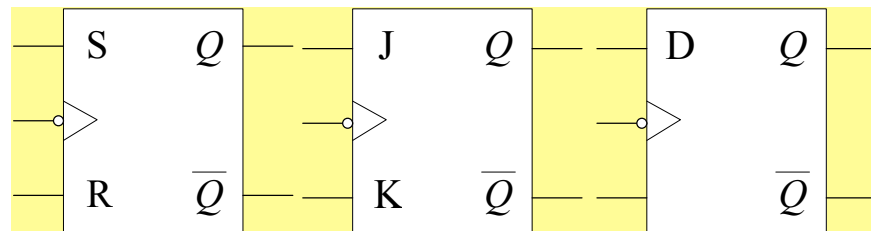


- 只在时钟信号的上升沿或者下降沿改变状态

• 上升沿触发

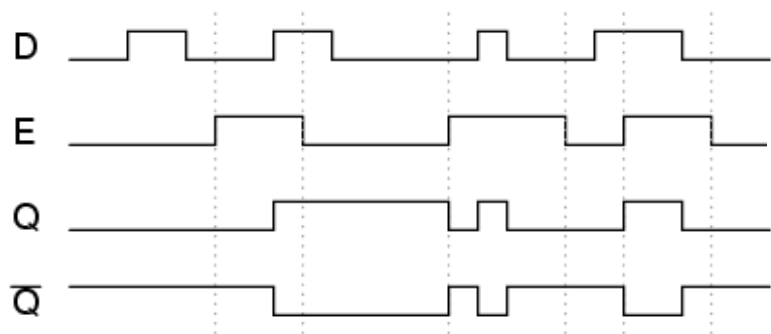


• 下降沿触发

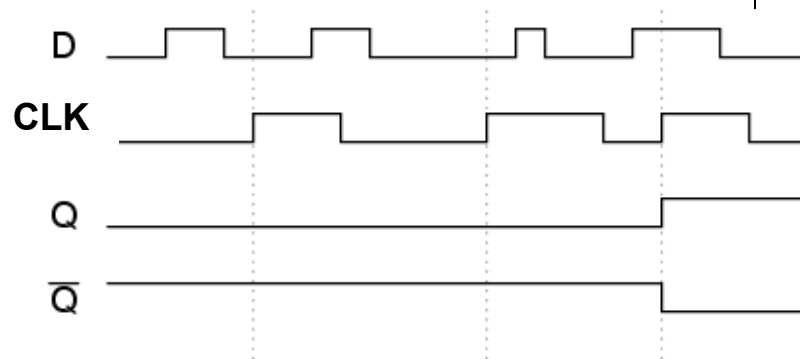




触发器和锁存器再比较



D锁存器



上升沿触发的D触发器

□ 锁存器(Latch)

- 连续地监测其输入，并且独立于时钟信号而在任何时候都可以改变输出

□ 触发器(Flip-flop)

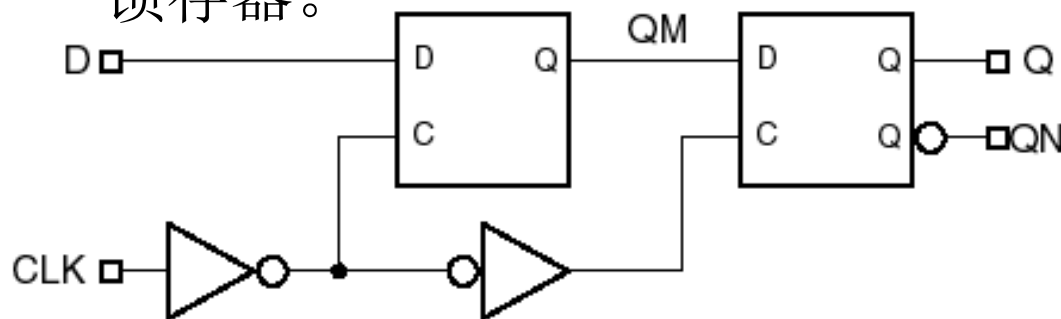
- 连续地监测输入信号，并只在时钟信号所确定的时刻改变其输出
- 同步(Synchronous): 与时钟信号同步



主从D触发器——边沿D触发器

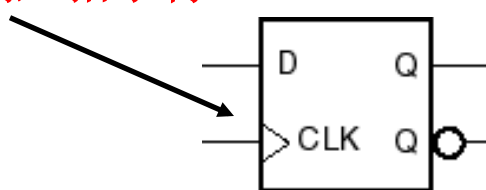


- 正边沿D触发器：一对D锁存器构成
- 只在控制时钟上升沿到来的时刻采样D输入信号，并且据此改变Q和QN输出；
- 第1个锁存器称为主(master)锁存器，第2个称为从(slave)锁存器。



D	CLK	Q	QN
0		0	1
1		1	0
x	0	last Q	last QN
x	1	last Q	last QN

动态输入指示符



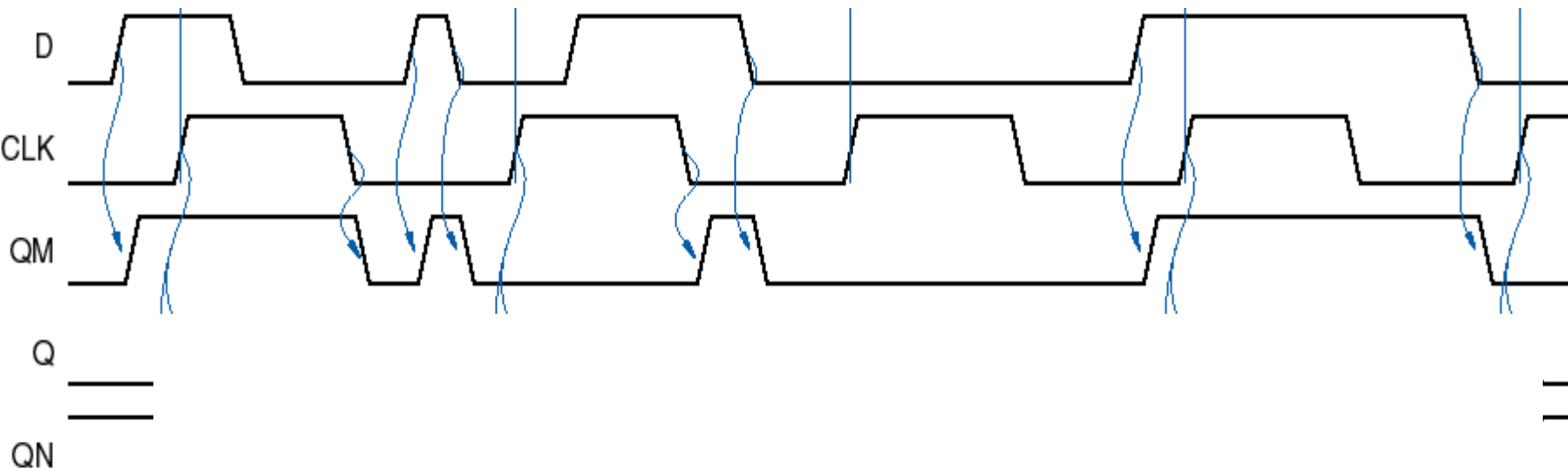
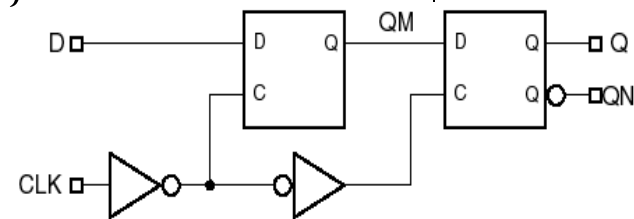
CLK	主锁存器	从锁存器
L	写入	不变
上升沿	锁存	开始写入
H	不变	写入



边沿D触发器功能特性



- CLK为0的区间，QM发生变化；
- CLK为1后，QM的值传给Q。

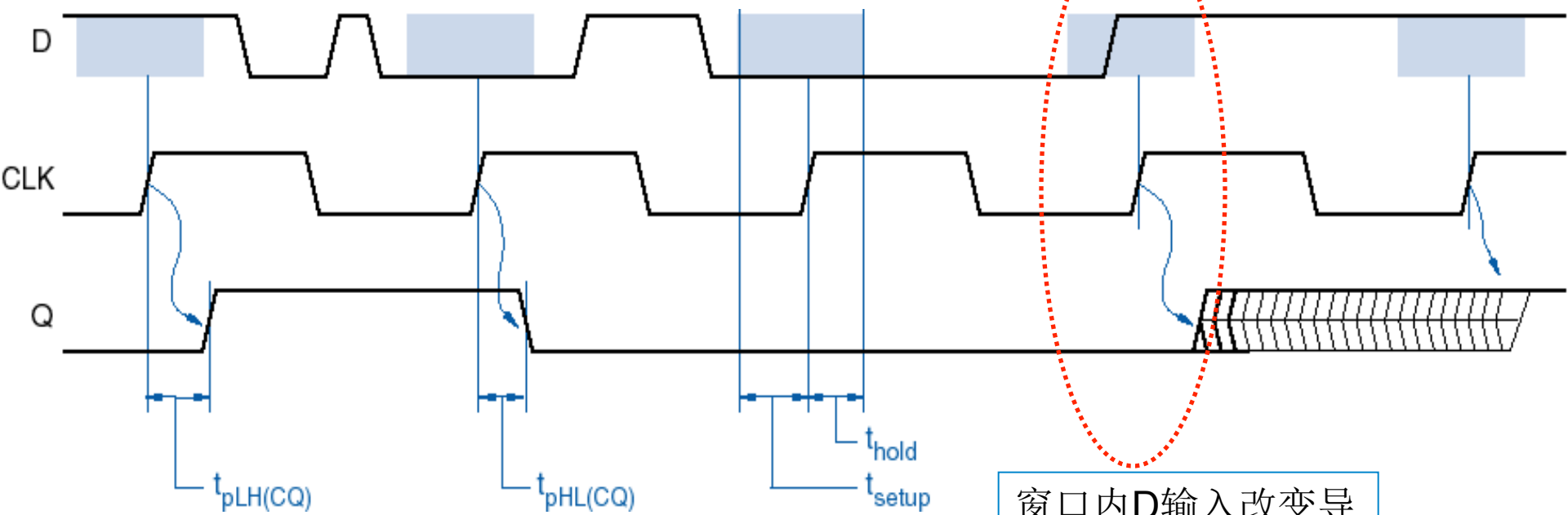
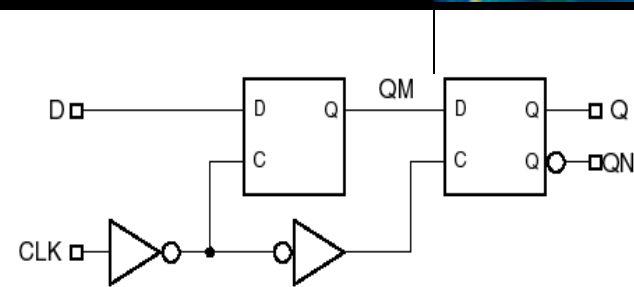




边沿D触发器时间特性



- 传播延迟 (from CLK)
- 建立时间 (D before CLK)
- 保持时间 (D after CLK)



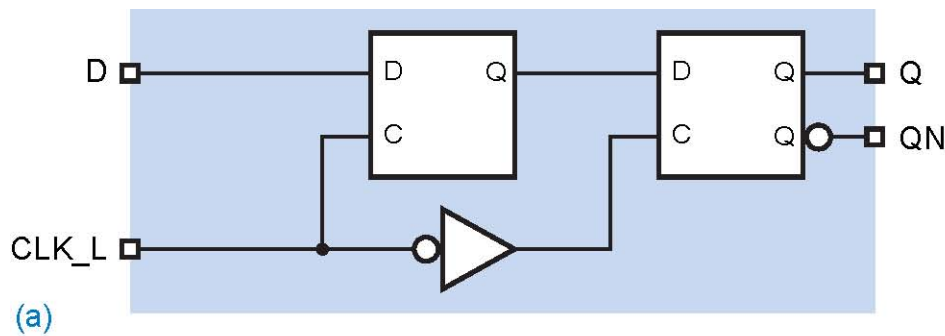
窗口内D输入改变导致输出不可预测



其它的D触发器种类



- 负边沿D触发器Negative-edge triggered

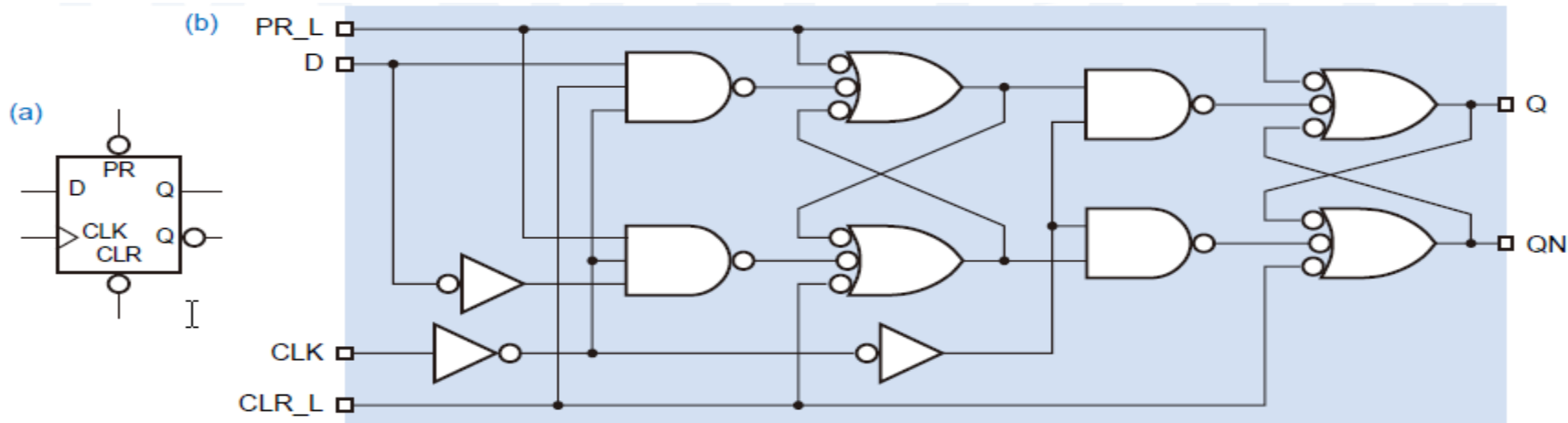


(b)

D	CLK_L	Q	QN
0		0	1
1		1	0
x	0	last Q	last QN
x	1	last Q	last QN

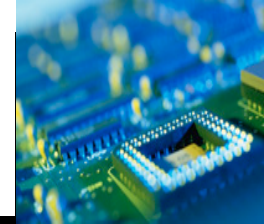
(c)

- 具有预置和清零端的正边沿D触发器

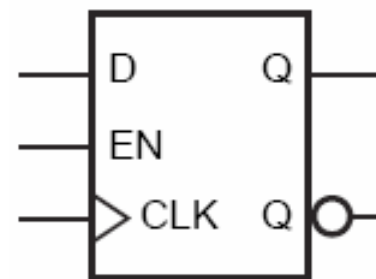
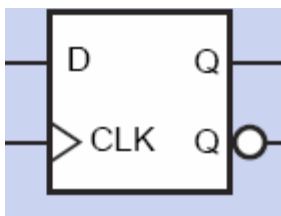




具有使能端的边沿触发式D触发器



- 在时钟边沿能够保持最后一次储存的值。



D	EN	CLK	Q	QN
0	1		0	1
1	1		1	0
x	0		last Q	last QN
x	x	0	last Q	last QN
x	x	1	last Q	last QN

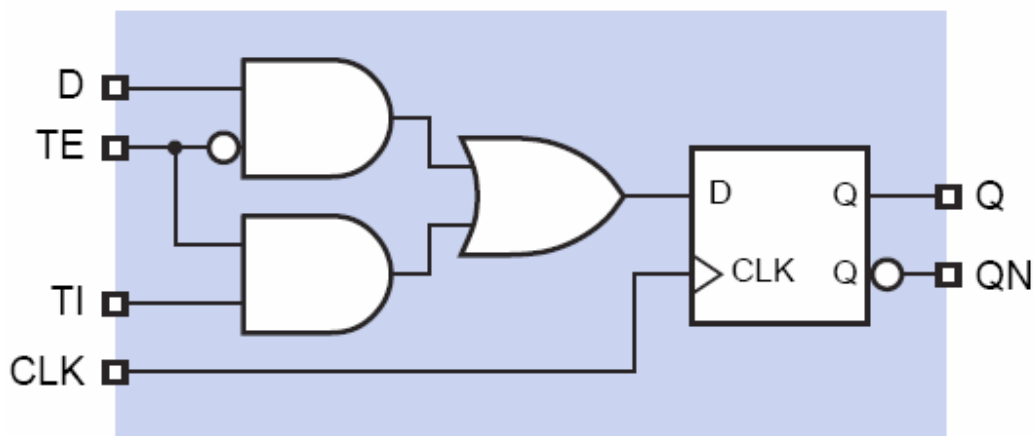
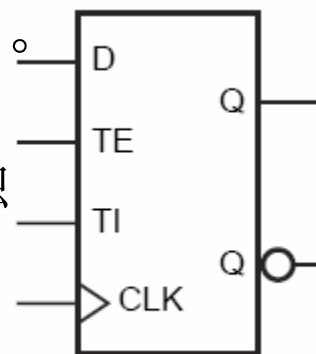


扫描触发器



•扫描触发器除了D输入端以外，还有两个输入端。

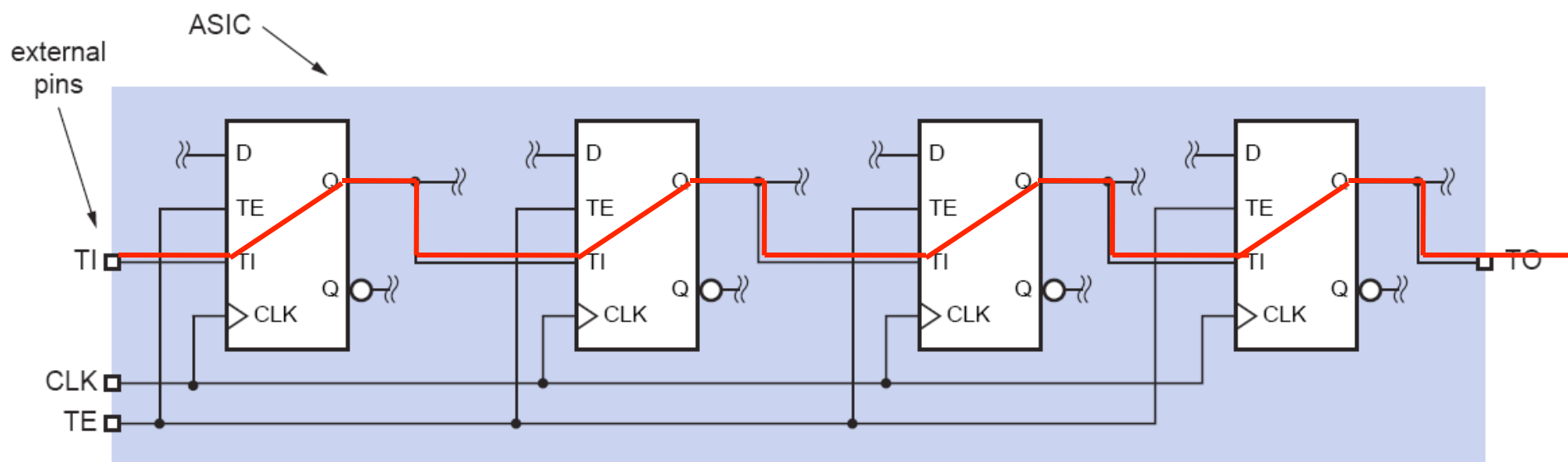
- TI即Test Input，用来输入测试序列（测试向量）。
- TE即Test Enable，用来控制触发器工作状态。
 - TE为0时触发器工作在正常状态，功能和D 触发器一样。
 - TE为1时，触发器工作在测试状态。



TE	TI	D	CLK	Q	QN
0	x	0		0	1
0	x	1		1	0
1	0	x		0	1
1	1	x		1	0
x	x	x	0	last Q	last QN
x	x	x	1	last Q	last QN



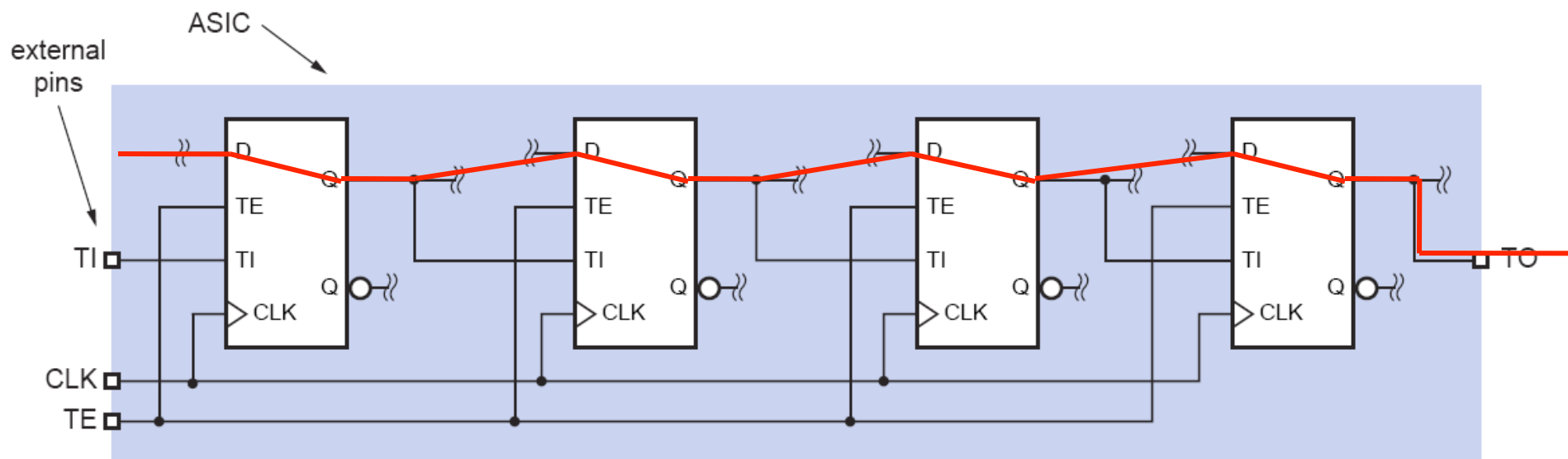
扫描触发器



当TE有效时，D输入被禁止，触发器的数据从TI输入。



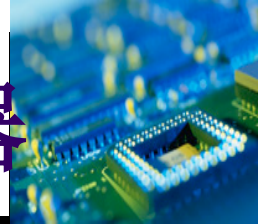
扫描触发器



当TE无效时，电路特性和普通的D触发器没有区别。



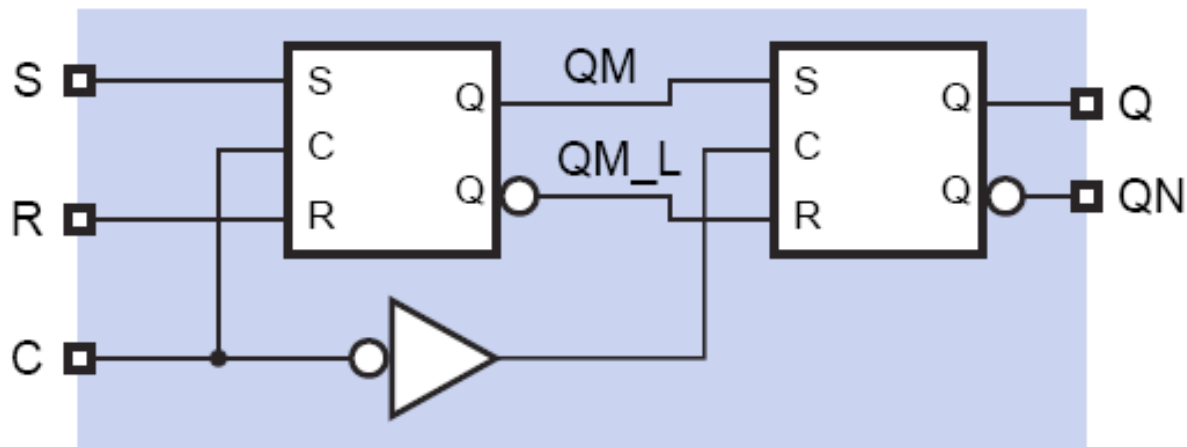
主从式（Master-slave）触发器



- 在时钟脉冲信号高电平期间数据进入触发器，在下降沿输出反映输入的变化
- 主从式触发器也称为脉冲触发型触发器(Pulse Triggered Flip-flops)
 - 为了使得输出能正确地反映输入的变化，要求在时钟脉冲信号为高期间，输入不发生变化。
 - 其特点是数据在第一个边沿锁入触发器，第二个边沿后数据出现在输出端。
- 主从式触发器基本上已经被边沿触发式触发器所取代。

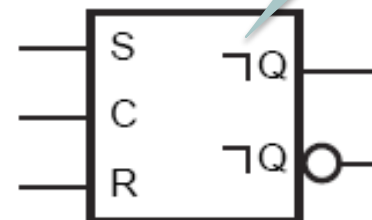


主从式RS触发器



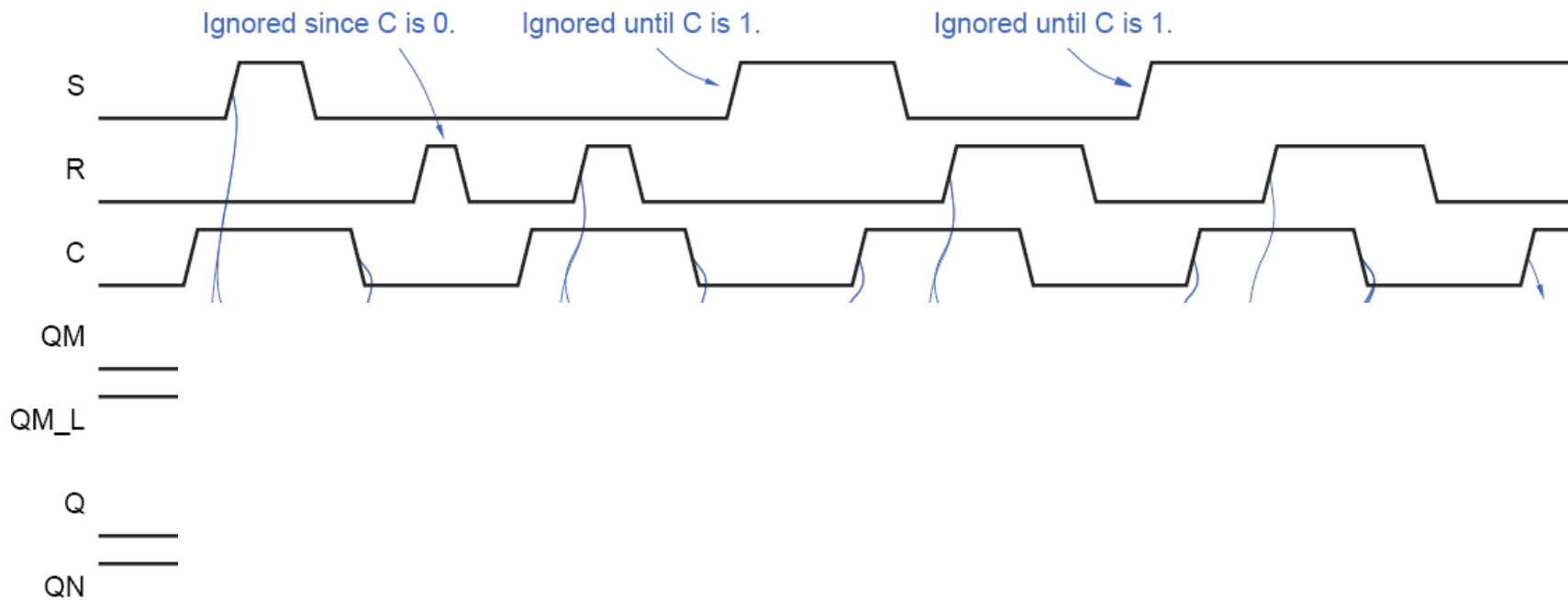
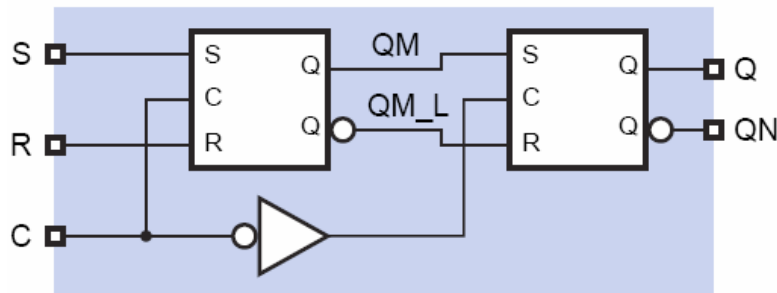
延时
输出

S	R	C	Q	QN
x	x	0	last Q	last QN
0	0		last Q	last QN
0	1		0	1
1	0		1	0
1	1		undef.	undef.





主从式RS触发器

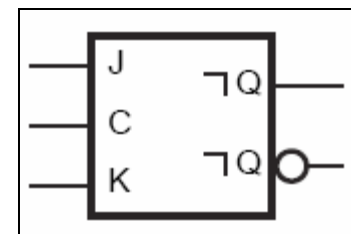
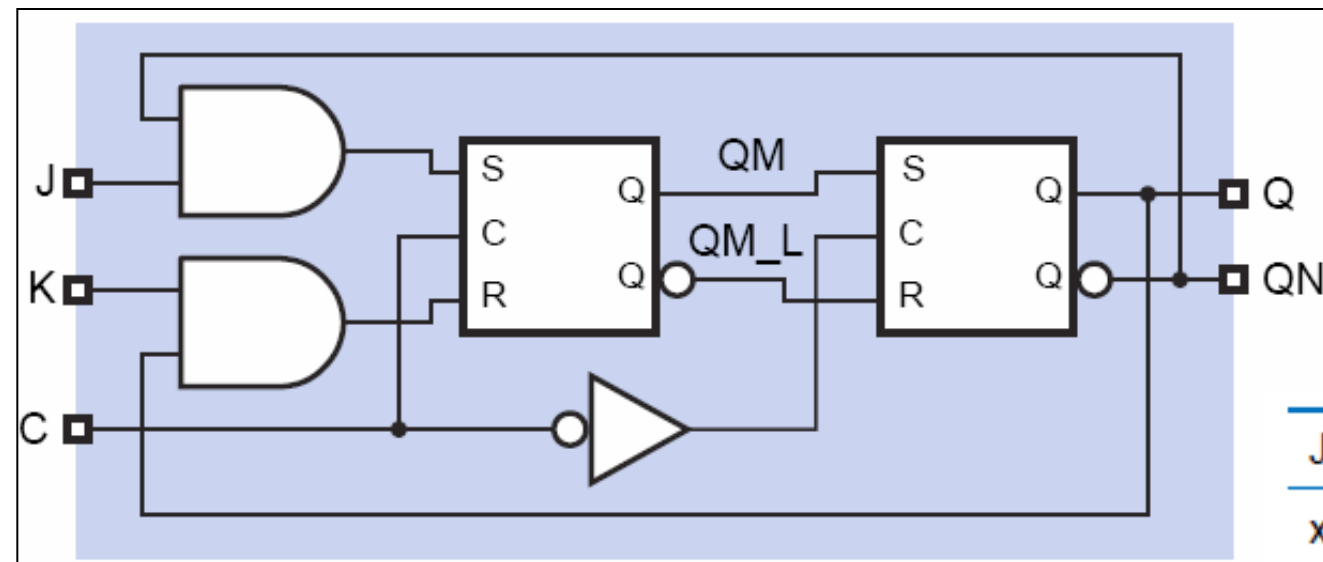




主从式J-K触发器



- 解决RS端同时有效的问题；在JK触发器中,JK同时有效，Q和QN进入与当前状态相反的状态（状态翻转）。



复位/置位/数据保持/数据求反

J	K	C	Q	QN
x	x	0	last Q	last QN
0	0		last Q	last QN
0	1		0	1
1	0		1	0
1	1		last QN	last Q

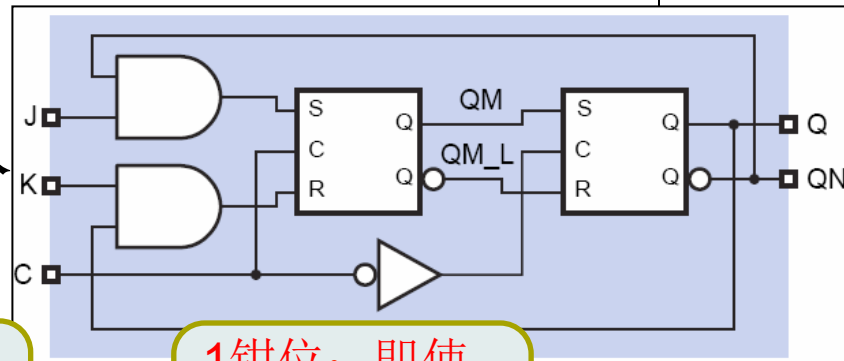


主从式J-K触发器



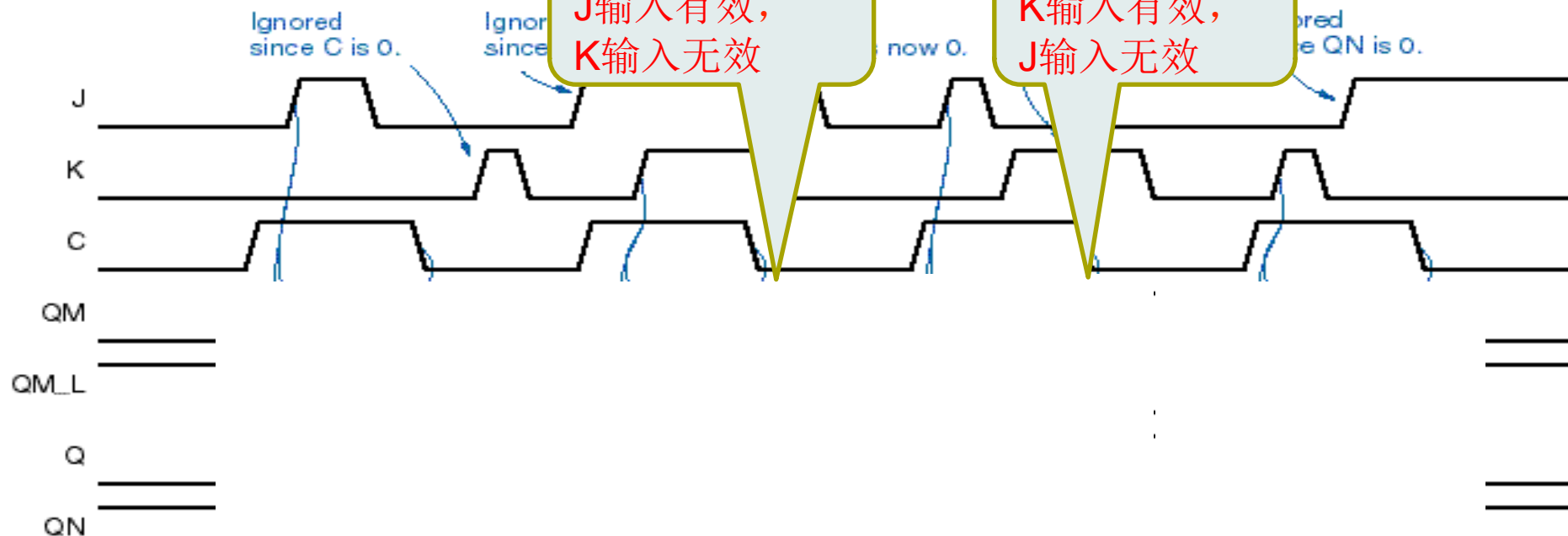
● 特性：

- 在触发脉冲的后沿，JK输入的状态变化可能无效。
- 使用中，尽量保持输入稳定。



0钳位：即使
J输入有效，
K输入无效

1钳位：即使
K输入有效，
J输入无效

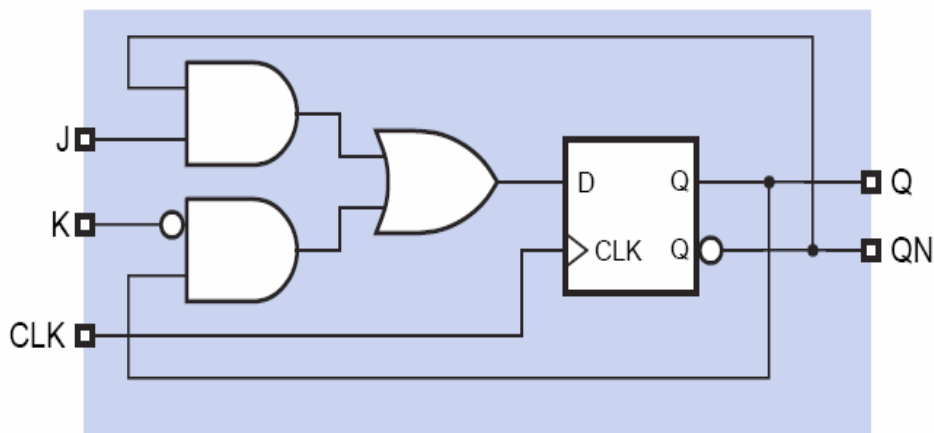




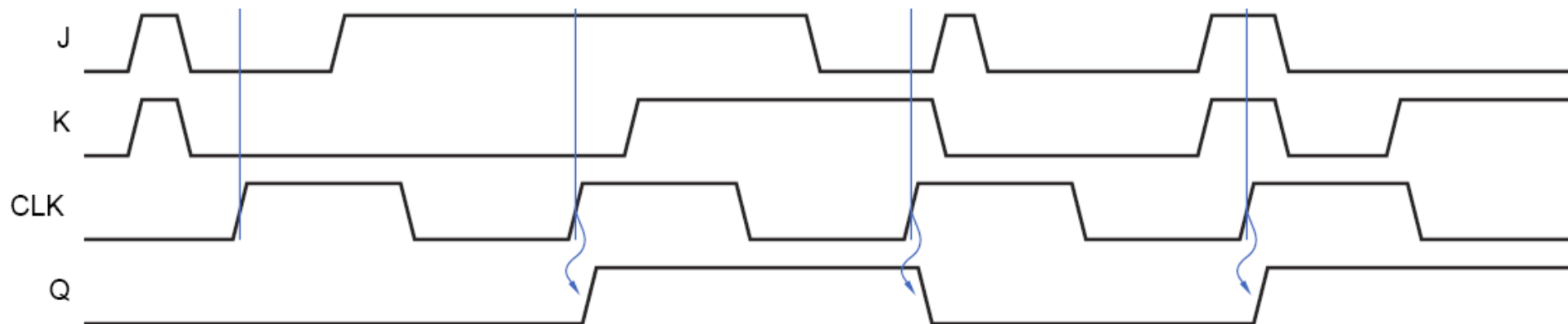
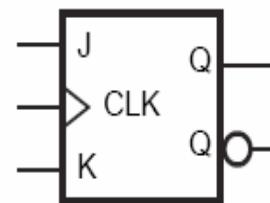
边沿触发式J-K触发器



- 解决主从JK触发器中1和0钳位的问题。
- 在上升沿时采样输入信号。



J	K	CLK	Q	QN
x	x	0	last Q	last QN
x	x	1	last Q	last QN
0	0		last Q	last QN
0	1		0	1
1	0		1	0
1	1		last QN	last Q

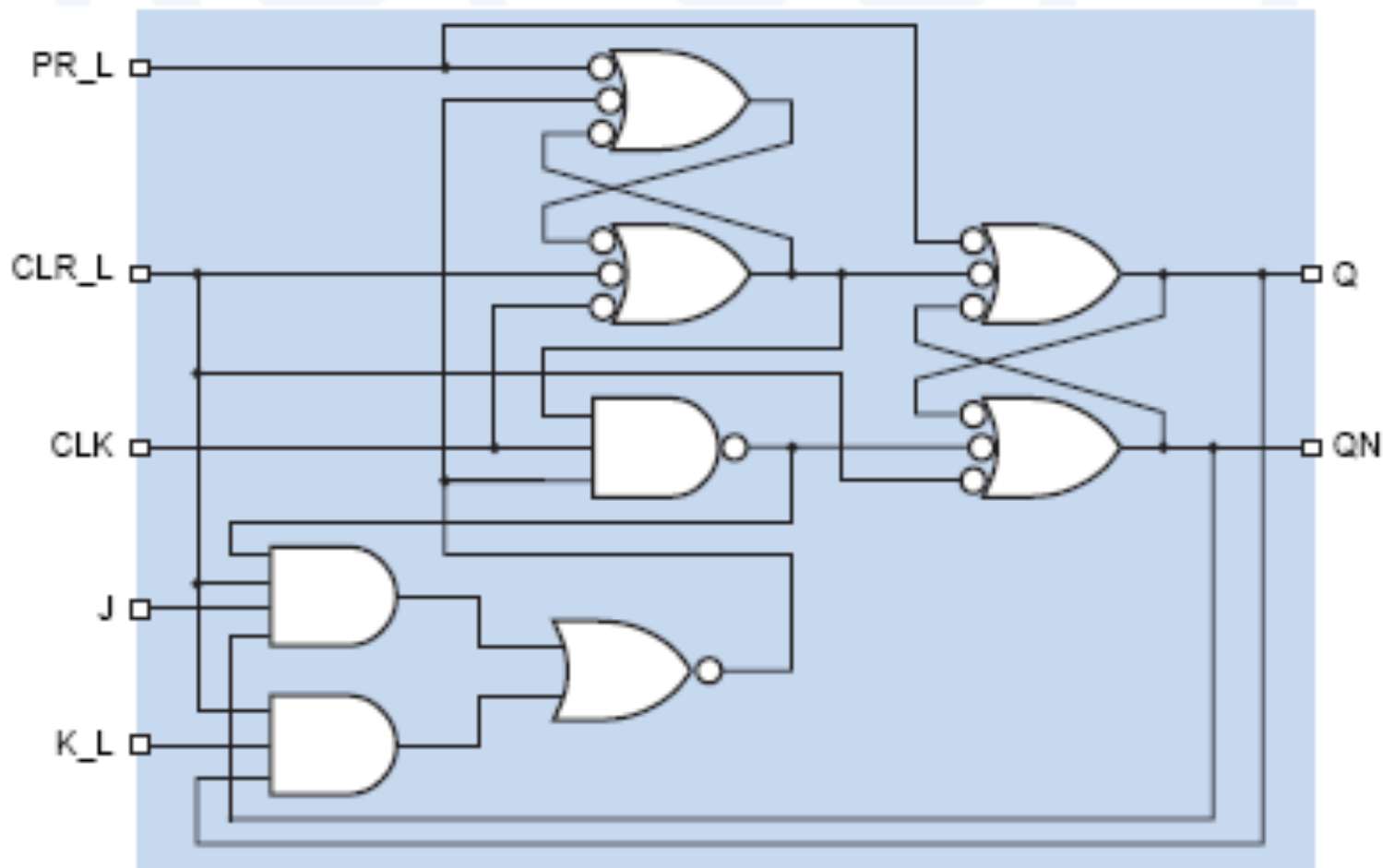




另一种商用的边沿JK触发器



- 74LS109

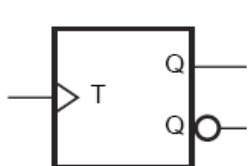
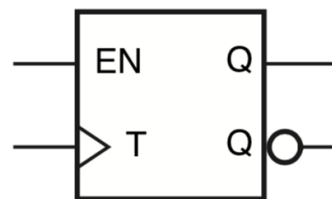




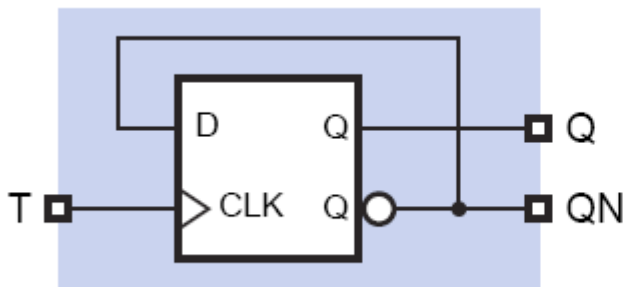
T(Toggle)触发器



- T触发器：在每一个时钟脉冲的有效边沿都会改变状态。
 - 常用在计数器和分频器。
 - 变种：具有使能端的T触发器。

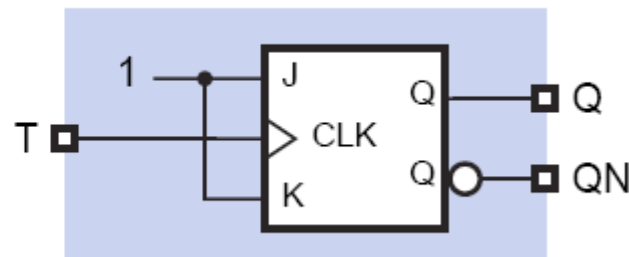


(a)



由D触发器构成

(b)



由JK触发器构成



附：维持-阻塞D触发器

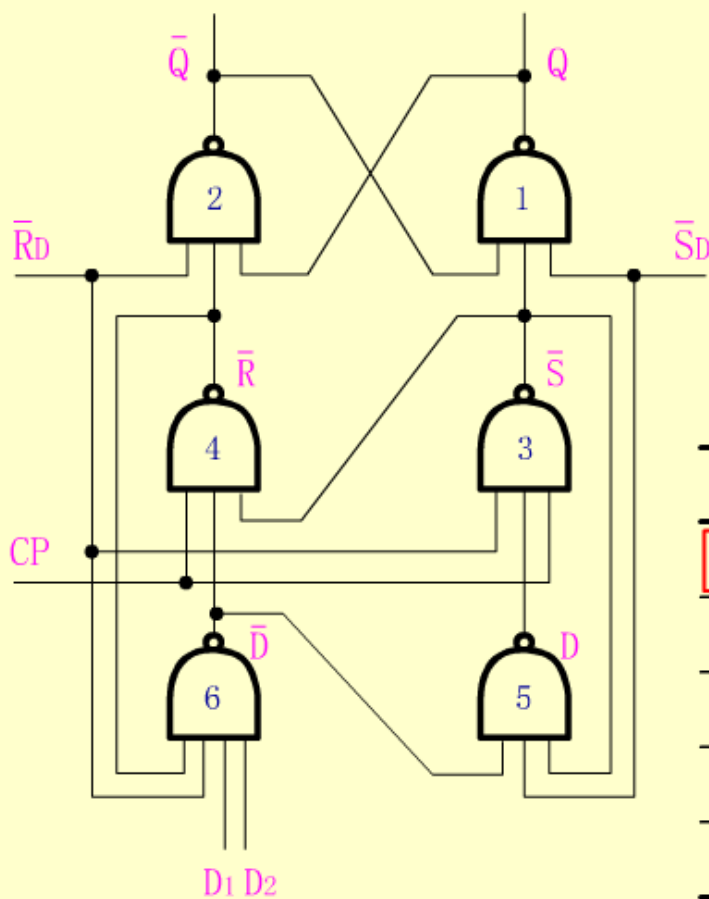


- 逻辑结构

- 正边沿触发的维持-阻塞D触发器见下图所示，它由一个4门的钟控触发器和两个输入信号接收门组成。
- D1、D2是数据输入端，CP是时钟输入端。 S_D 、 R_D 是异步置1、置0端。



维持-阻塞D触发器



功能表

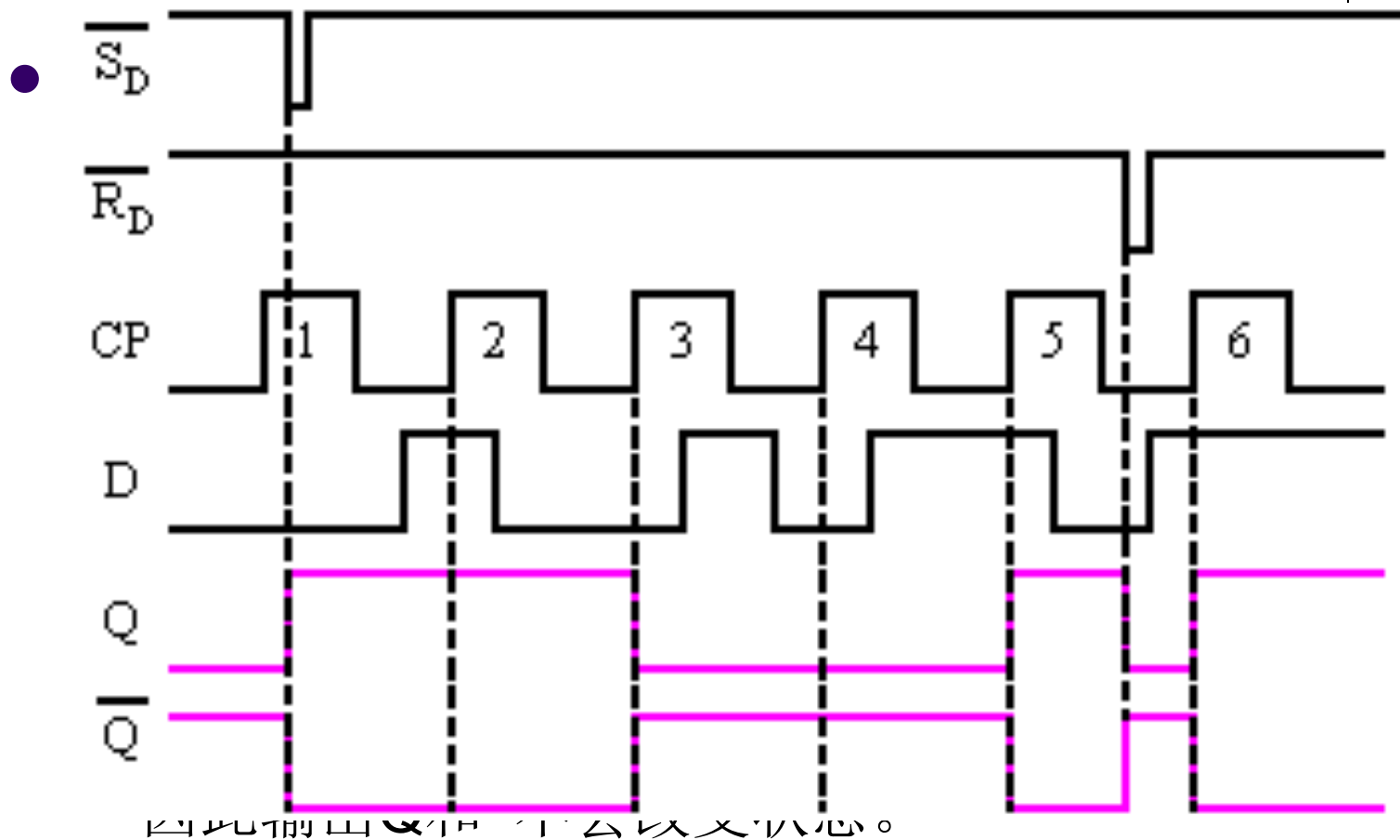
$\overline{S_D}$	$\overline{R_D}$	CP	$D=D_1 \cdot D_2$	Q	\overline{Q}
0	1	×	×	1	0
1	0	×	×	0	1
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	0	×	Q^n	\overline{Q}^n

维持阻塞D触发器



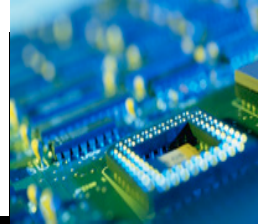


维持-阻塞D触发器





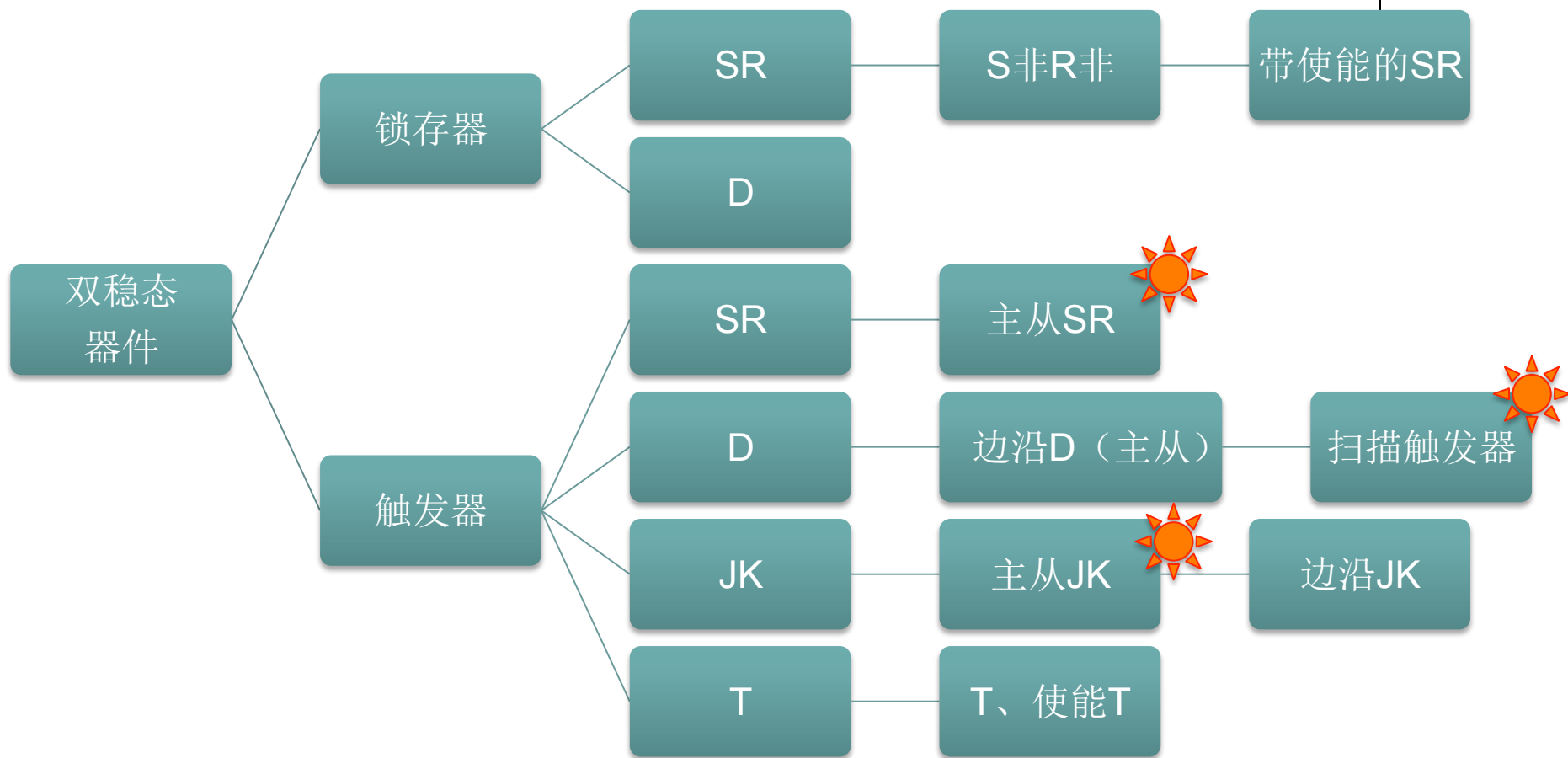
JK触发器（Vs D触发器）



- 功能：复位/置位/数据保持/数据求反
- SSI和MSI设计初期，简化激励函数使JK触发器受重视
 - PLD设计中： 需要为J、K两端分别提供单独的组合逻辑，即两个“与-或”阵列
 - ASIC设计中： D触发器7个门，JK触发器占用9个门，比D触发器多占用25%芯片面积
- PLD和ASIC设计中，大量使用D触发器，特殊情况下使用JK触发器



锁存器、触发器汇总





锁存器和触发器的描述



- 锁存器和触发器虽然工作特性差异很大、但从电路的功能设计来说，更多地关注其状态的变迁。
- 锁存器和触发器的描述
 - 电路图
 - 功能表
 - 逻辑符号
 - 特征方程
 - 状态图

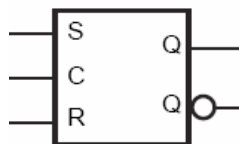


特征方程



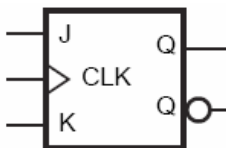
- 锁存器或触发器的功能特性采用特征方程进行形式描述

SR锁存器



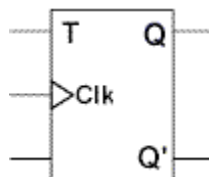
$$Q^{n+1} = S + \overline{R} \cdot Q^n$$

JK触发器



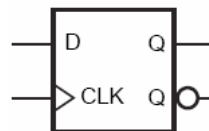
$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

T触发器



$$Q^{n+1} = \overline{Q}^n$$

D触发器



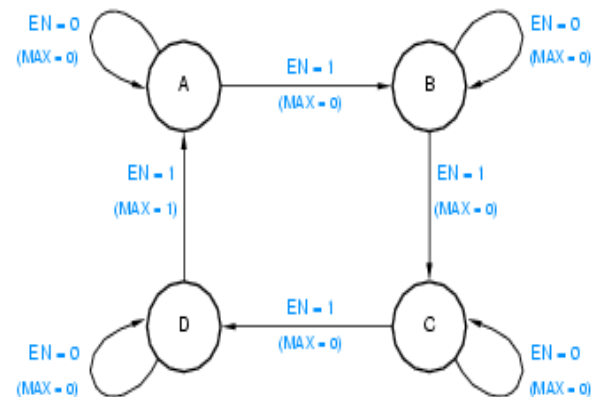
$$Q^{n+1} = D$$



状态转移图(State Diagram)



- 用来描述电路状态，也可以对现实世界中任何有状态的事物进行建模
 - 列举出该事物所有可能的状态，每个状态用一个圈表示
 - 状态之间可以相互转换。状态转换用带箭头的弧线表示。
 - 在弧线上标明状态发生变化的条件（即系统的输入）。也可以标明该状态转移导致的结果（输出）。

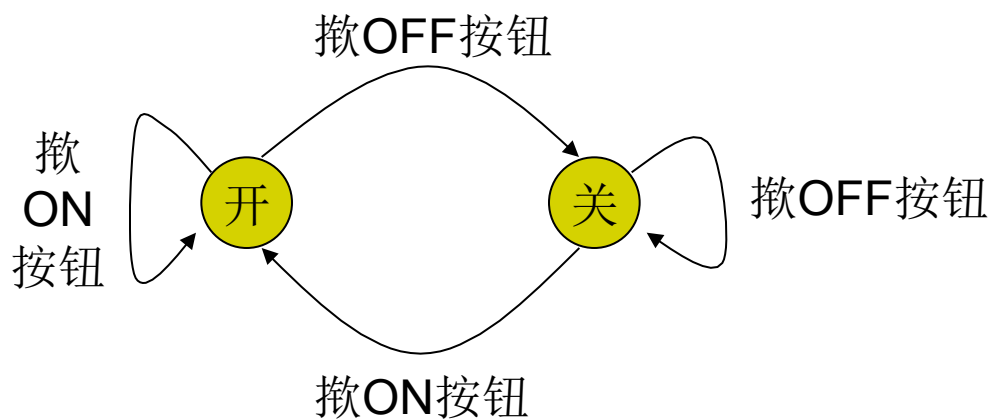




状态转移图举例

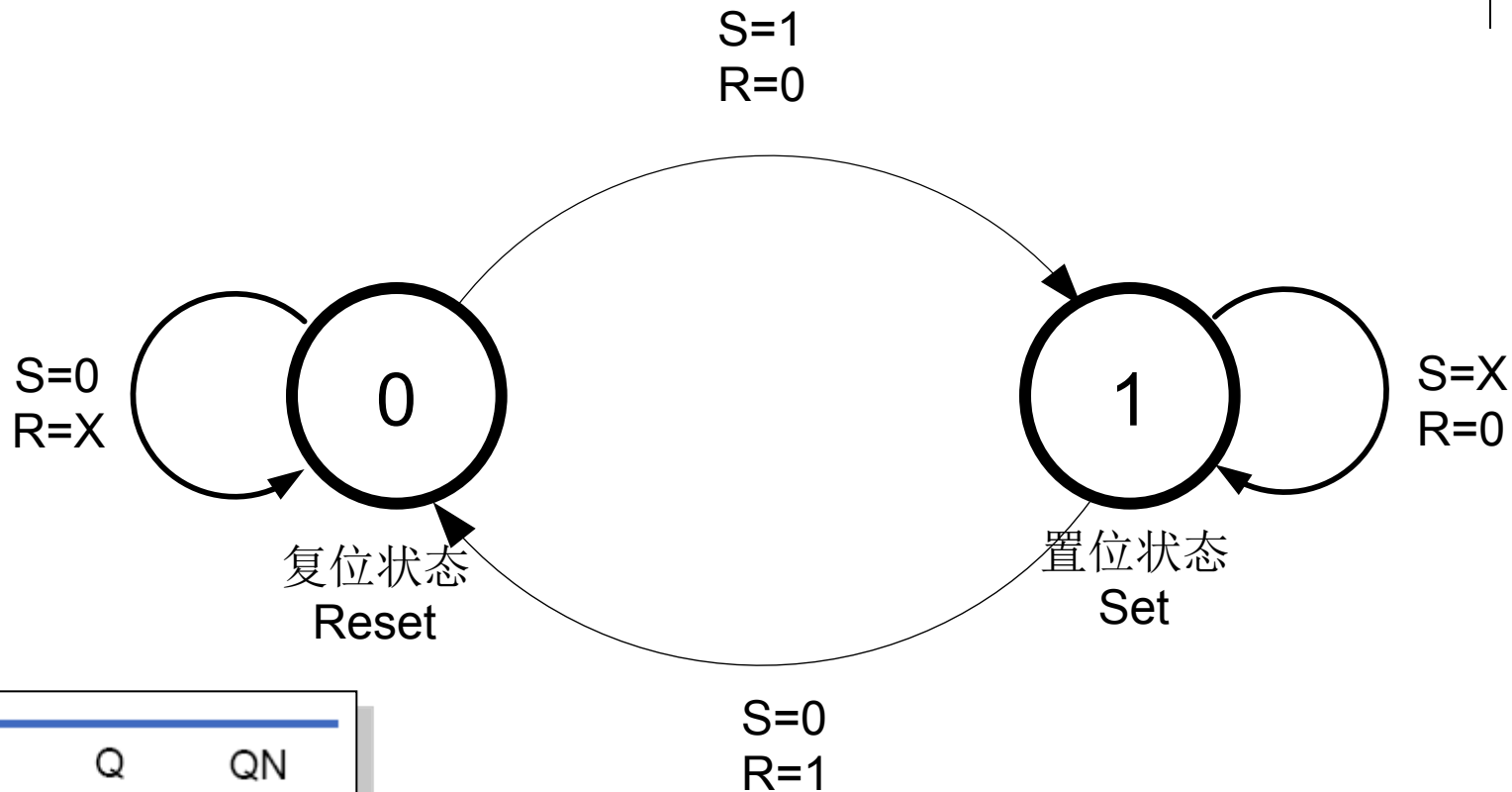


- 计算器的开关状态
 - 开和关
 - 输入：电源开关按钮ON和OFF





RS触发器的状态转移图



S	R	Q	QN
0	0	last Q	last QN
0	1	0	1
1	0	1	0
1	1	0	0

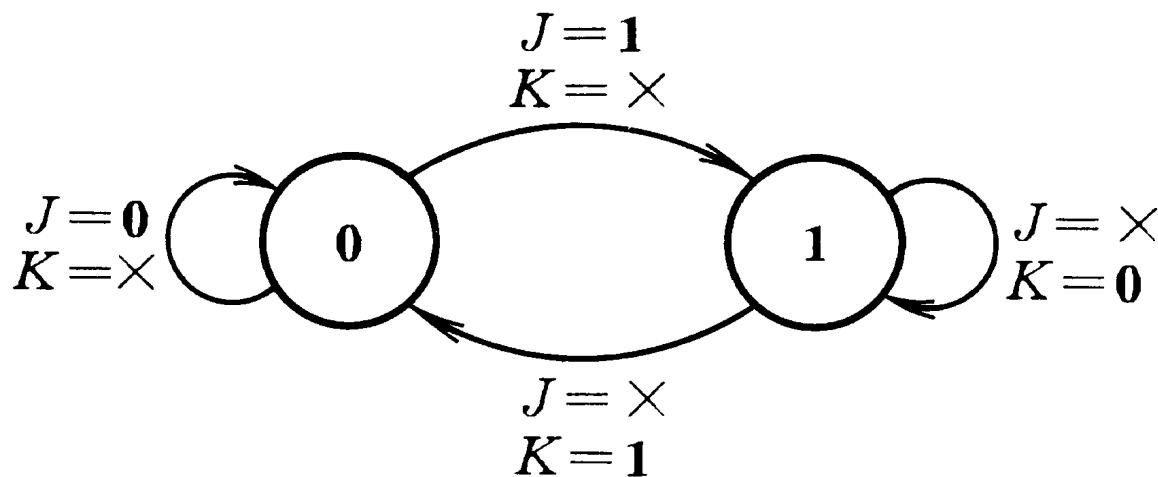
SR=11没有列入有效状态列表。



JK触发器的状态转移图

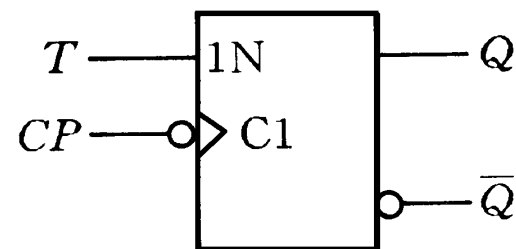
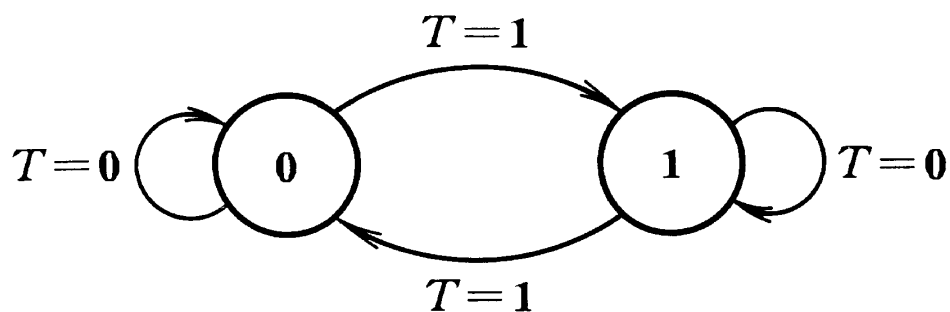


Inputs			Output		说明
J	K	CLK	Q	Q'	
0	0	↑	Last Q	Last Q'	维持原状态
0	1	↑	0	1	复位
1	0	↑	1	0	置位
1	1	↑	Last Q'	Last Q	翻转(Toggle)





T触发器的状态转移图



D触发器的状态转移图？