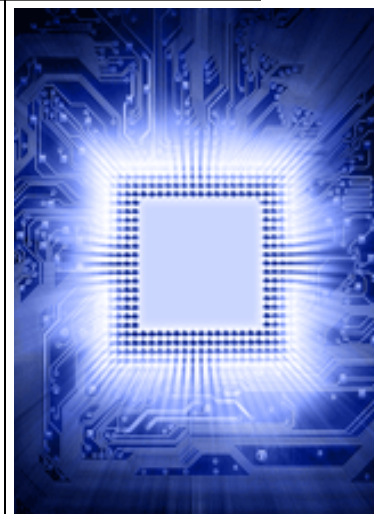


第8章

时序逻辑设计实践

南京大学人工智能学院
2018-2019春季





主要内容



- 时序电路文档标准
- 锁存器和触发器
- 计数器
- 移位寄存器
- 迭代电路与时序电路
- 同步设计方法
- 同步设计中的障碍
- 同步器故障和亚稳定性*



1时序电路文档标准



- 基本同组合逻辑一样
- 特别强调：
 - 触发器：清楚表达
 - 状态机描述：多种方式
 - 状态机布局：
 - 描述语言定义时，触发器、次态逻辑以及输出逻辑在一个模块中。
 - 画图时，上述内容在一页中。
 - 级联元件：画在一页中。
 - 定时图：通用的定时假设及定时行为。
 - 定时规格说明：时钟频率、脉冲宽度等。



1时序电路文档标准



- 逻辑符号标识

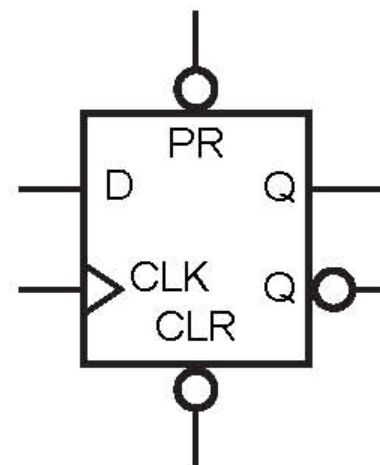
- 输入在左边，输出在右边，双向任意
- 边沿触发需放置动态指示器
- 预置端在顶端，清零在底端

- 状态机描述

- 文字描述
- 状态表
- 状态图
- HDL程序

相互转换及转换为程序时易出现二义性。

直接进行HDL编程。

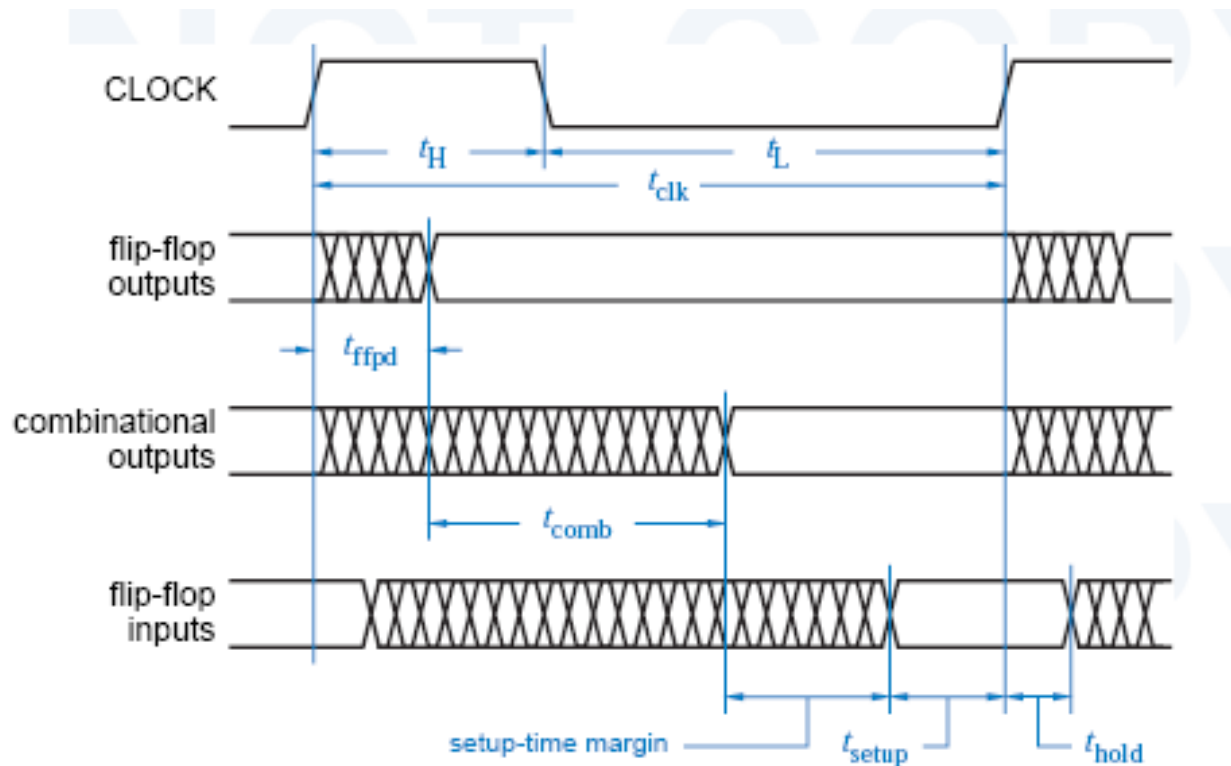




定时图和规格说明

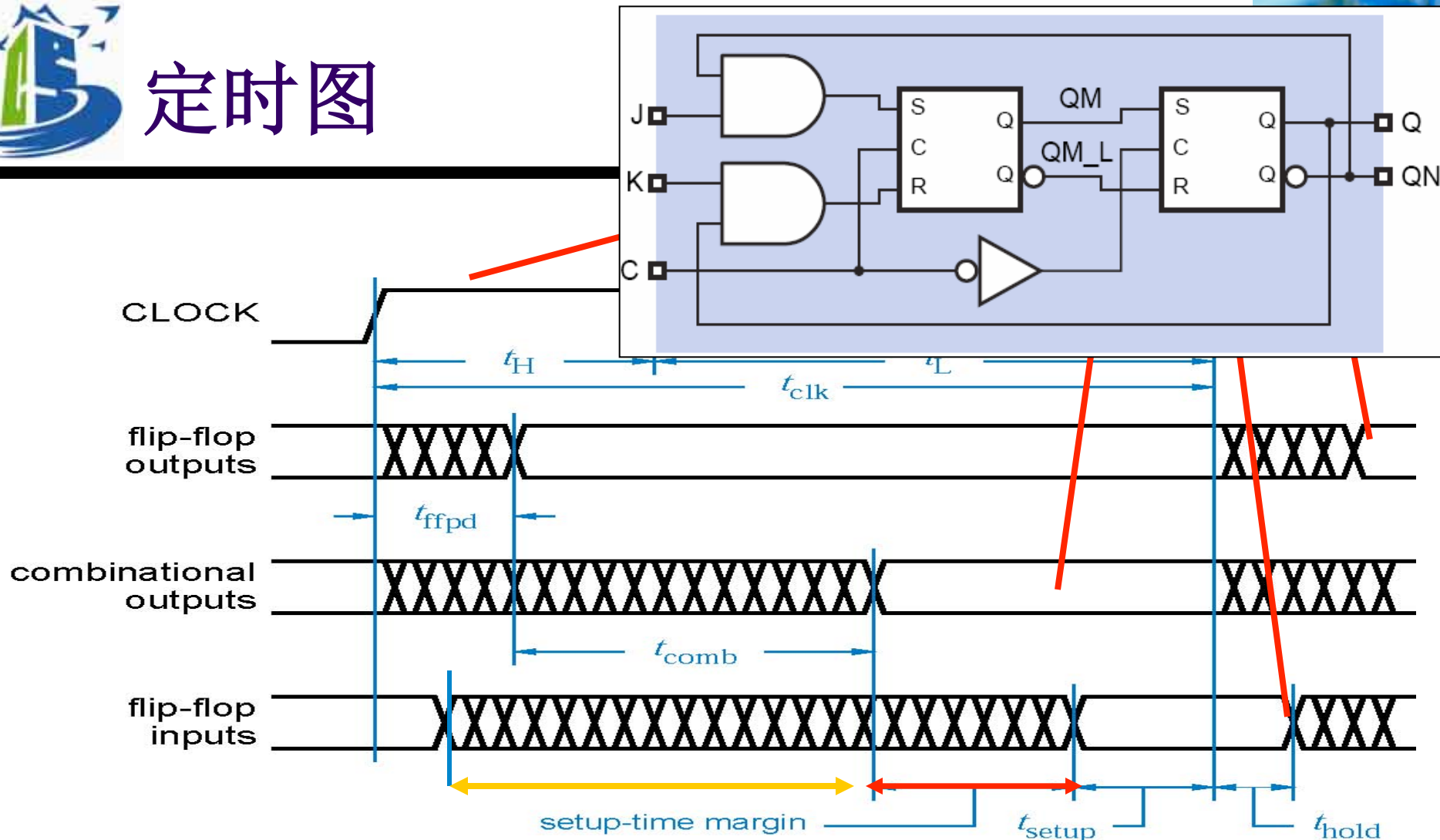


- 定时图：表示输入、输出、内部信号与时钟信号之间的关系。
- 定时图例：





定时图



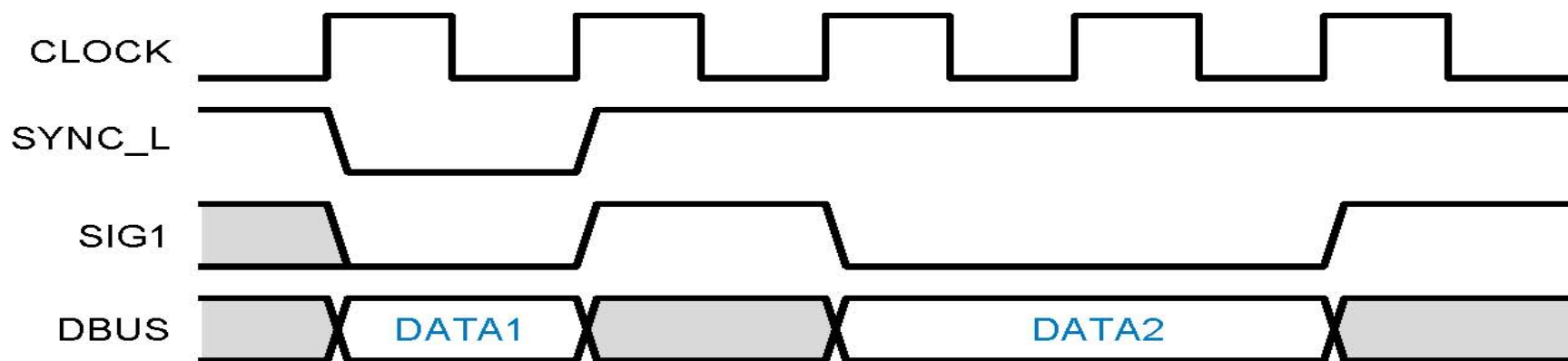
- 建立时间容限 $= t_{clk} - t_{ffpd(max)} - t_{comb(max)} - t_{setup}$, > 0
- 保持时间容限 $= t_{ffpd(min)} + t_{comb(min)} - t_{hold}$, > 0



定时图和规格说明



- 定时容限timing margin: “worse than worst case”
 - 表示电路中的各个部件在不引起电路工作失效的情况下，“比最坏的情况要坏”多少。
- 功能性定时图（完美的）



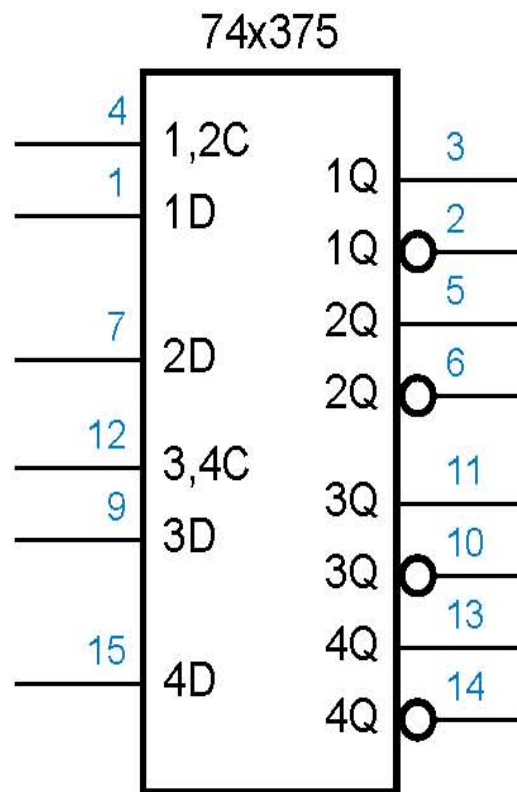
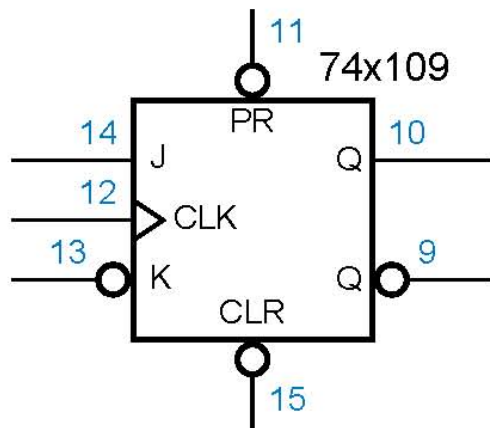
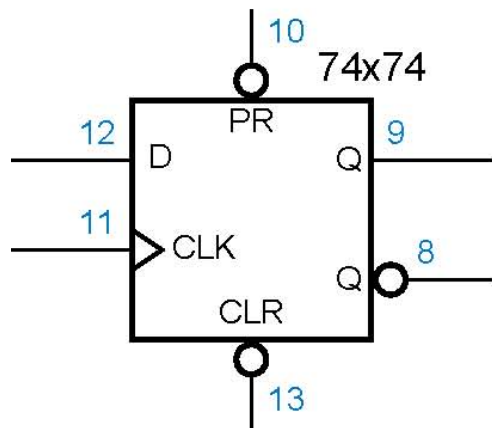
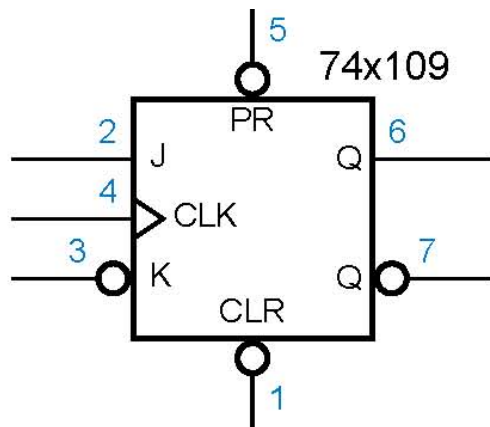
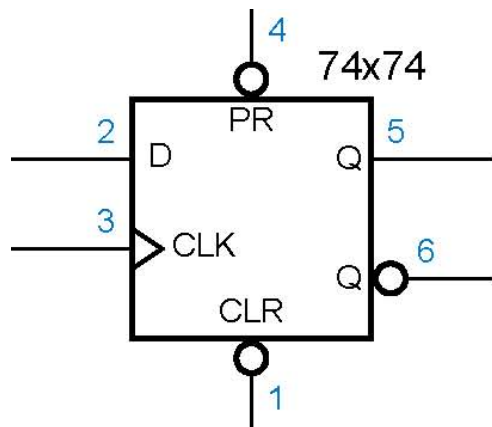
- 表8.1：常用CMOS和TTL型时序电路的定时参数



2 锁存器和触发器



● SSI时序电路

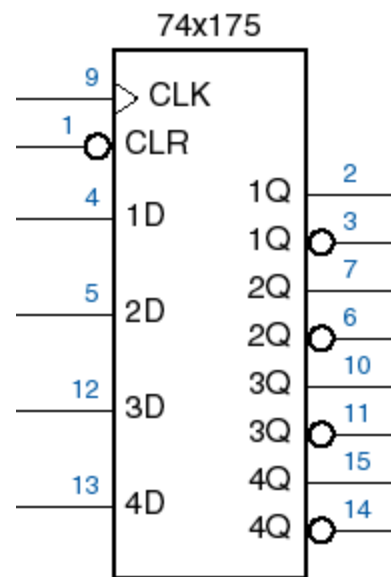
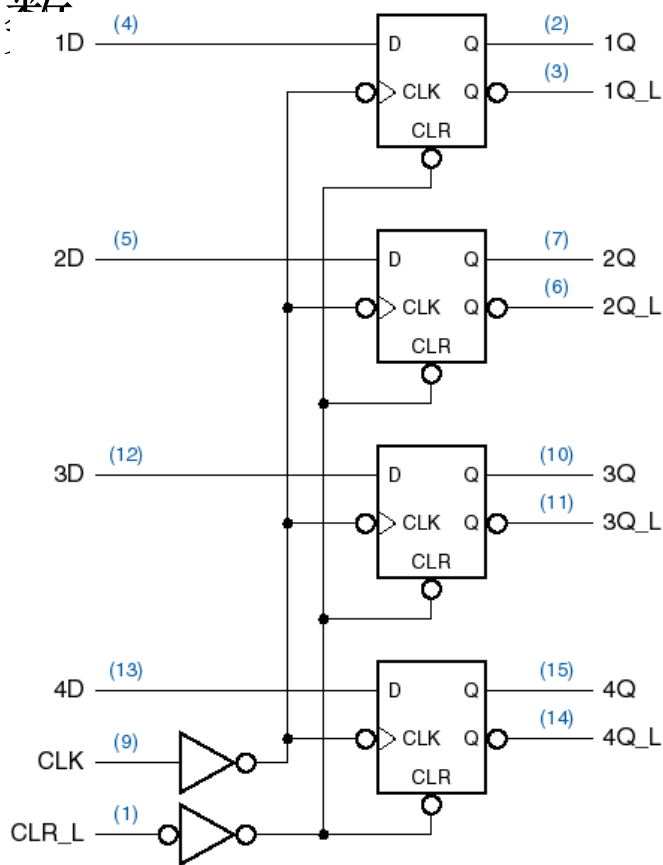




寄存器register



- 共用一个时钟信号的2个或2个以上的D触发器组合在一起，称为**寄存器**，通常用来存储一组相关的二进制数。



74x175 (4 bits)

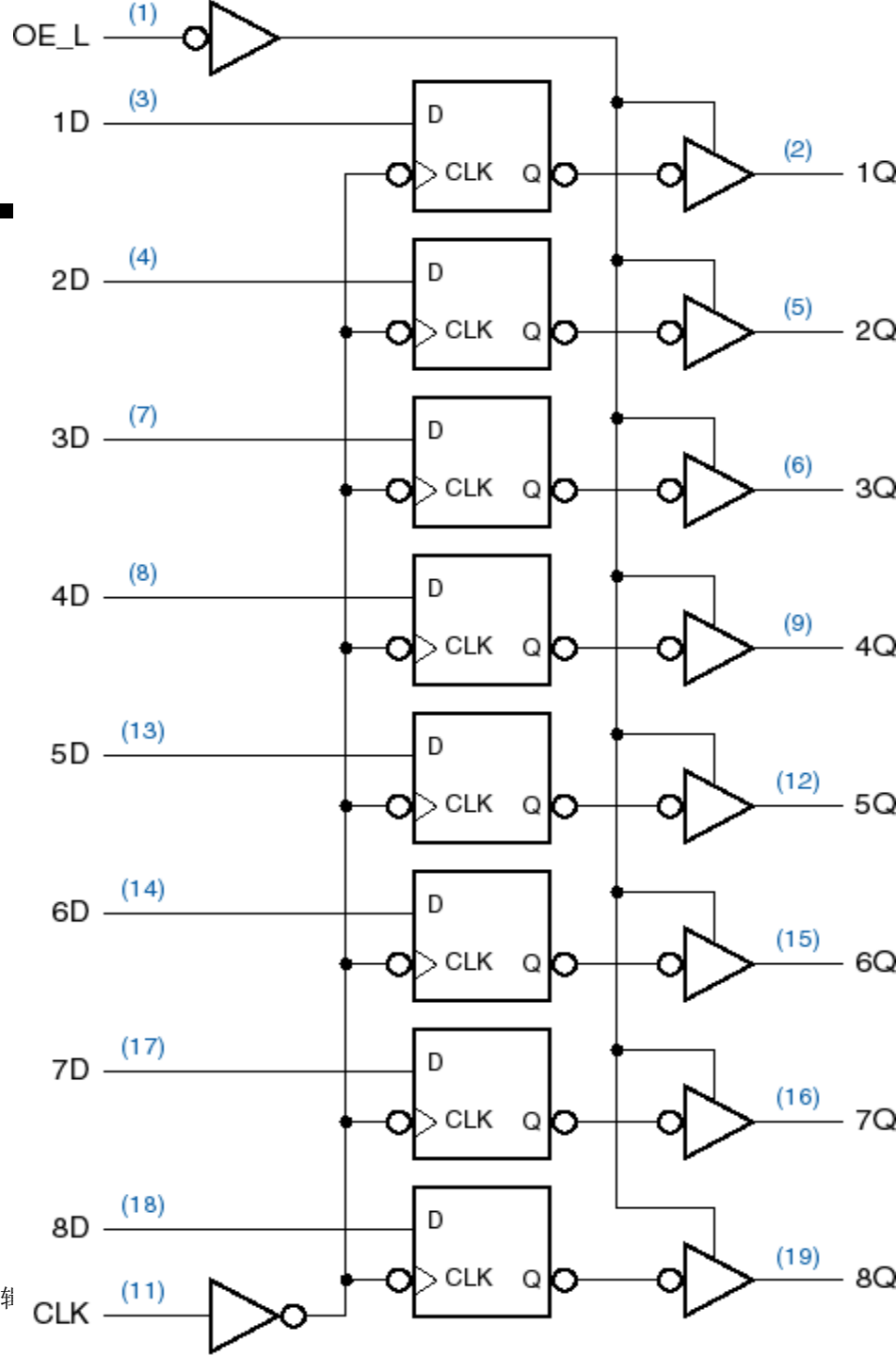
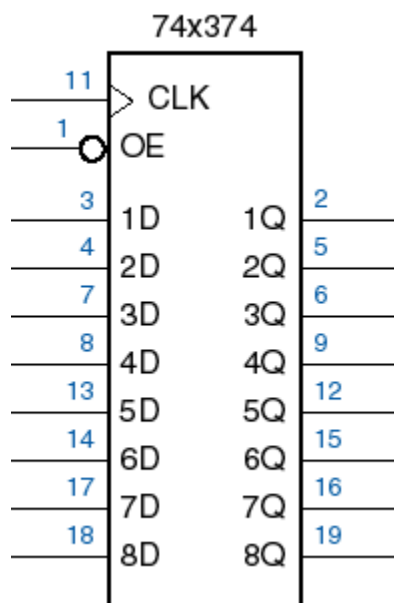
寄存器

- 74x374 (8 bits)

- 三态输出

- 74x373

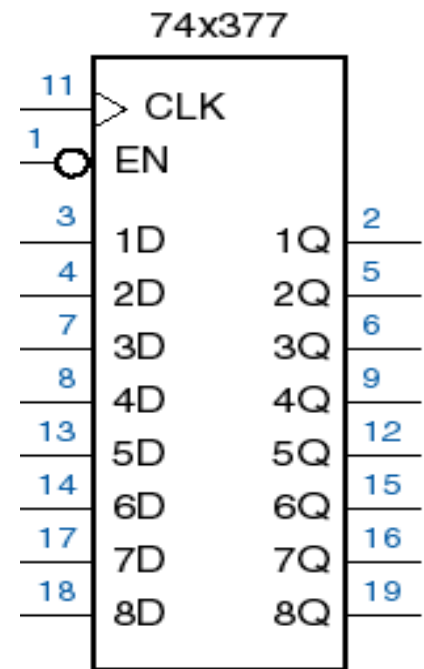
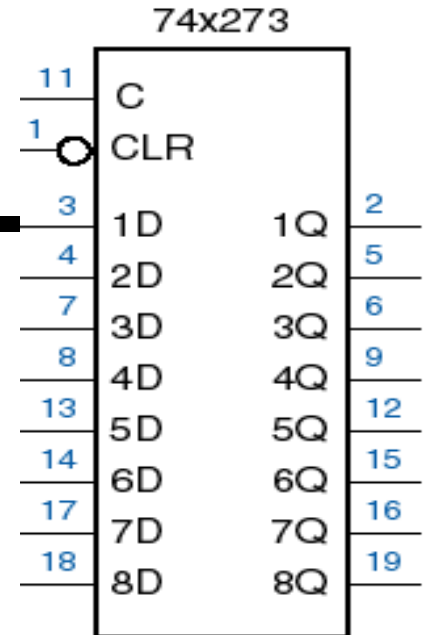
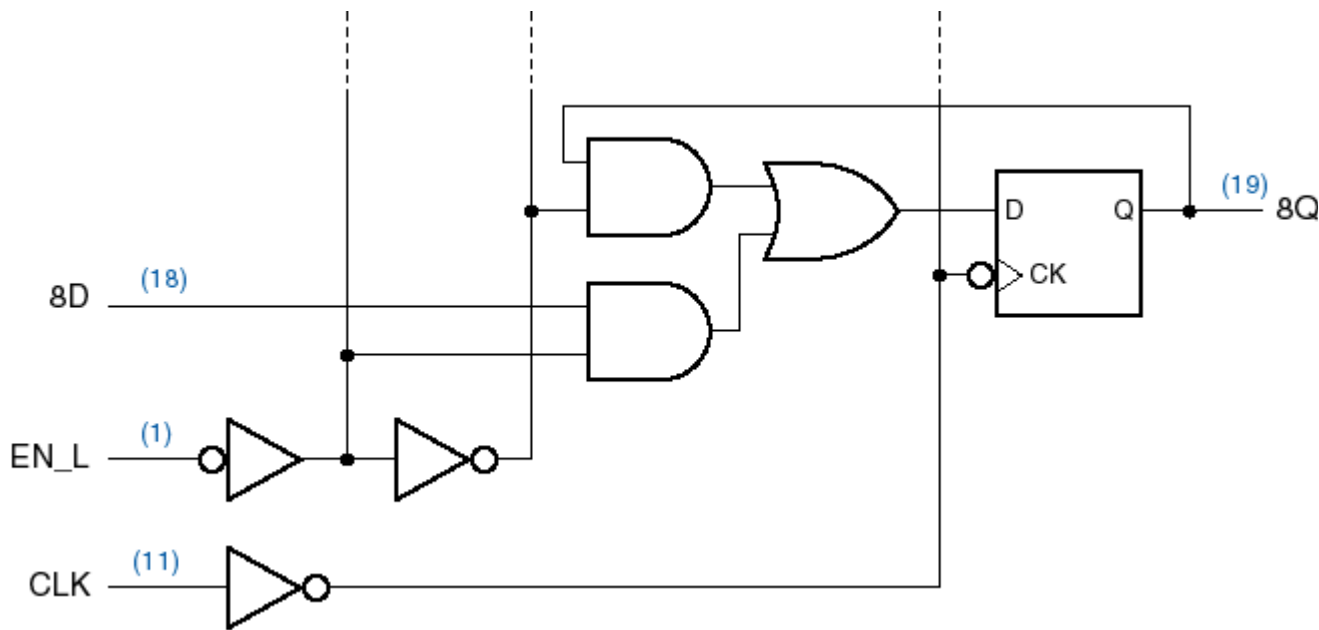
- D锁存器





寄存器

- 74x273
 - 异步清零
- 74x377
 - 使能输入

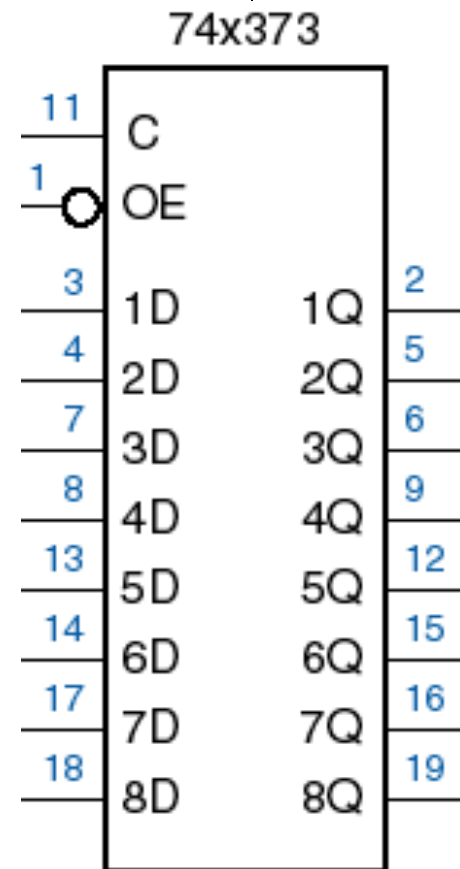




锁存器

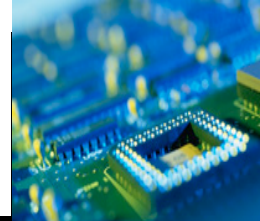


- 74x373: 8个D锁存器
 - 输出使能
 - 锁存使能: “C” or “G”
- 锁存器和触发器的区别:
 - 前者是电位信号控制, 后者是同步时钟边沿信号控制。
 - 使用的场合不同: 取决于控制方式、控制信号和数据之间的时间关系。
 - 数据有效滞后于控制信息时, 使用锁存器。
 - 反之, 可使用寄存器。





3 时序型PLD



● 时序型GAL器件：





通用阵列逻辑GAL



器件类型		引脚数	最大传输时延 (ns)	电源电流 I_{cc} (mA)	最多可用 输入数	最多可用输 出数	阵列规模
普通型	GAL16V8	20	15, 25, 35	45, 90	16	8	64×32
	GAL20V8	24	15, 25, 35	45, 90	20	8	64×40
	GAL16V8A	20	15, 25, 20, 10	55, 90, 115	16	8	64×32
	GAL20V8A	24	15, 25, 20, 10	55, 90, 115	20	8	64×40
	GAL16V8B	20	7, 5, 10	115	16	8	64×32
	GAL20V8B	24	7, 5, 10	115	20	8	64×40
通用型	GAL18V10	20	15, 20	115	18	10	96×36
	GAL22V10	24	10, 15, 25	130	22	10	132×44
	GAL26CV12	28	15, 20	130	26	12	122×52
异步型	GAL20RA10	24	12, 15, 20, 30	100	20	10	80×10
FPLA型	GAL6001	24	30, 35	150	21	10	78×6432
在线可编程型	ispGAL16Z8	24	20, 25	90	16	12	64×32

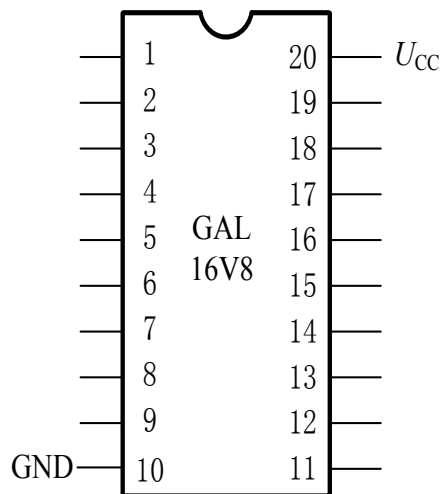


GAL器件的基本结构



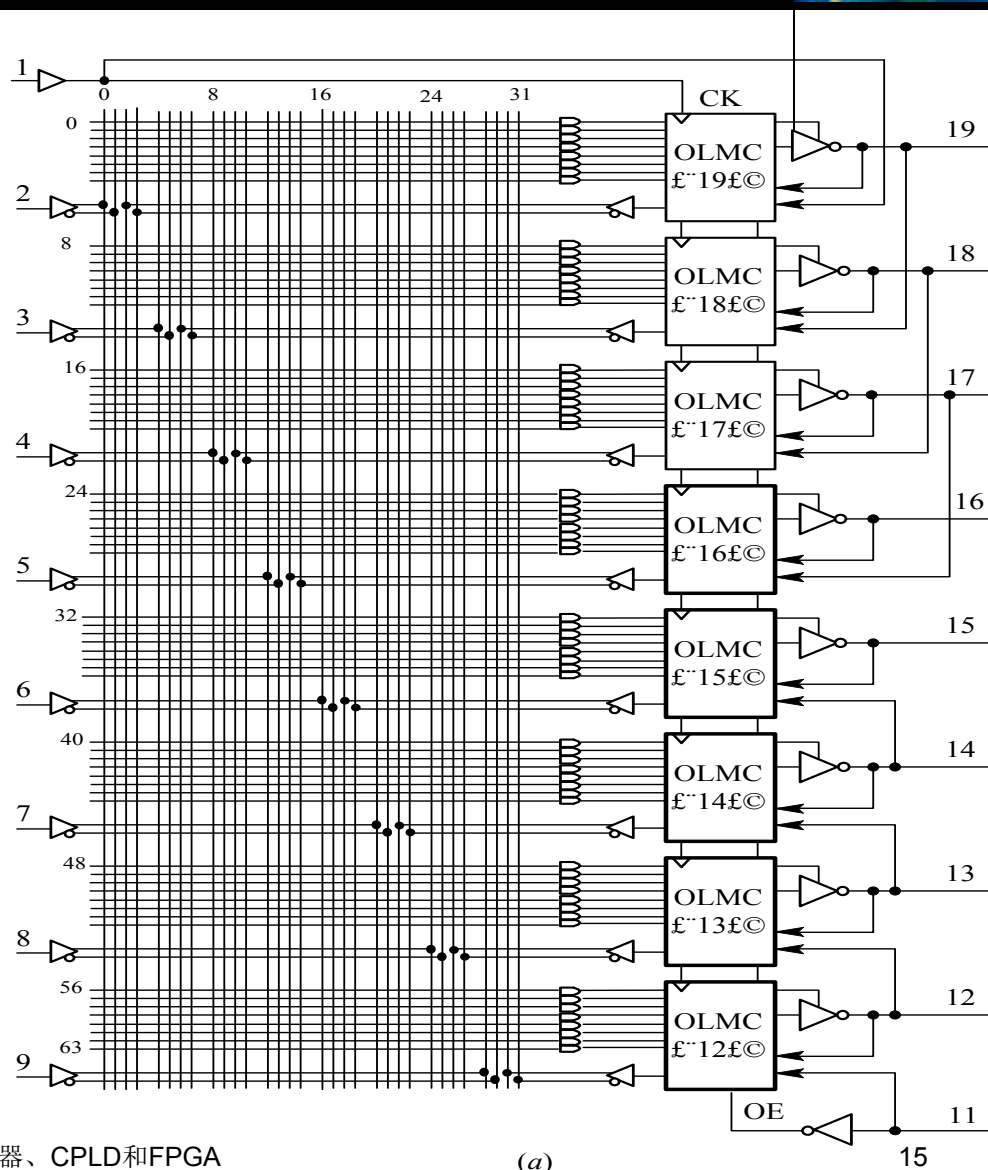
输出端数量

1. GAL16V8的基本结构



(b)

动画展示



(a)



3 计数器



- 计数器：在状态图中包含一个循环的时序电路。

1. 功能：对时钟脉冲 *CLK* 计数。

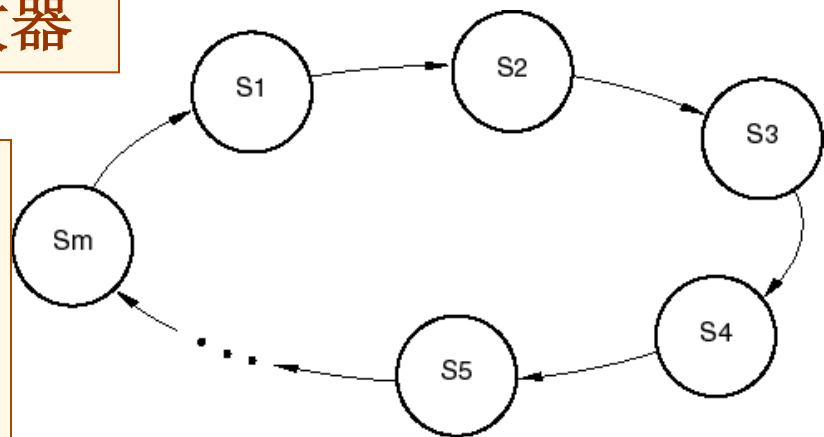
2. 应用：分频、定时、产生节拍脉冲和脉冲序列、进行数字运算等。

按数制分：

二进制计数器
十进制计数器
N 进制 (任意进制) 计数器

按计数
方式分：

加法计数器
减法计数器
可逆计数 (Up-Down Counter)

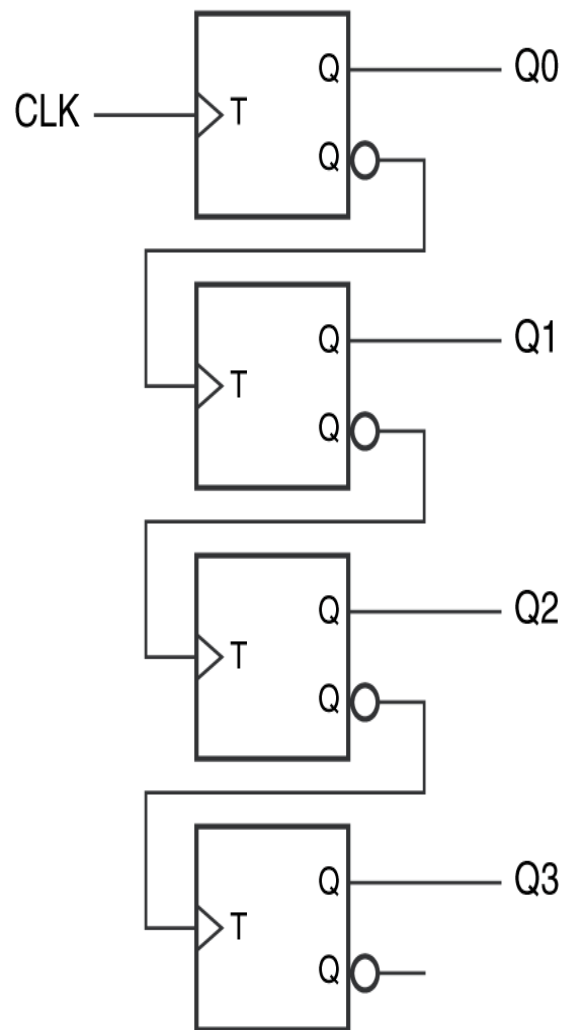




行波计数器



- 行波计数器ripple counter: 进位信息像波浪一样由低位向高位，每次传送一次。
 - T触发器在每次都会发生状态翻转
 - Q0 当时钟上升沿到达时，改变状态
 - Q1 changes when Q0: 1 \rightarrow 0
 - Q2 changes when Q1: 1 \rightarrow 0
 - 0000 \rightarrow 0001 \rightarrow 0010 \rightarrow 0011
 - 0100 \rightarrow 0101 \rightarrow 0110 \rightarrow 0111
 - 1000 \rightarrow
- 延迟时间很长



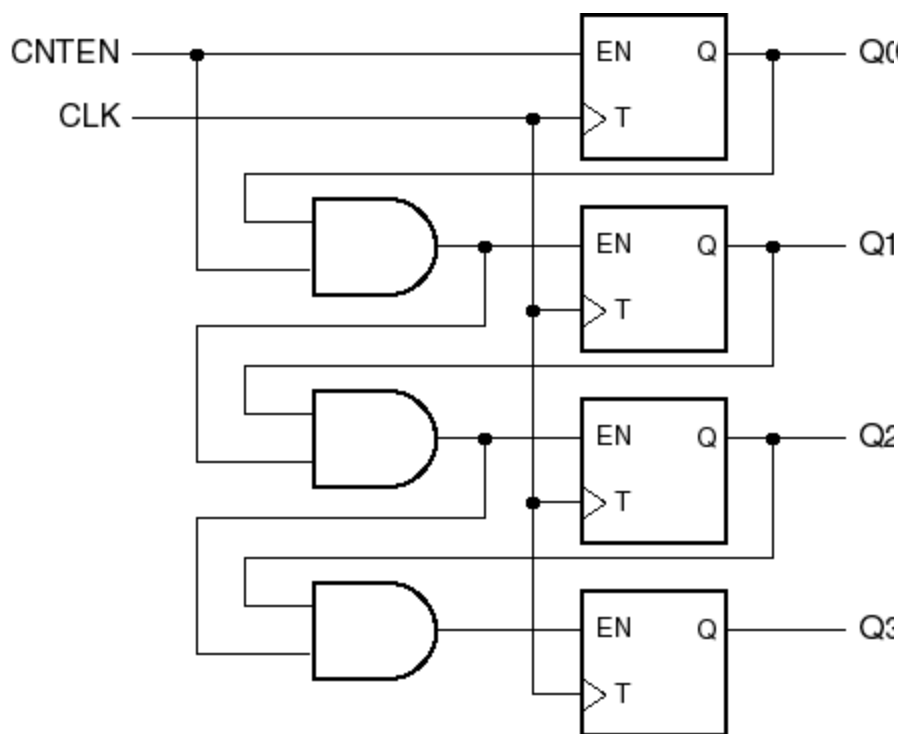


同步计数器

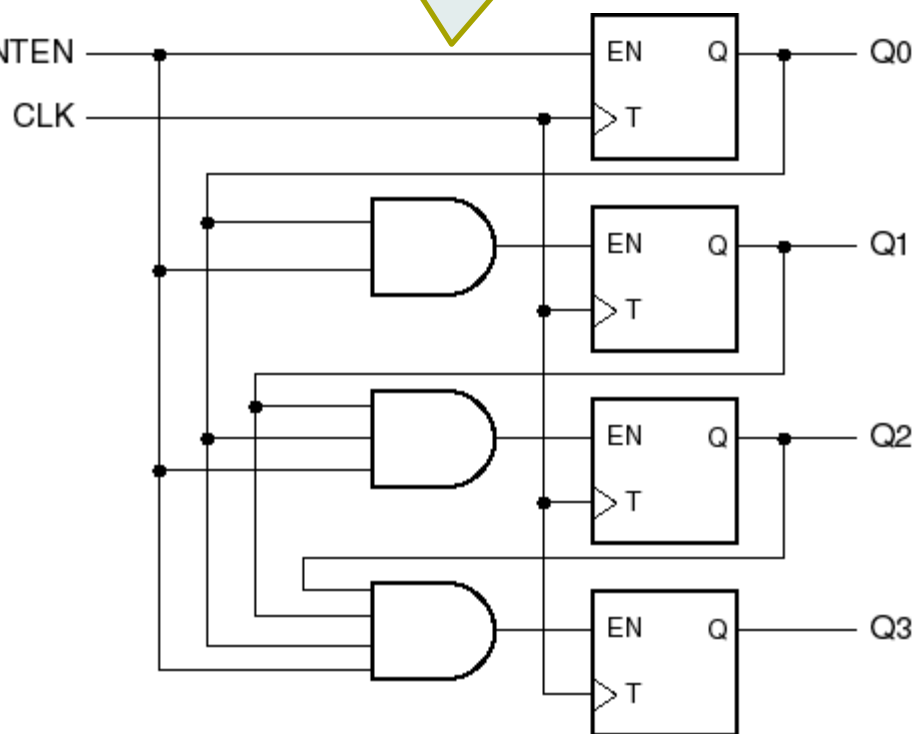


- 同步计数器：所有的触发器共用一个CLK信号
- 使用带有使能端的T触发器

最快的二进制计数器



串行同步4位二进制计数器

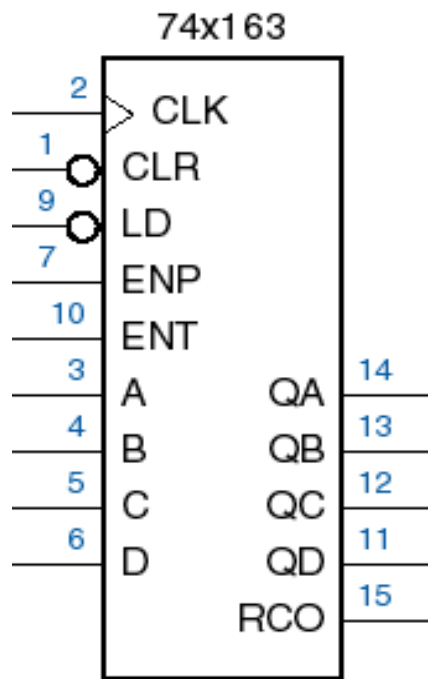


并行同步4位二进制计数器



74x163计数器

- 带低电平载入（置数）和清零端 **同步4位二进制计数器**
- 内部采用D触发器，便于实现载入和清零



Inputs				Current State				Next State			
CLR_L	LD_L	ENT	ENP	QD	QC	QB	QA	QD*	QC*	QB*	QA*
0	x	x	x	x	x	x	x	0	0	0	0
1	0	x	x	x	x	x	x	D	C	B	A
1	1	0	x	x	x	x	x	QD	QC	QB	QA
1	1	x	0	x	x	x	x	QD	QC	QB	QA
1	1	1	1	0	0	0	0	0	0	0	1
1	1	1	1	0	0	0	1	0	0	1	0
1	1	1	1	0	0	1	0	0	0	1	1
1	1	1	1	0	0	1	1	0	1	0	0
1	1	1	1	0	1	0	0	0	1	0	1
1	1	1	1	0	1	0	1	0	1	1	0
1	1	1	1	0	1	1	0	0	1	1	1
1	1	1	1	0	1	1	1	1	0	0	0
1	1	1	1	1	0	0	0	1	0	0	1
1	1	1	1	1	0	0	1	1	0	1	0
1	1	1	1	1	0	1	0	1	0	1	1
1	1	1	1	1	0	1	1	1	1	0	0
1	1	1	1	1	1	0	0	1	1	0	1
1	1	1	1	1	1	1	0	1	1	1	0
1	1	1	1	1	1	1	1	0	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	0	0	0	0

逻辑图

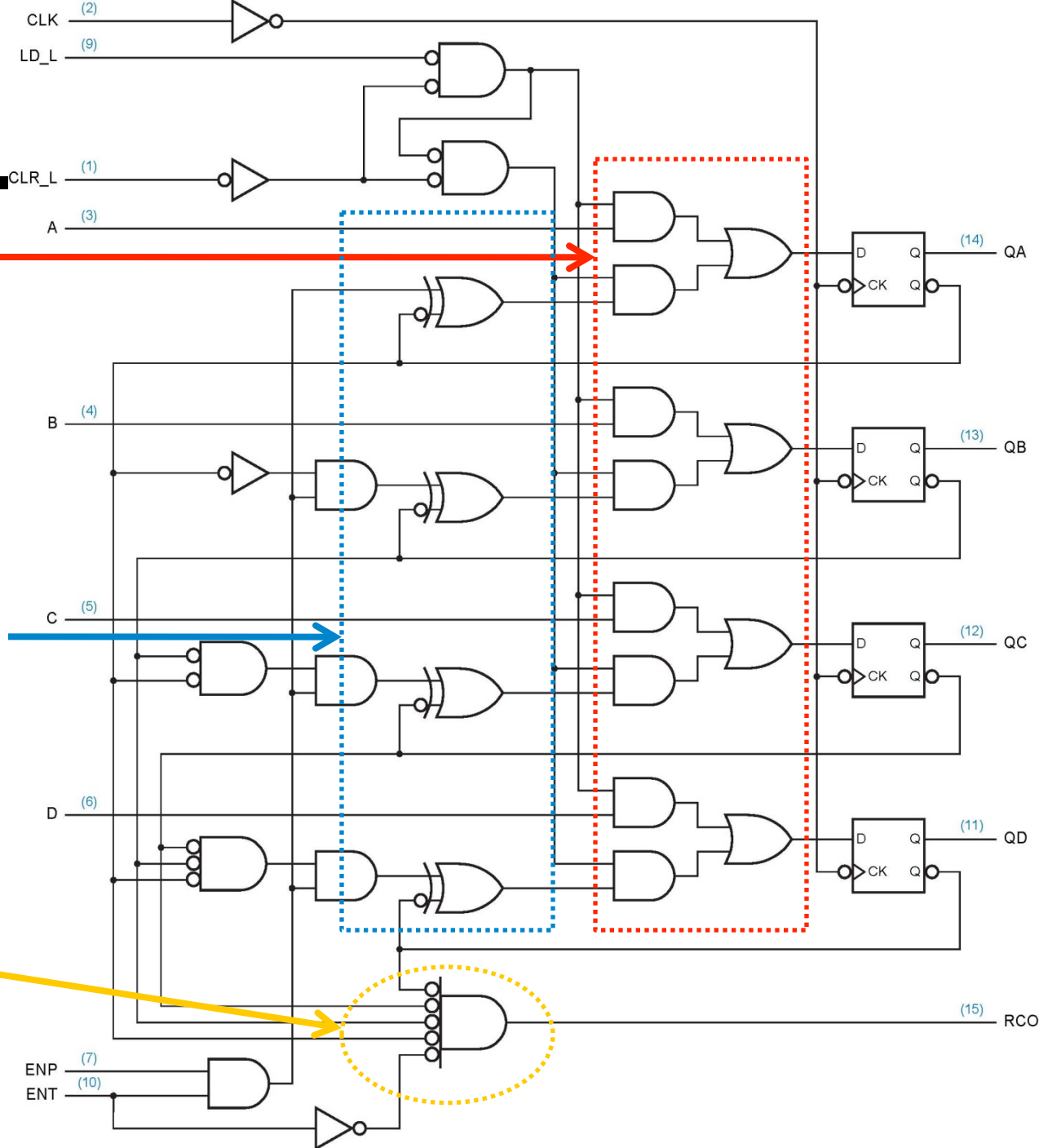
•D输入由一个2输入多路复用器驱动。

- CLR_L=0, 则输出为0
- LD_L有效, 把输入数据ABCD传送到输出端
- CLR_L和LD_L都无效, XNOR门输出传送到输出端

•异或非 XNOR门执行计数功能

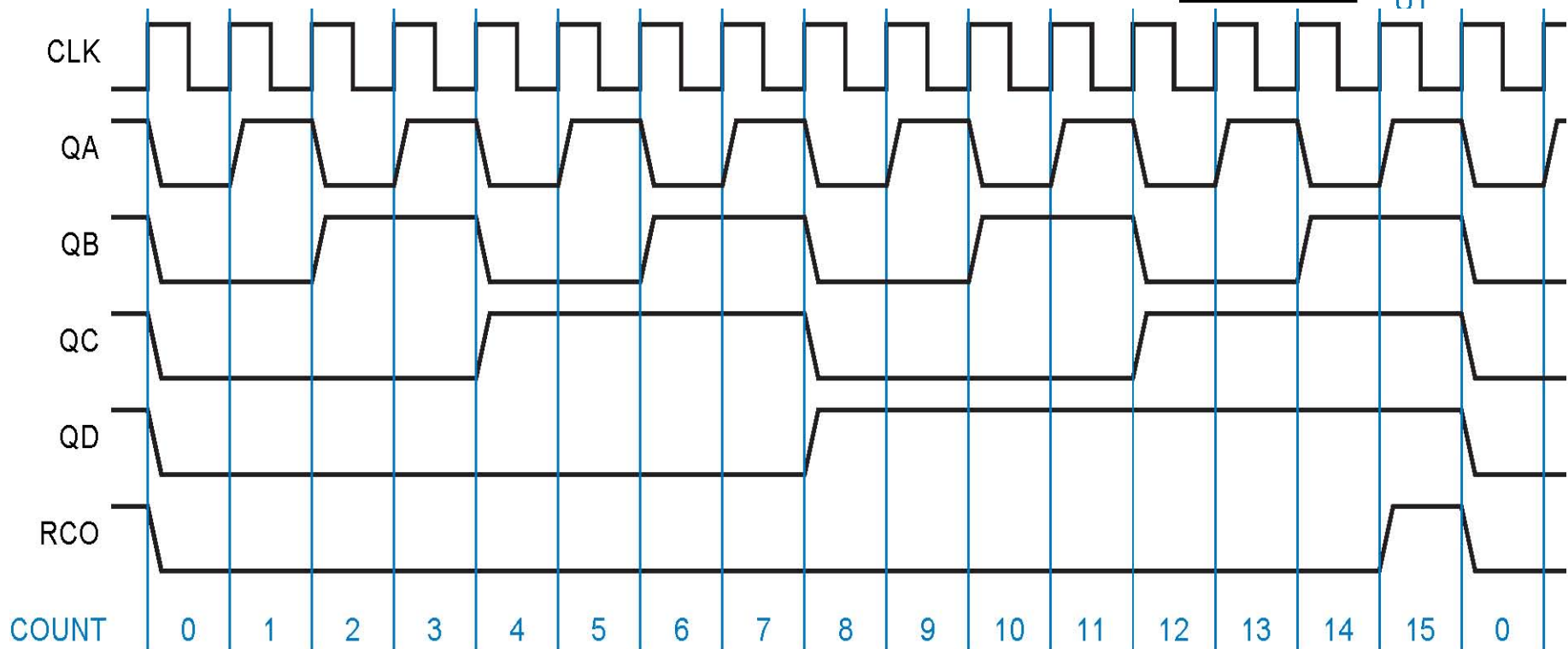
- 输入计数位
- 计数位的反, ENT和ENP有效, 且所有低位计数位为1, 输入才为1.

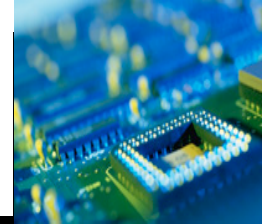
•行波进位输出 RCO
 $=QA \cdot QB \cdot QC \cdot QD \cdot ENT$





-

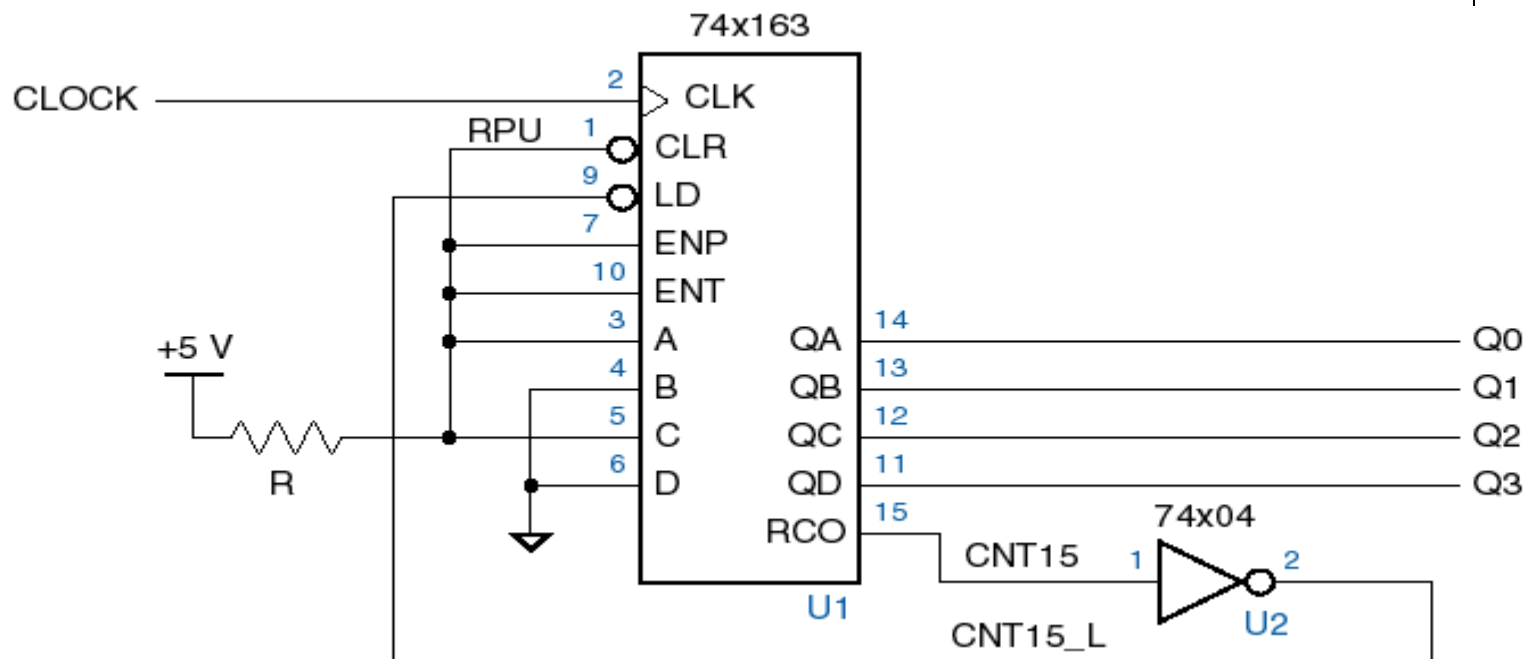




- 22



163应用

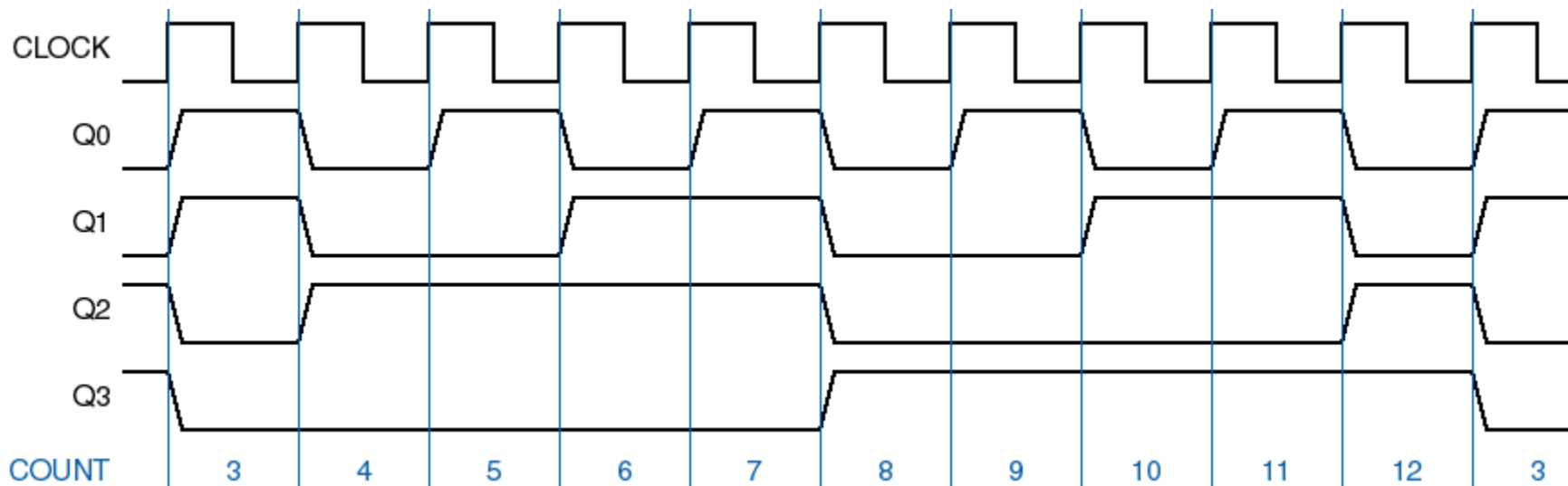
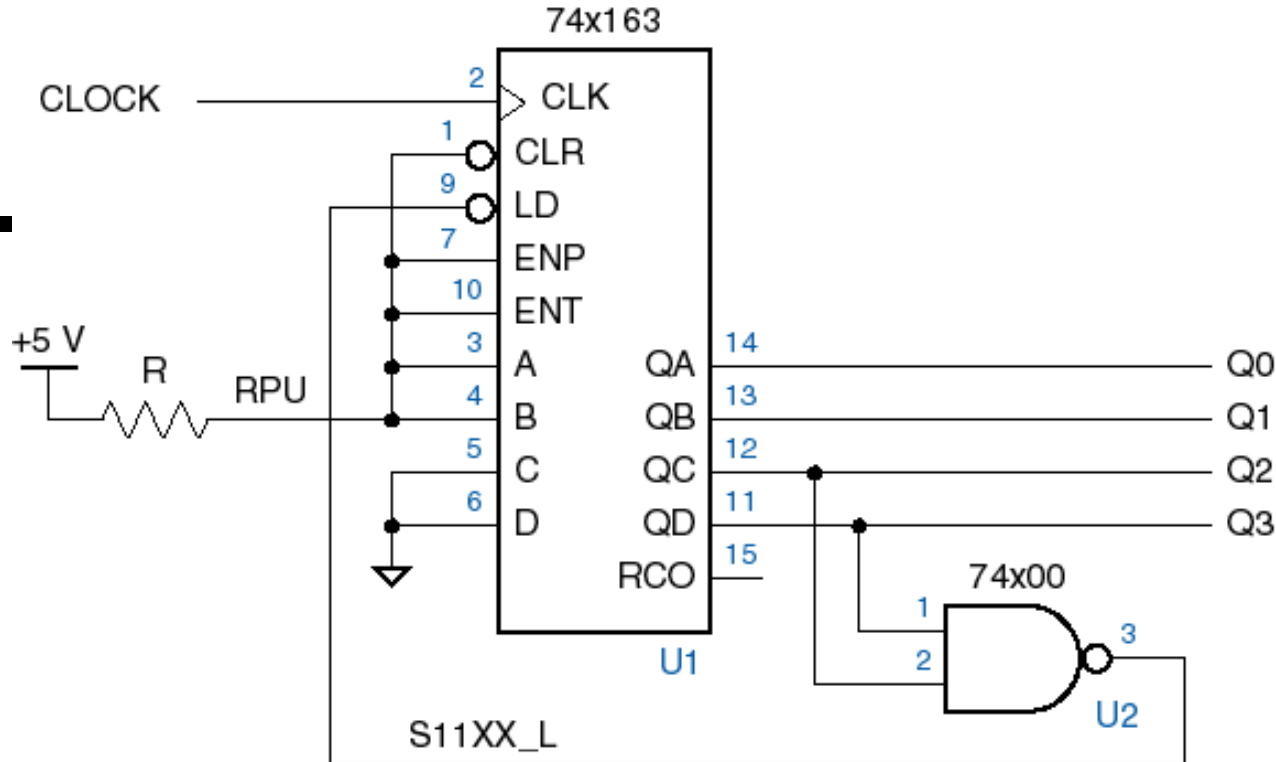


- 当RCO=1时，装载数字0101（5）
- 计数范围：5，6，7，8，9，10，11，12，13，14，15，5，6，...
- 11分频器



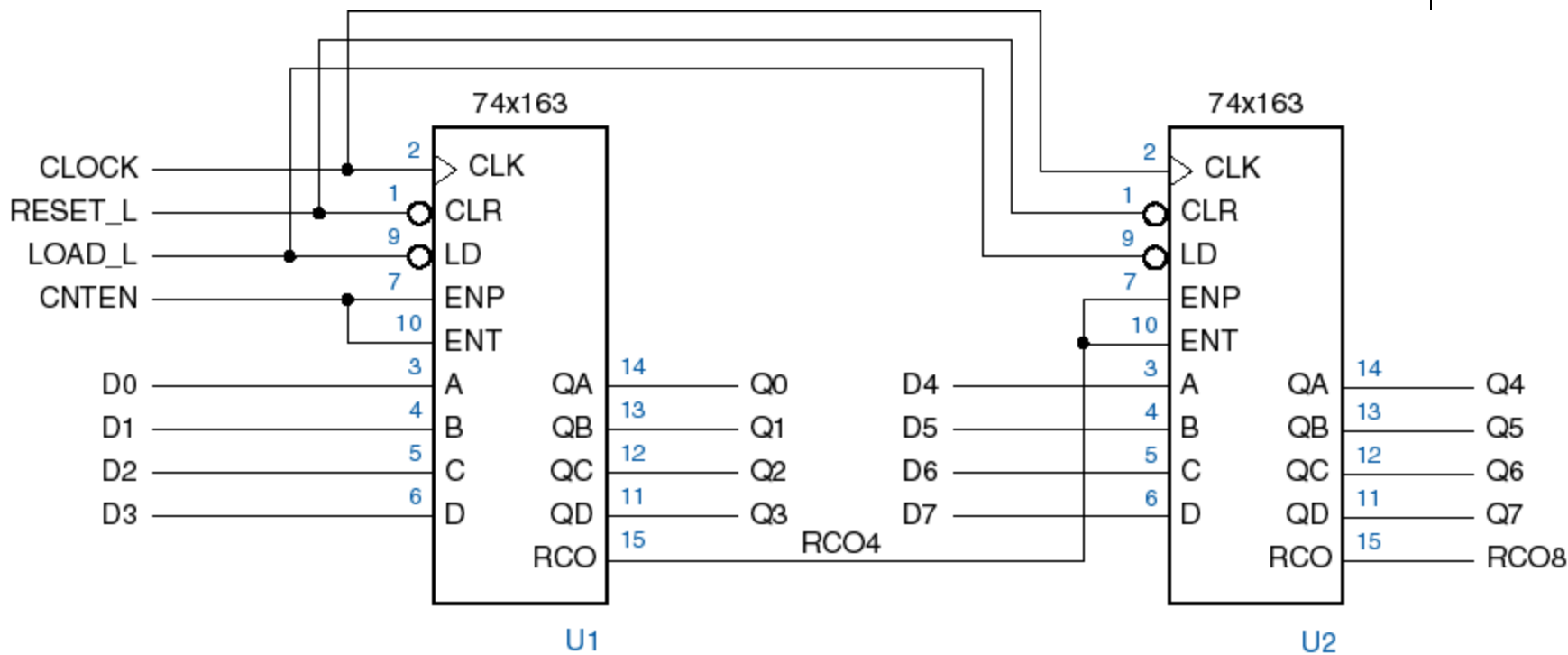
163应用

● 计数3-12





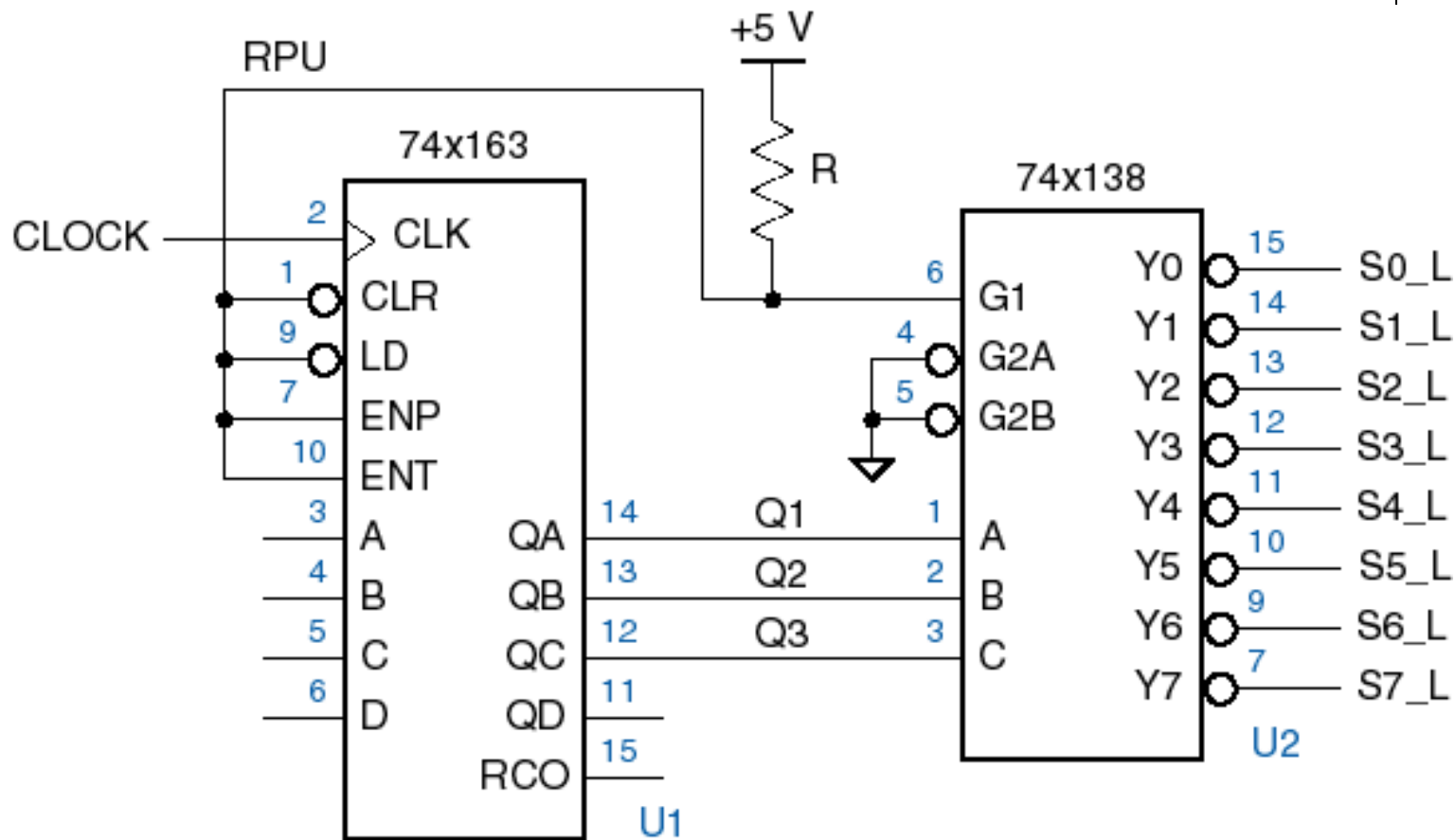
计数器层叠



- RCO连接到下一级的ENT和 ENP



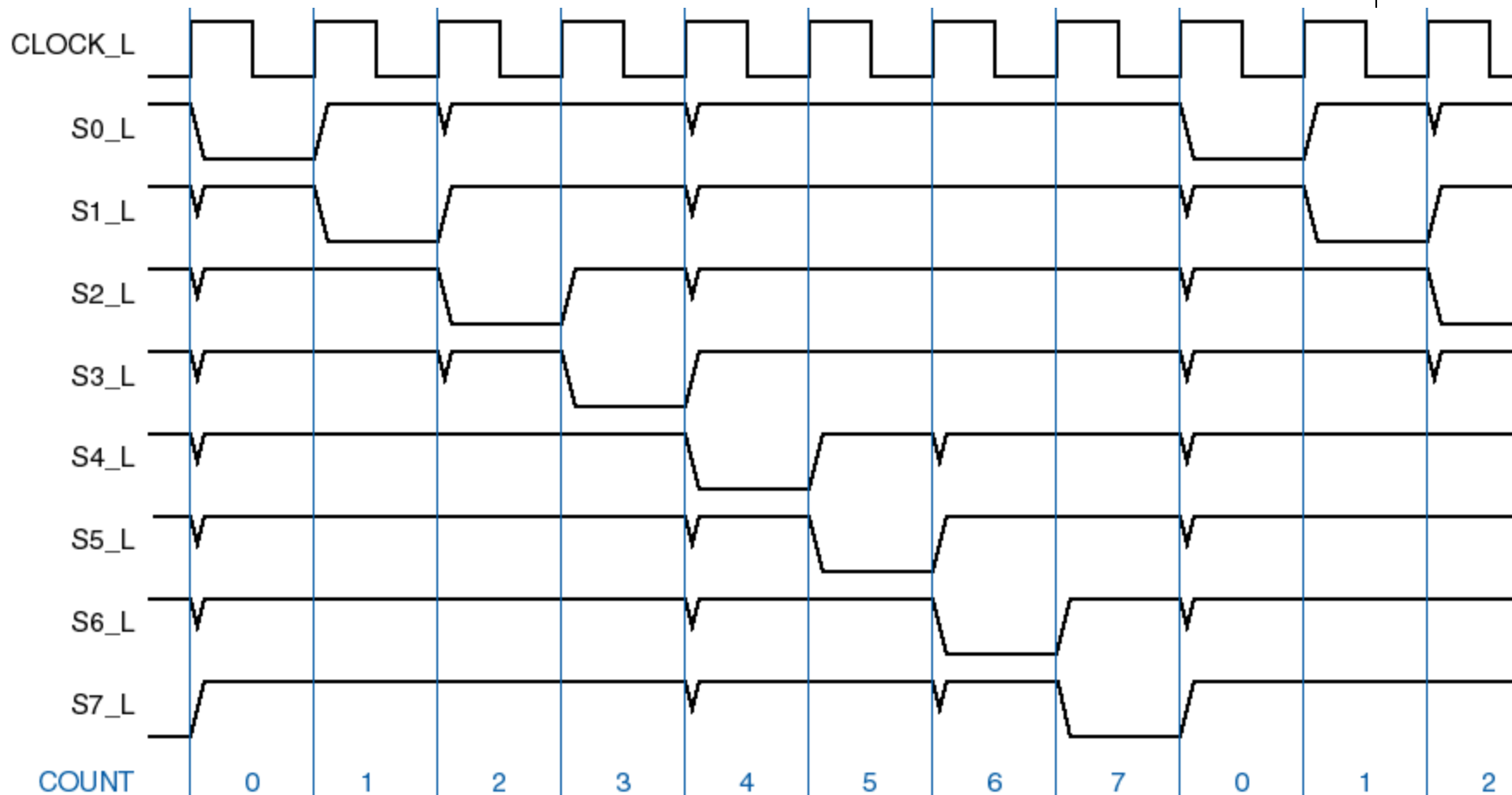
二进制计数器状态的译码



每个计数状态，一个译码输出有效。



定时图

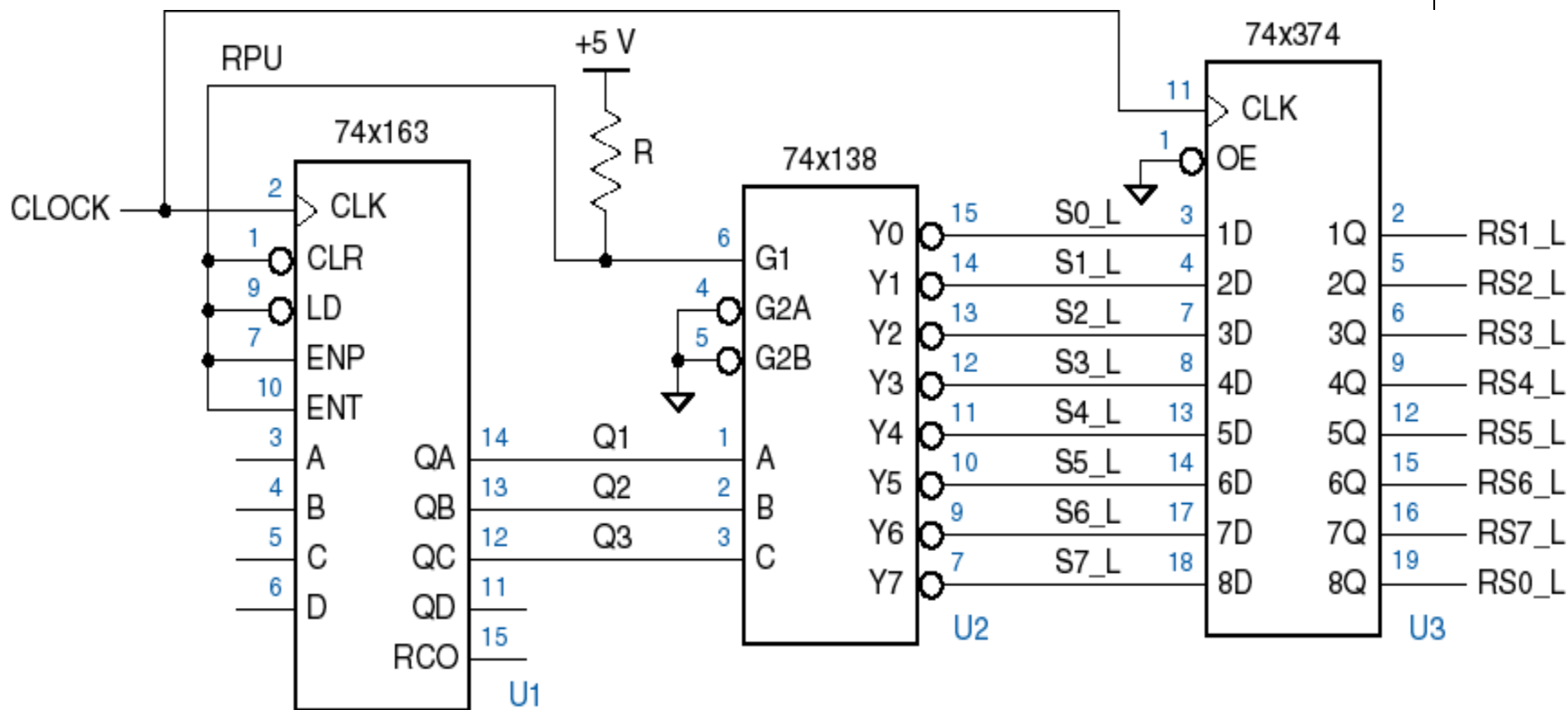


- 一次状态转移中有2个以上的计数位同时变化，在译码端可能产生尖峰脉冲(glitch)。

属于功能性冒险



无冒险译码输出



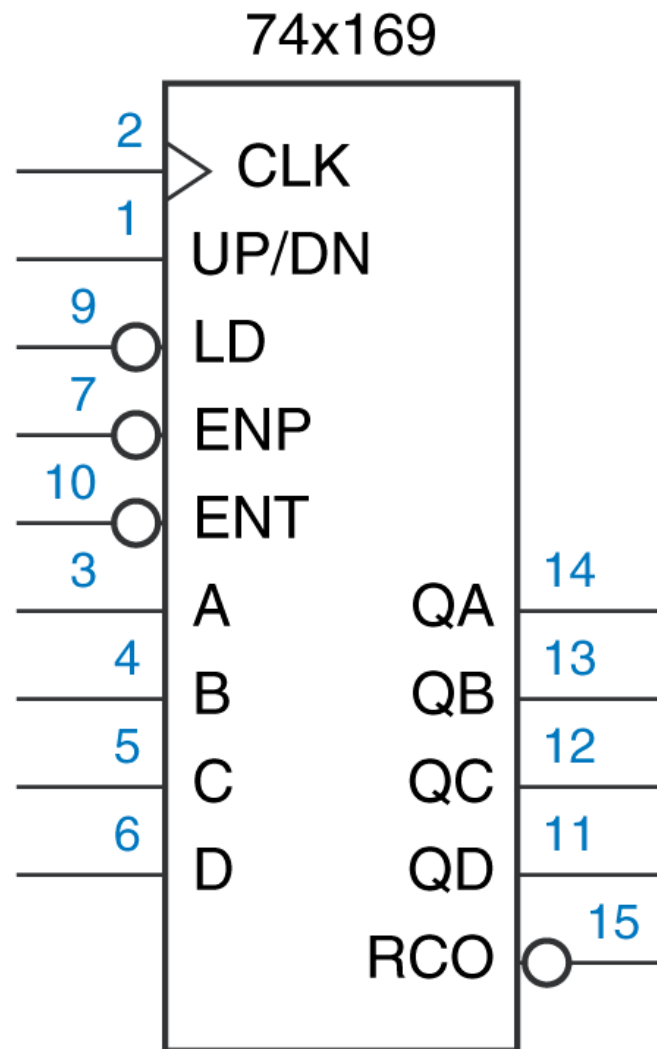
- 输出延迟一个时钟周期
- 可使用环形计数器实现



可逆同步计数器169

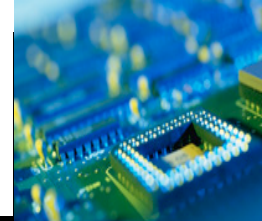


- 同步清零和置位，类似于163
- 进位输出RCO, ENT, ENP都是低电平有效。
- UP/DN=1，按升序计数
- UP/DN=0，按降序计数





N 进制计数器



方法

用触发器和门电路设计

用集成计数器构成

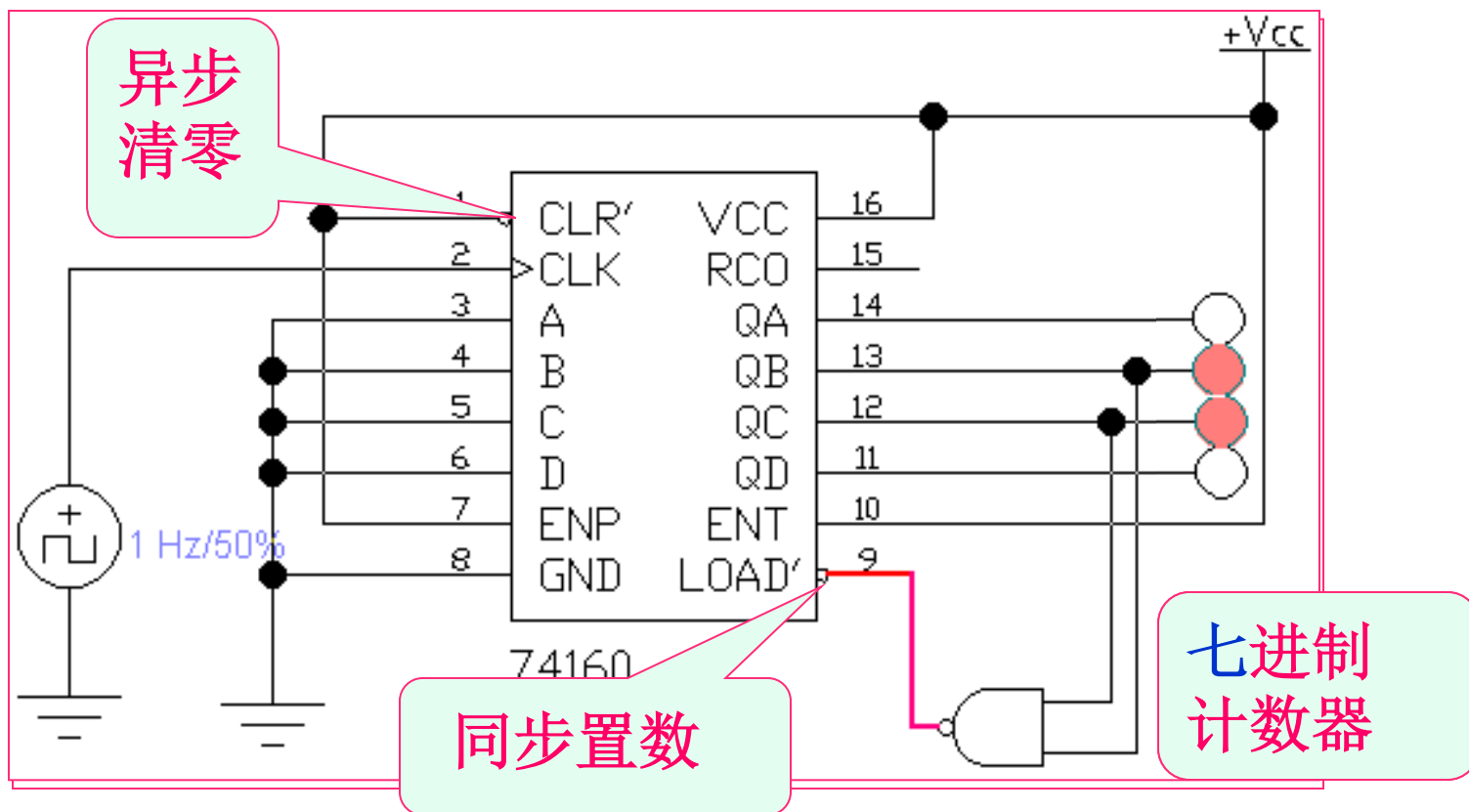
清零端

(同步、异步)

置数端

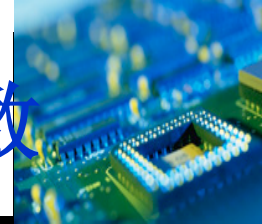
$(M = 2^4 \text{ 或 } M = 10)$

[例] 观察同步置数和异步归零的区别。161：异步清零,同步置数





利用同步清零或置数端获得 N 进制计数



思路： 当 M 进制计数到 S_{N-1} 后使计数回到 S_0 状态

步骤： 1. 写出状态 S_{N-1} 的二进制代码；
2. 求归零逻辑表达式；
3. 画连线图。

[例] 用4位二进制计数器 74163 构成十二进制计数器。

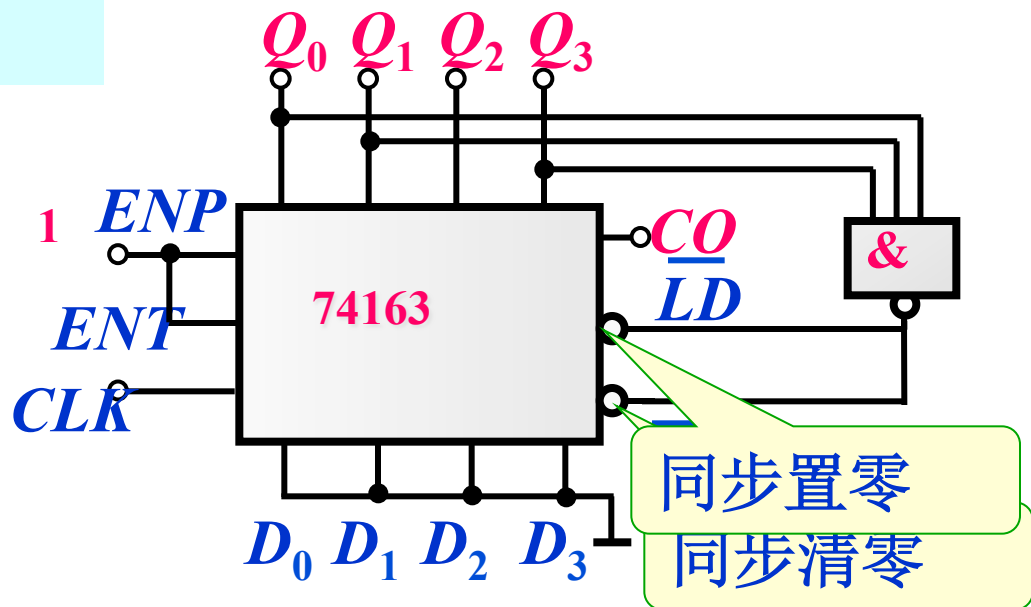
解： 1. $S_{N-1} = S_{11} = 1011$

2. 归零表达式：

$$\overline{CR} = \overline{Q_3 Q_1 Q_0}$$

$$\text{或 } \overline{LD} = \overline{Q_3 Q_1 Q_0}$$

3. 连线图





提高归零可靠性

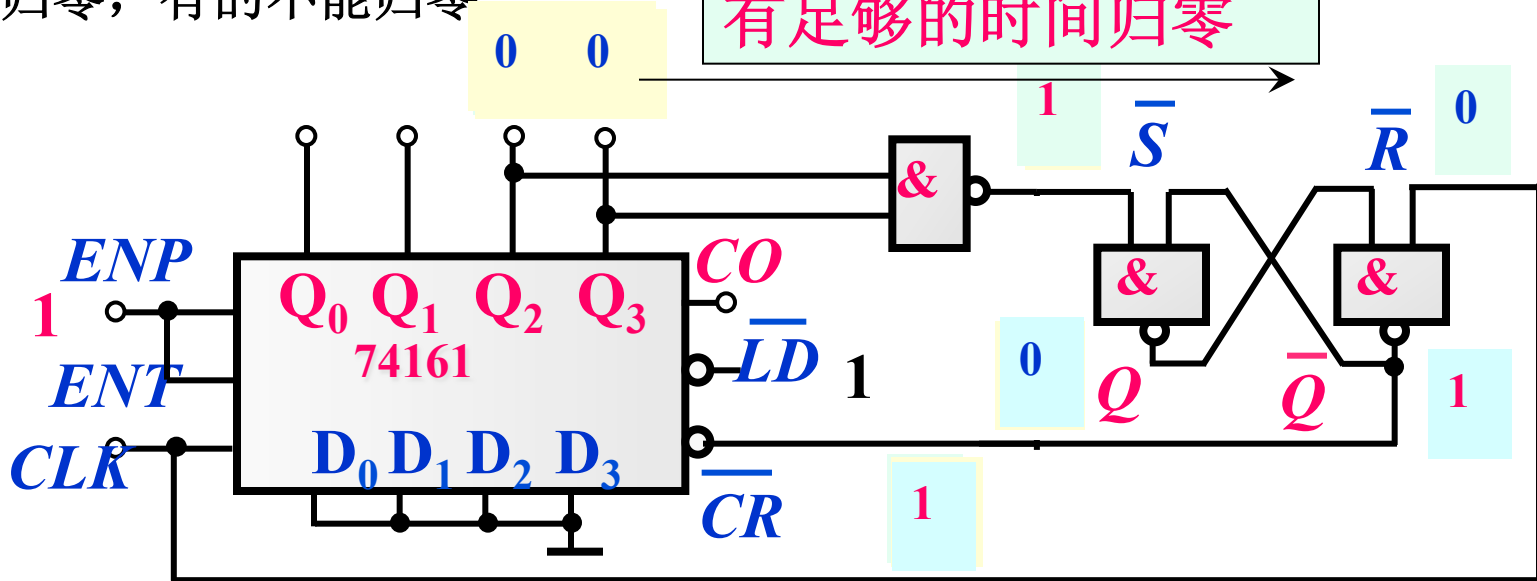


归零法存在的问题和解决办法

各触发器的动态特性和带负载情况不尽相同，且有随机干扰信号，造成有的触发器已归零，有的不能归零

有足够的时间归零

一种提高归零可靠性的方法



计到 $S_{12} = 1100$ 前:

计到 $S_{12} = 1100$ 时(↑):

$CP = 0$ 之后:

思路:

用 RS 触发器暂存清零信号，保证有足够的归零时间。

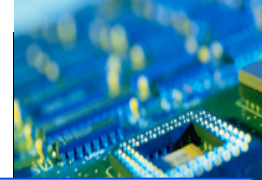
$$Q = 0, \overline{Q} = 1$$

$$1 \rightarrow Q = 1, \overline{Q} = 0$$

$$S = 1, R = CP = 0 \rightarrow Q = 0, \overline{Q} = 1$$

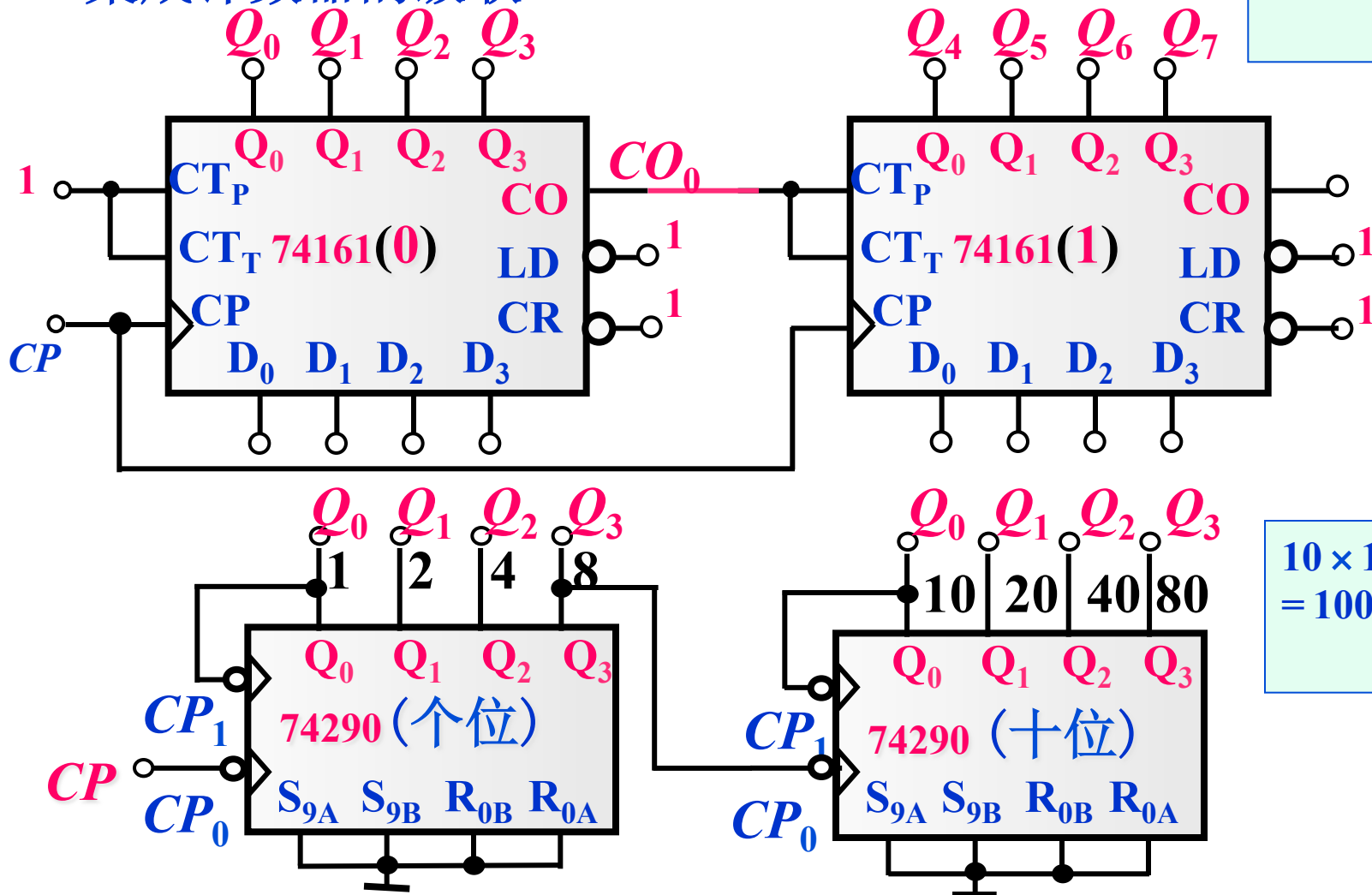


计数容量的扩展



$$16 \times 16 \\ = 256$$

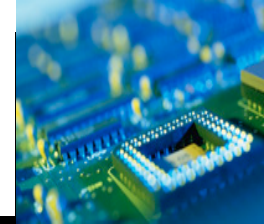
1. 集成计数器的级联



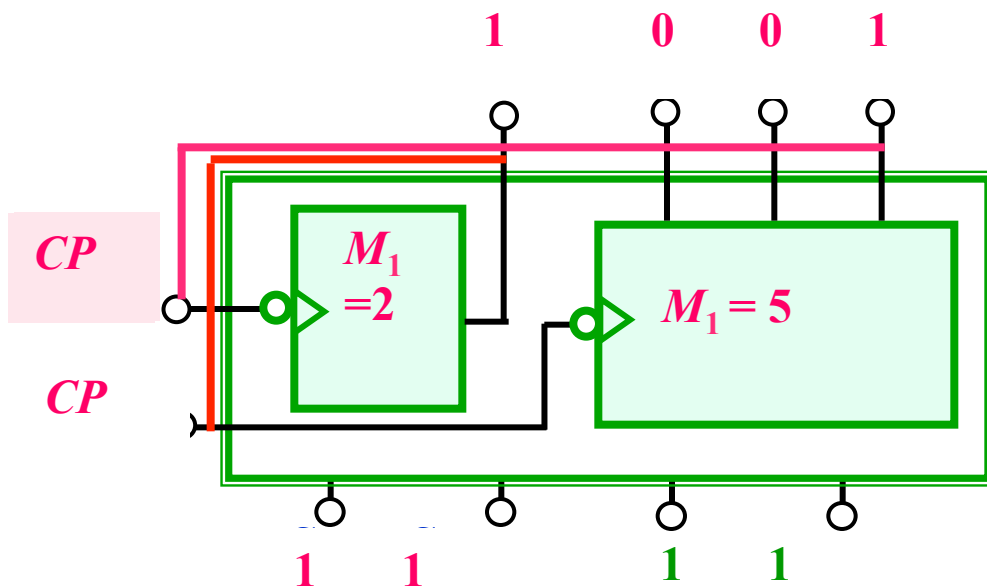
$$10 \times 10 \\ = 100$$



补充:十进制异步计数器



(三) 集成十进制异步计数器



异步清零功能

异步置“9”功能

异步计数功能

$M=2$

$$CP_0 = CP$$

$M=5$

$$CP_1 = CP$$

$M=10$

$$CP_0 = CP, CP_1 = Q_0$$

$$CP_1 = CP, CP_0 = Q_3$$

Q_0

$Q_3 \ Q_2 \ Q_1$

$Q_3 \ Q_2 \ Q_1 \ Q_0$

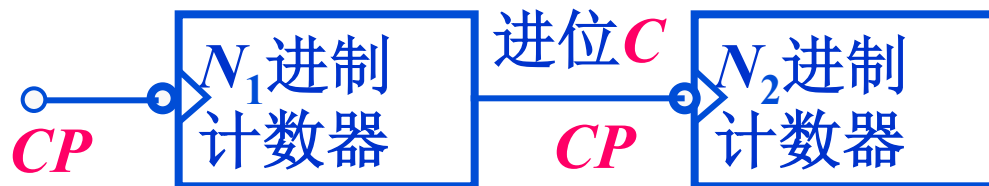
$Q_0 \ Q_3 \ Q_2 \ Q_1$



2. 利用级联获得大容量 N 进制计数器



1) 级联 N_1 和 N_2 进制计数器，容量扩展为 $N_1 \times N_2$



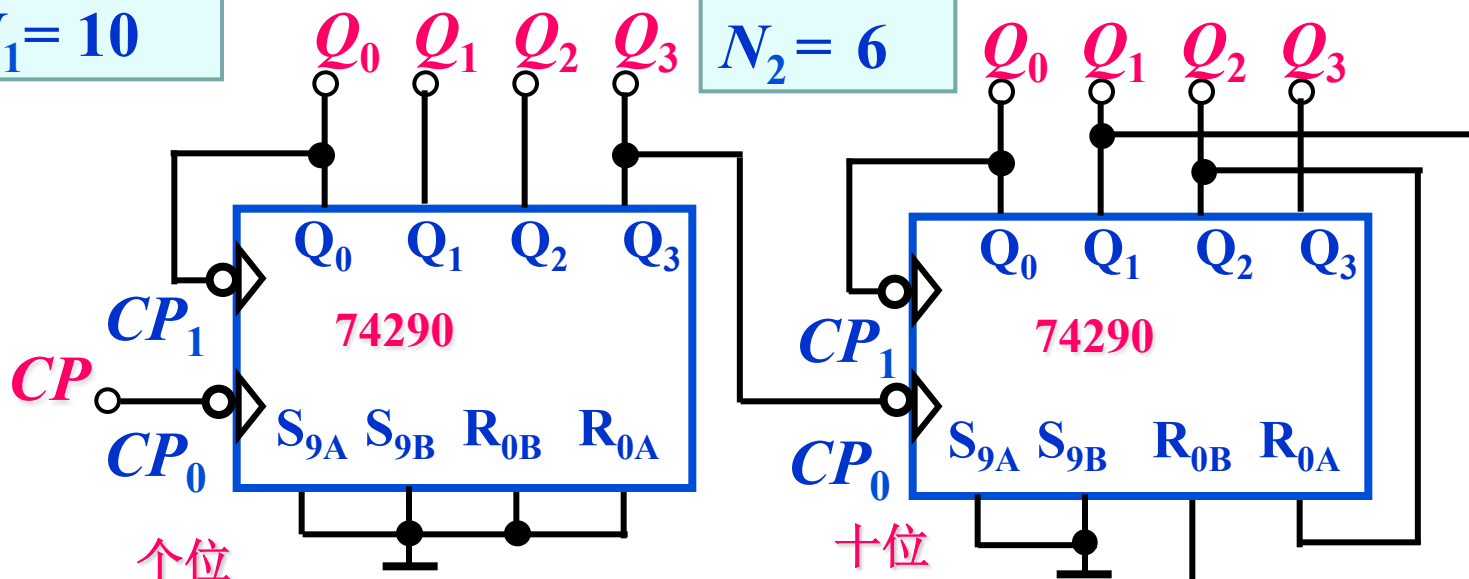
[例] 用 74290 构成 六十 进制计数器

$$60 = 6 \times 10 = N_1 \times N_2 = N$$

异步清零

$N_1 = 10$

$N_2 = 6$



个位芯片应逢十进一



2) 用归零法或置数法获得大容量的 N 进制计数器

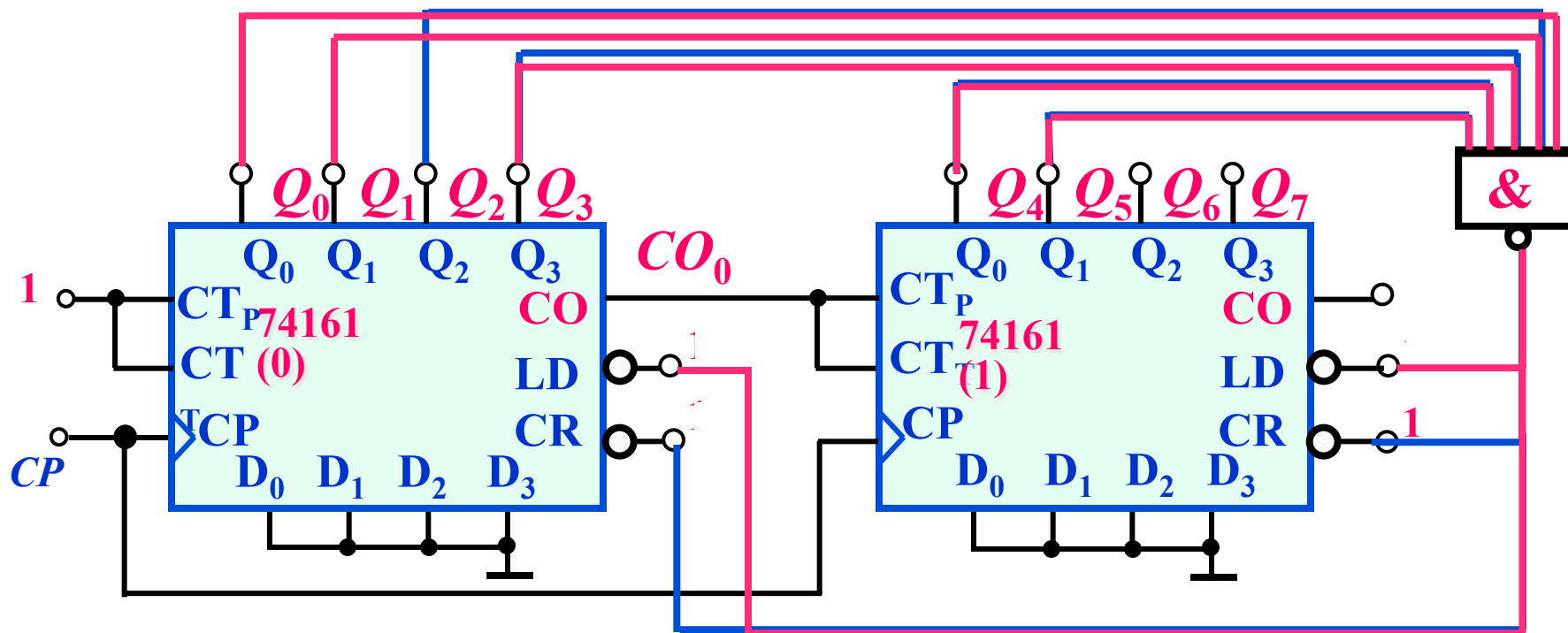


[例] 试分别用 74161 和 74162 接成六十进制计数器。

用 S_N 产生异步清零信号: $S_N = S_{60} = (111100)$

用 S_{N-1} 产生同步置数信号: $S_{N-1} = S_{59} = (111011)$

先用两片 74161 构成 256 进制计数器





74162 — 同步清零，同步置数。

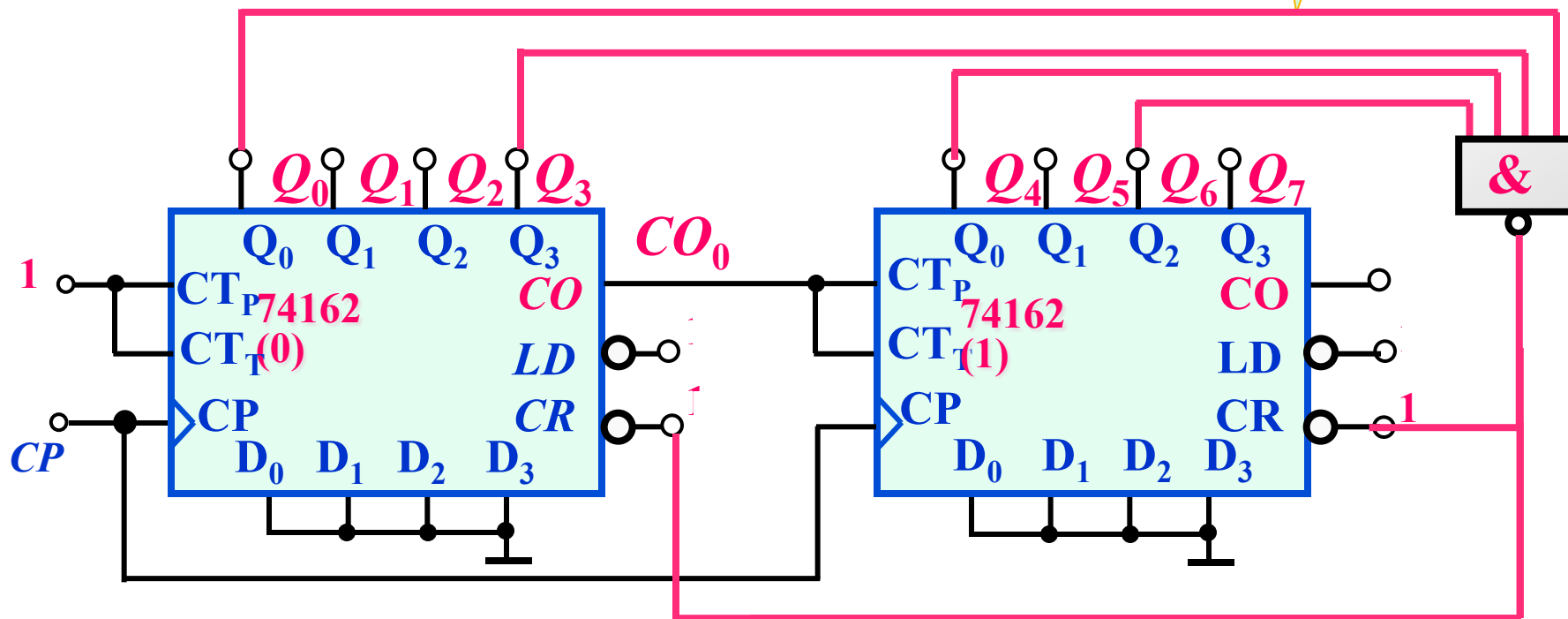
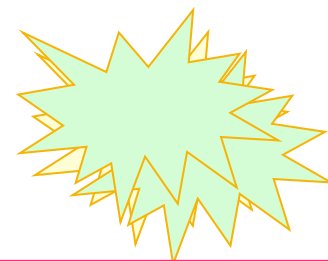


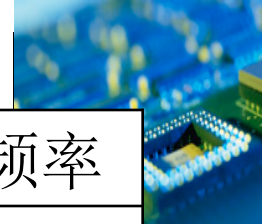
先用两片74162构成 10×10 进制计数器，

再用归零法将 $M=100$ 改为 $N=60$ 进制计数器，

即用 S_{N-1} 产生同步清零、置数信号。

$$S_{N-1} = S_{59} = (0101\ 1001)_{\text{BCD}}$$





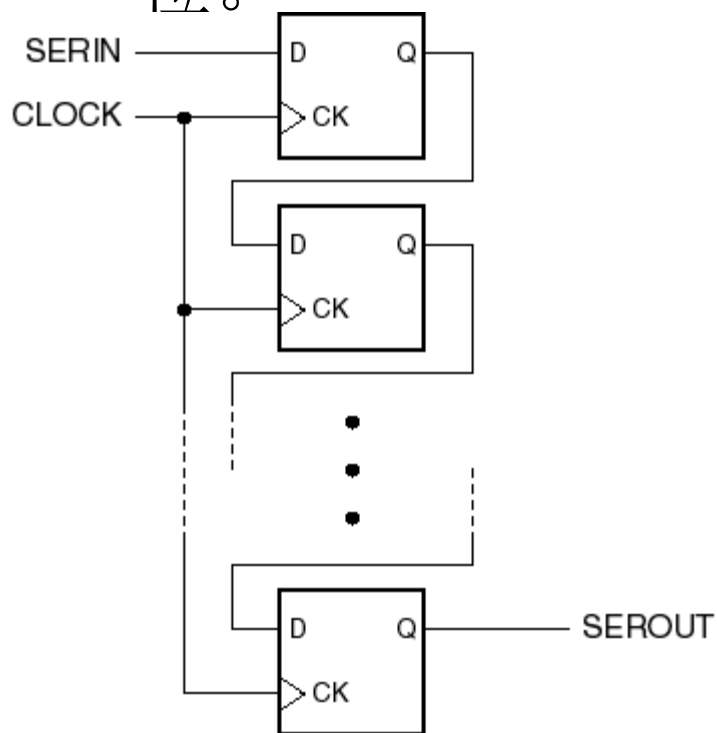
型号	模式	预置	清零	工作频率
74LS162A	十进	同步	同步（低）	25 MHz
74LS160A	十进	同步	异步（低）	25 MHz
74LS168	十进可逆	同步	无	40 MHz
74LS190	十进可逆	异步	无	20 MHz
74ALS568	十进可逆	同步	同步（低）	20 MHz
74LS163A	4位二进	同步	同步（低）	25 MHz
74LS161A	4位二进	同步	异步（低）	25 MHz
74ALS561	4位二进	同步	同步（低） 异步（低）	30 MHz
74LS193	4位二进可逆	异步	异步（高）	25 MHz
74LS191	4位二进可逆	异步	无	20 MHz
74ALS569	4位二进可逆	同步	异步（低）	20 MHz
74ALS867	8位二进	同步	同步	115 MHz
74ALS869	8位二进	异步	异步	115 MHz



移位寄存器



- 移位寄存器shift register: 是一个n位寄存器，在每一个时钟触发沿到来时就将所存储的数据移一位。



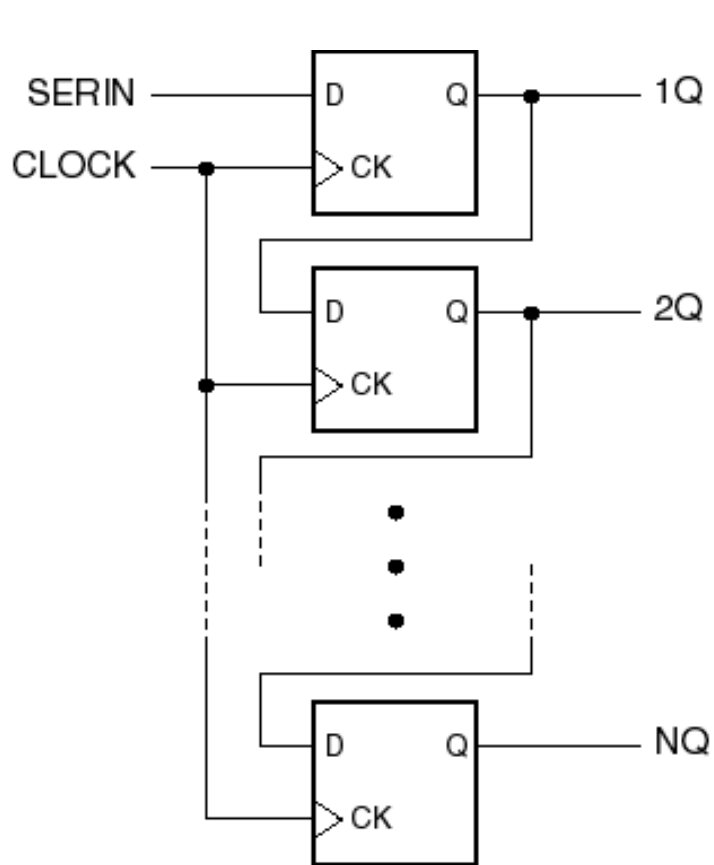
- 处理串行数据
- 用于rs232,modem通信、以太网连接等
- 串入串出



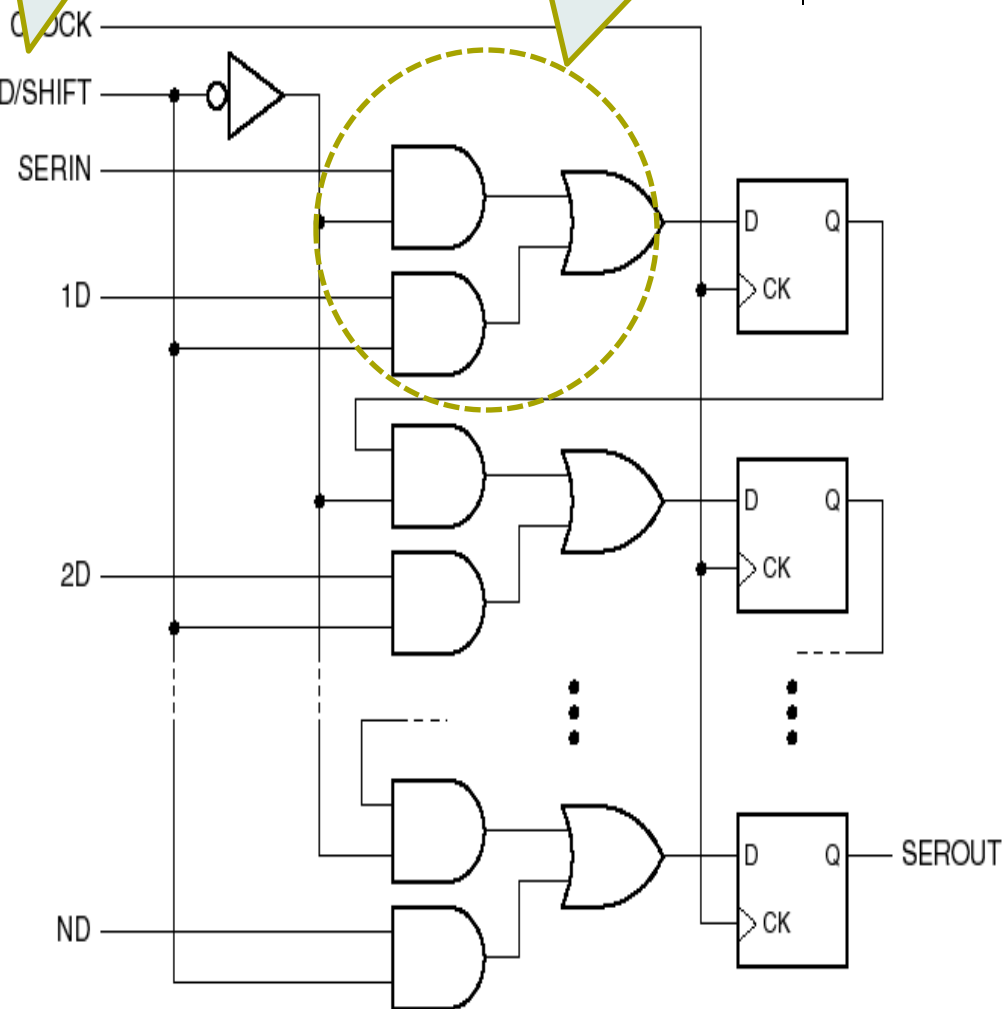
移位寄存器

装载或移位

二输入多路复用器



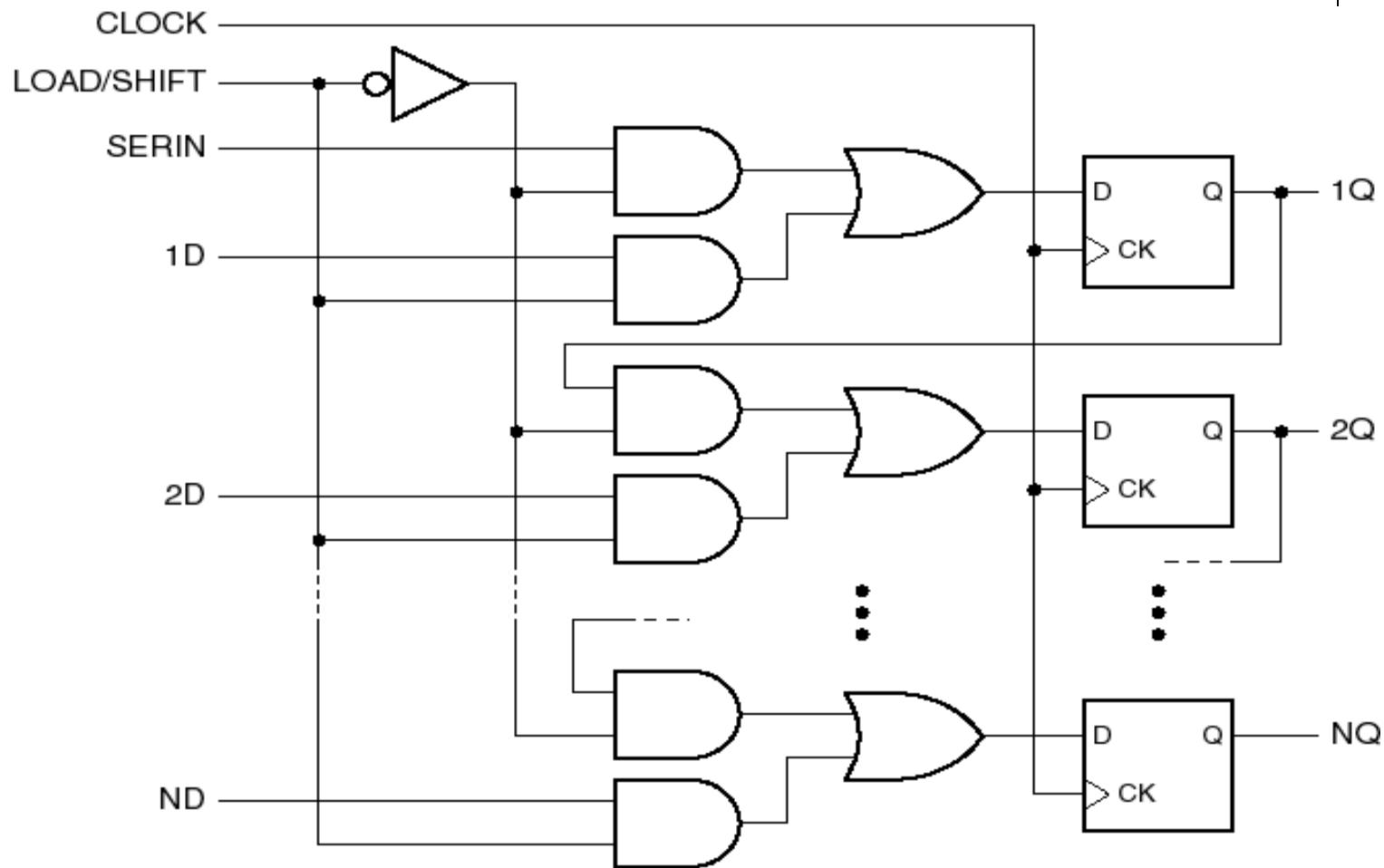
串入并出



并入串出

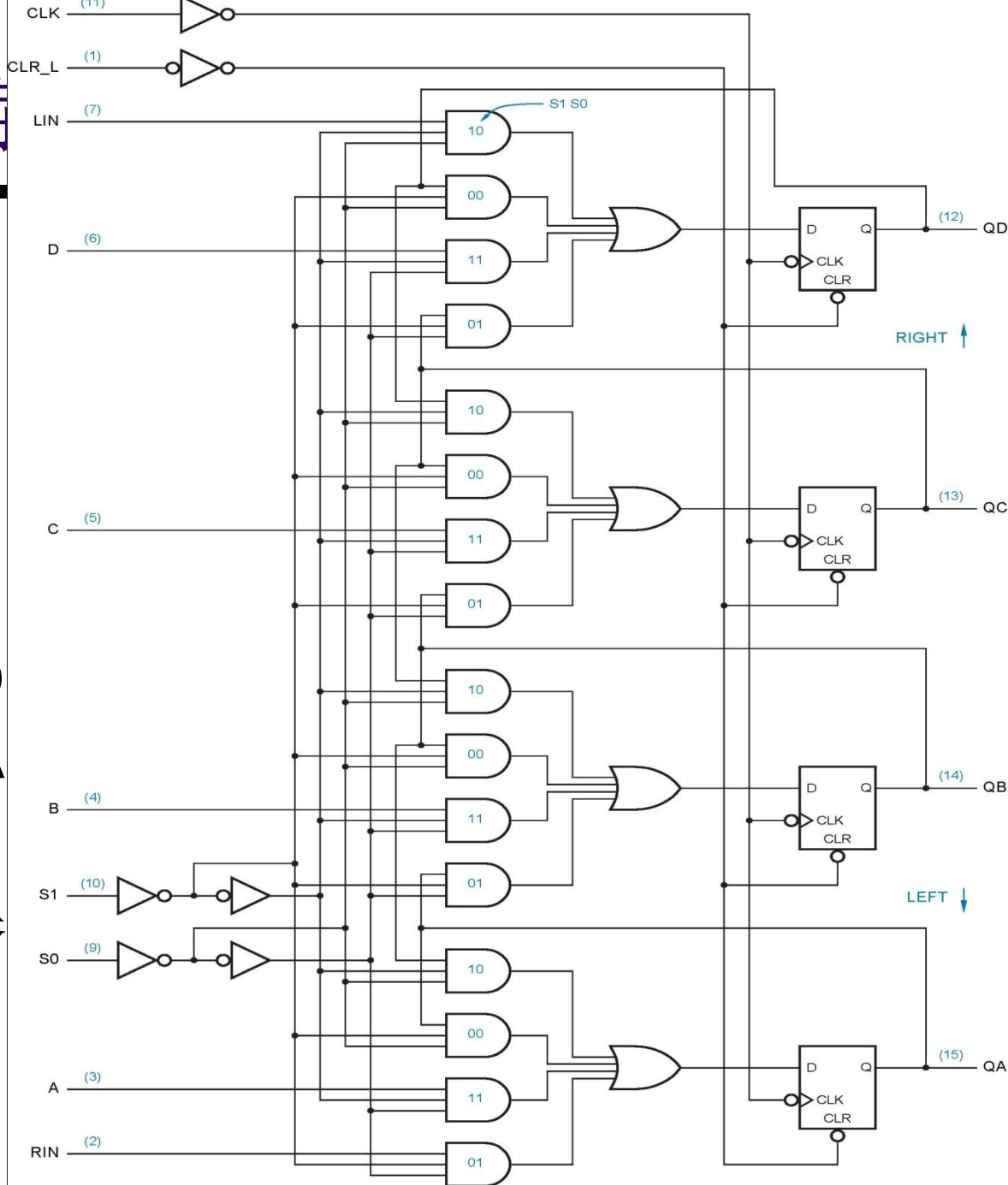


并入并出移位寄存器



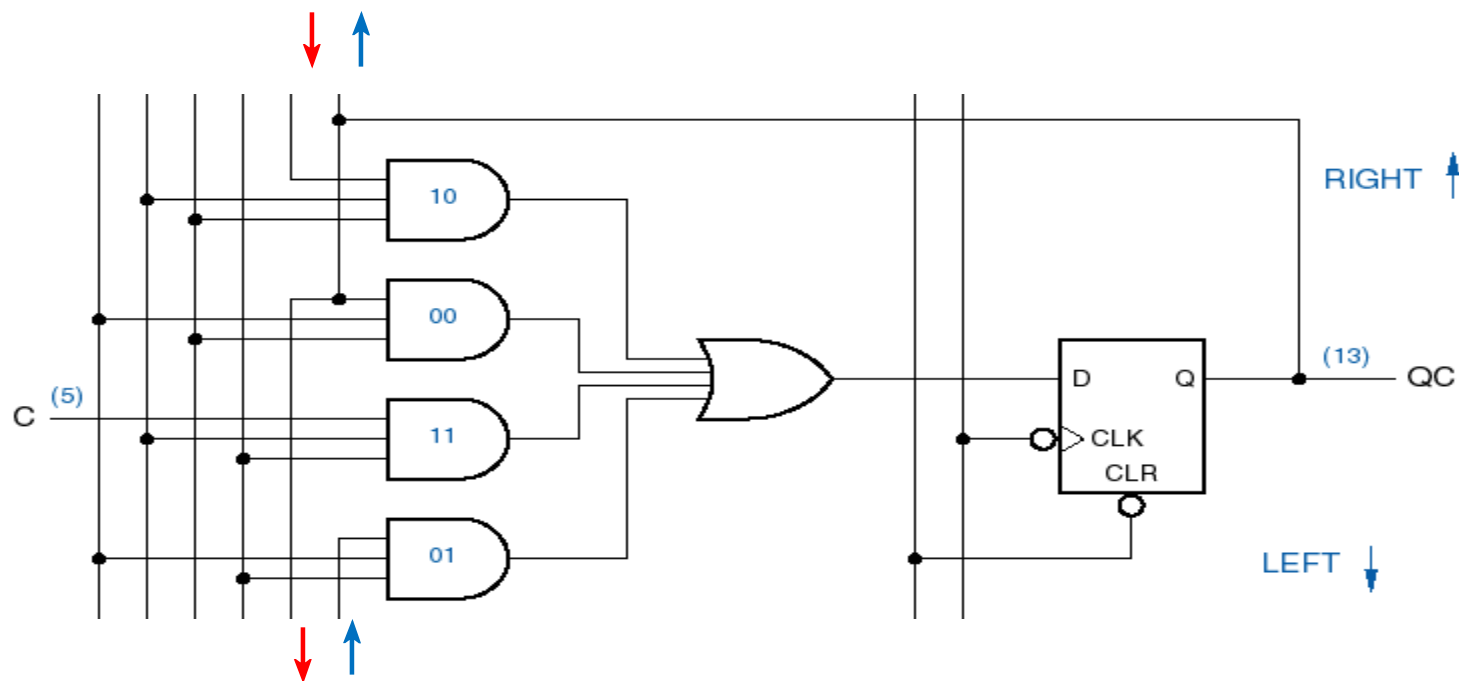
通用移位寄存器

- 74x194, 4位双向并入并出移位寄存器
- 4种功能 s_1, s_0
 - 00:保持
 - 01:右移, $QA \rightarrow QD$
 - 10:左移, $QD \rightarrow QA$
 - 11:载入
- 4输入多路复用器





74x194的一位



Function	Inputs		Next state			
	S1	S0	QA*	QB*	QC*	QD*
Hold	0	0	QA	QB	QC	QD
Shift right	0	1	RIN	QA	QB	QC
Shift left	1	0	QB	QC	QD	LIN
Load	1	1	A	B	C	D



移位寄存器的应用

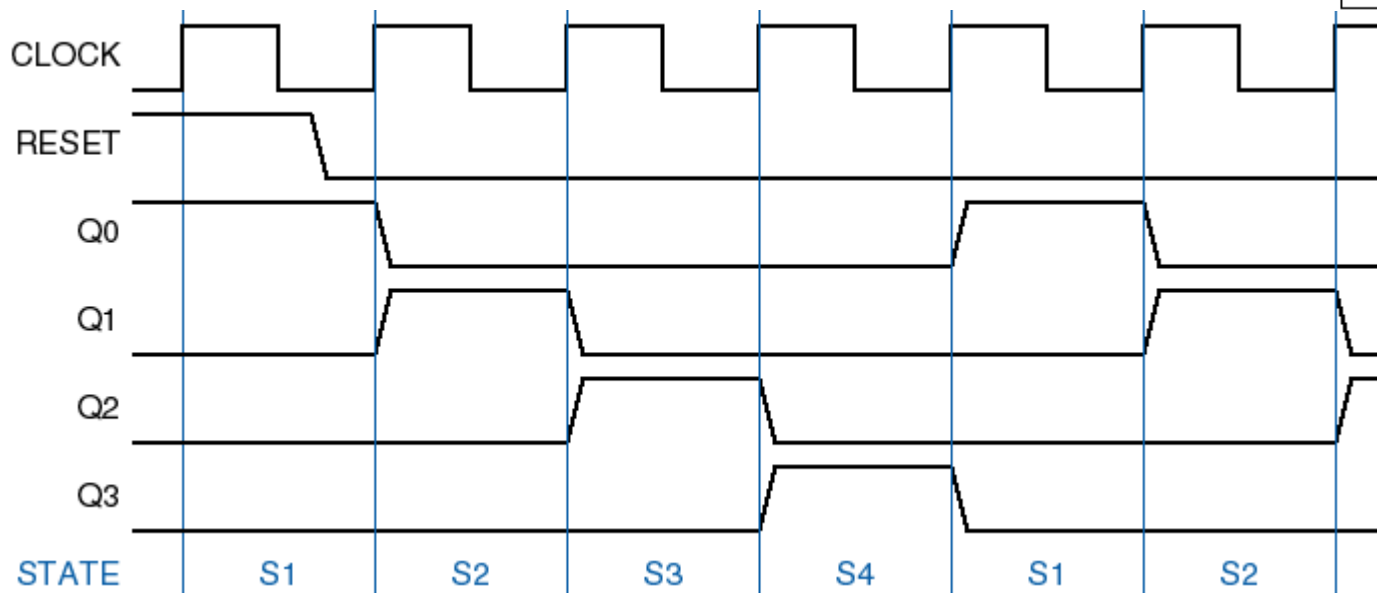
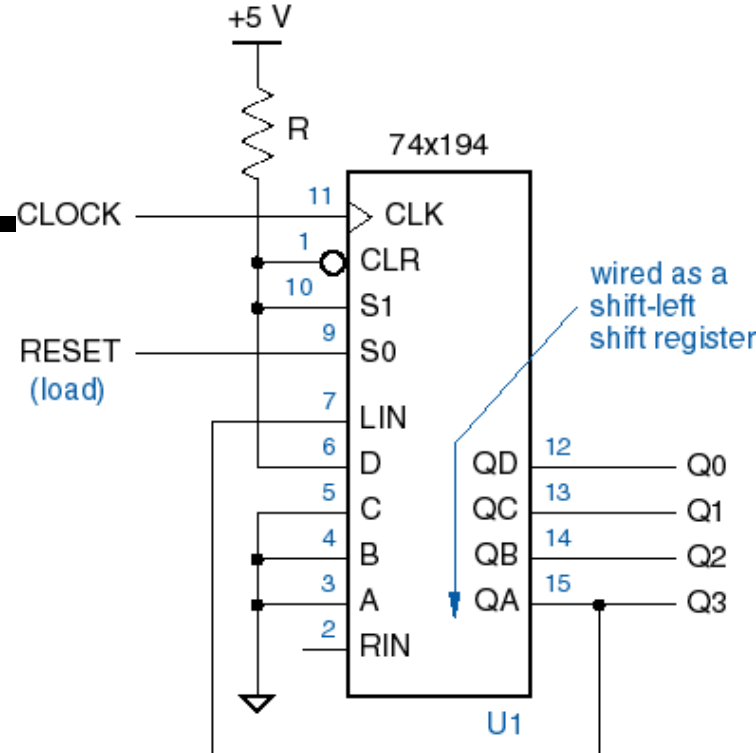


- 串并转换是移位寄存器的“数据应用”。
- 与组合电路构成具有循环状态图的状态机，“非数据应用”，称为移位寄存器计数器**shift-register counter**。
- 计数顺序既不是升序也不是降序。



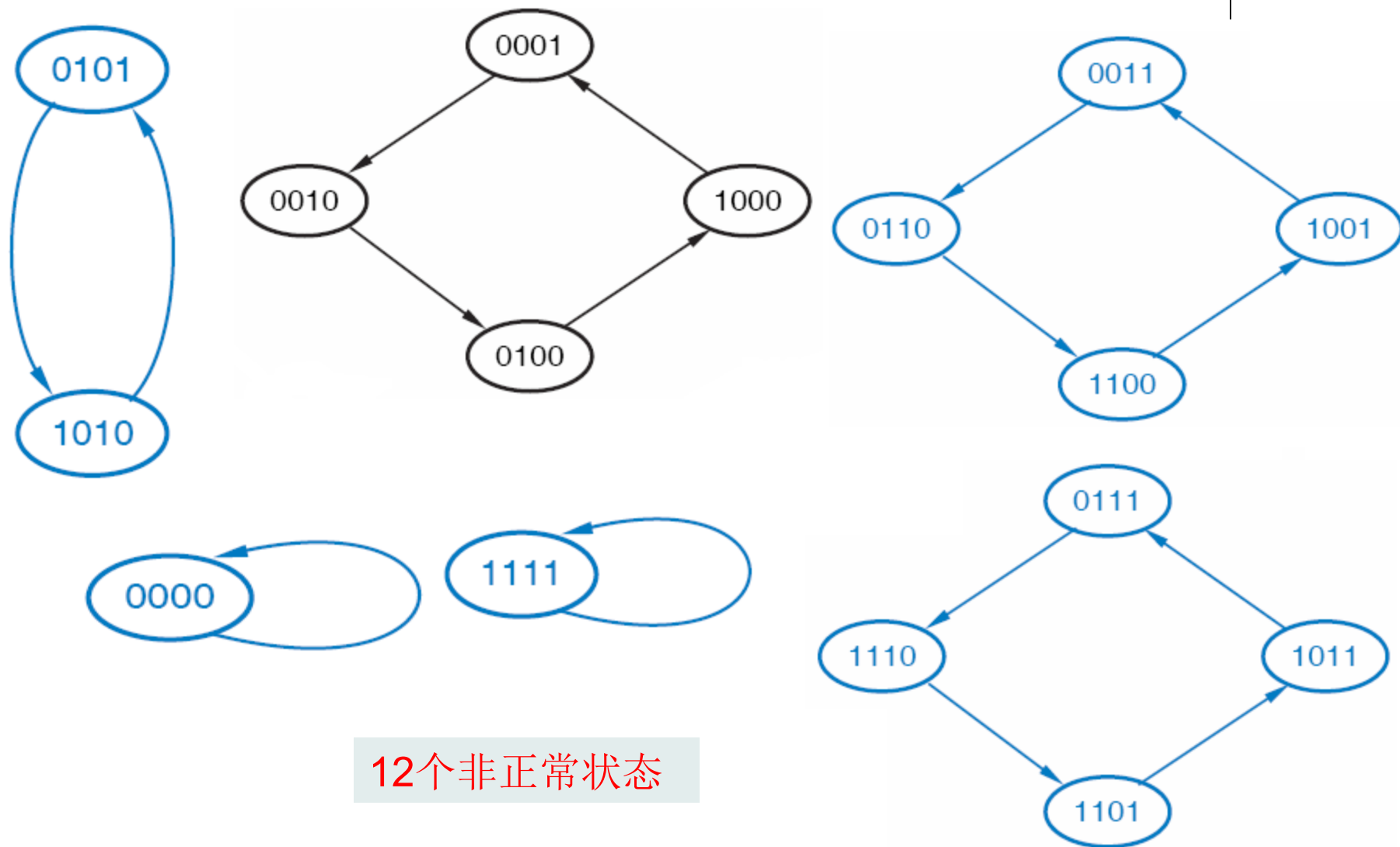
环形计数器

- rising counter
- 左移，预置0001
- 四种状态0001, 0010, 0100, 1000, 0001, 0010,...
- 不具有健壮性



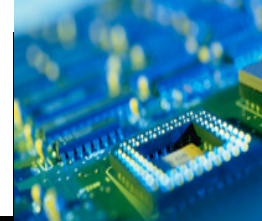


简单环形计数器状态图

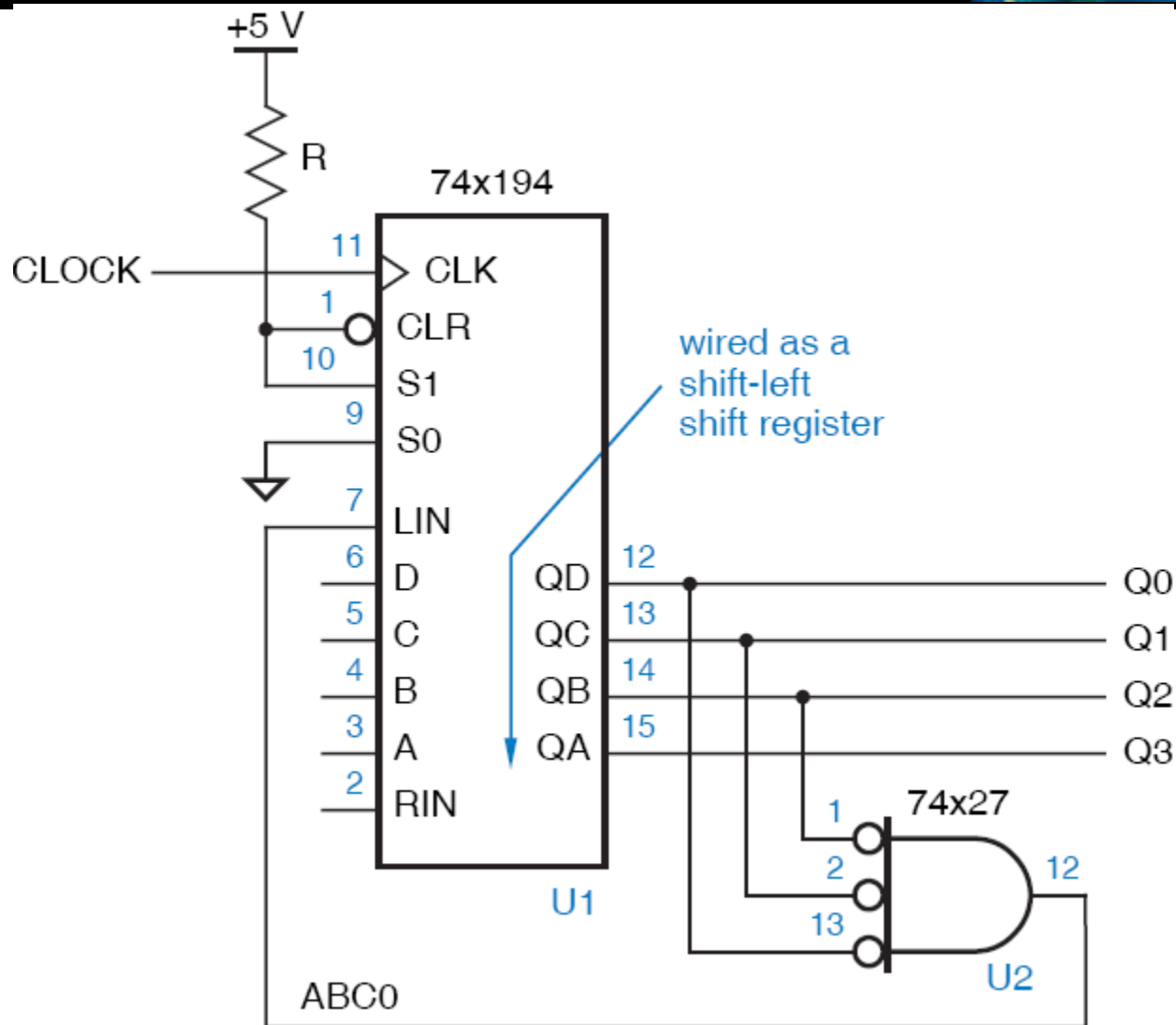




自校正环形计数器

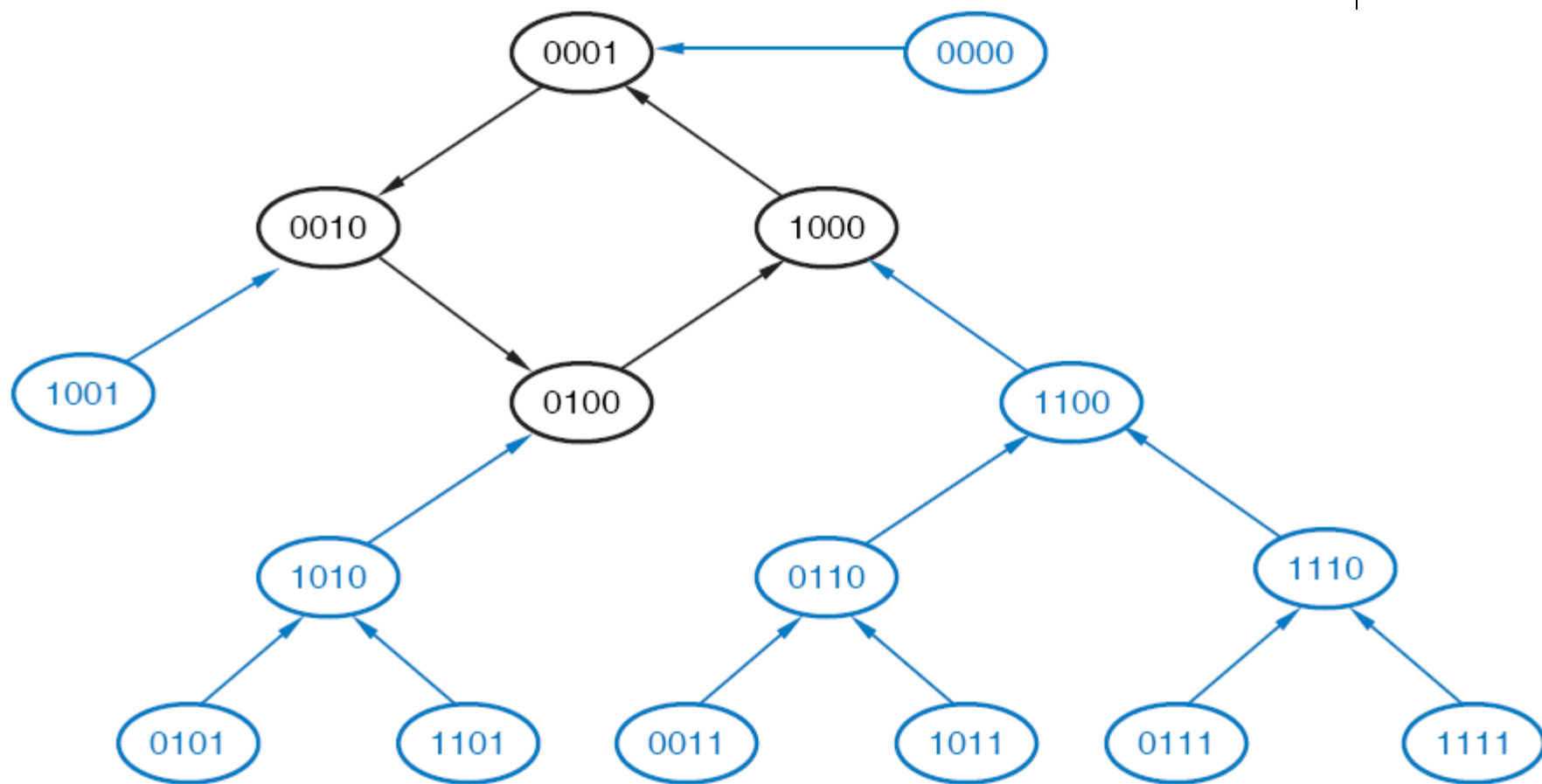


- 增加一个三输入或非门，确保低3位值都为零，才向LIN移入1.



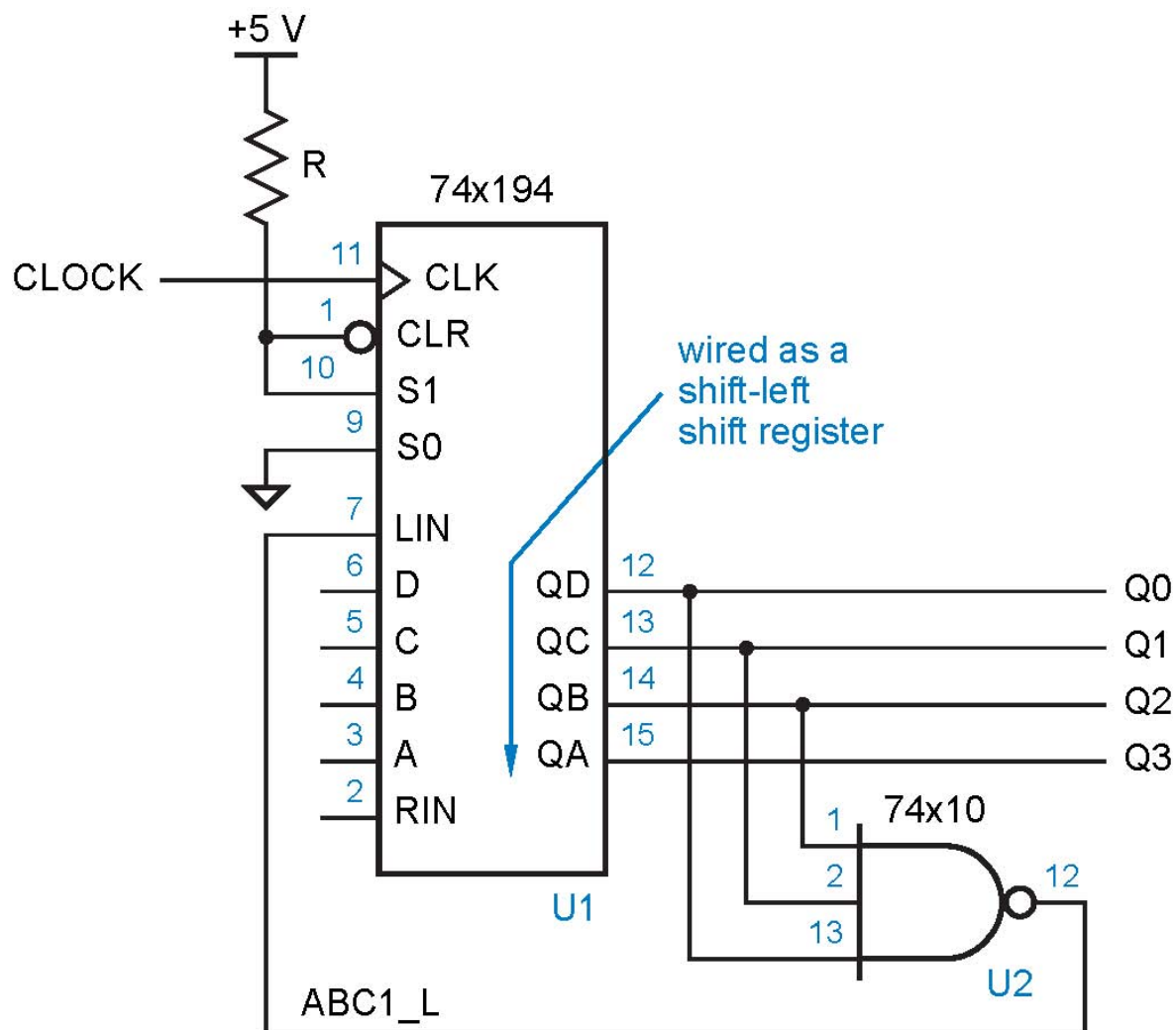


自校正环形计数器状态图





带单个0的自校正环形计数器

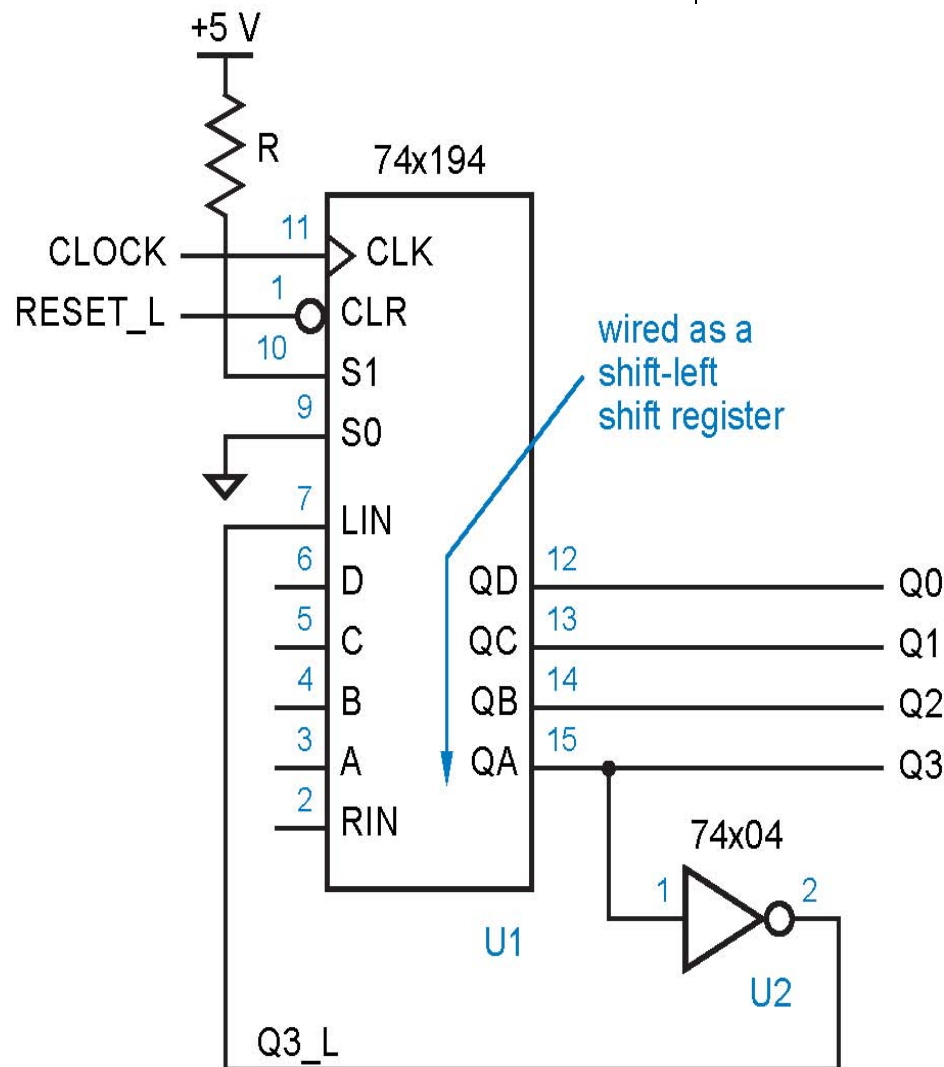




Johnson计数器

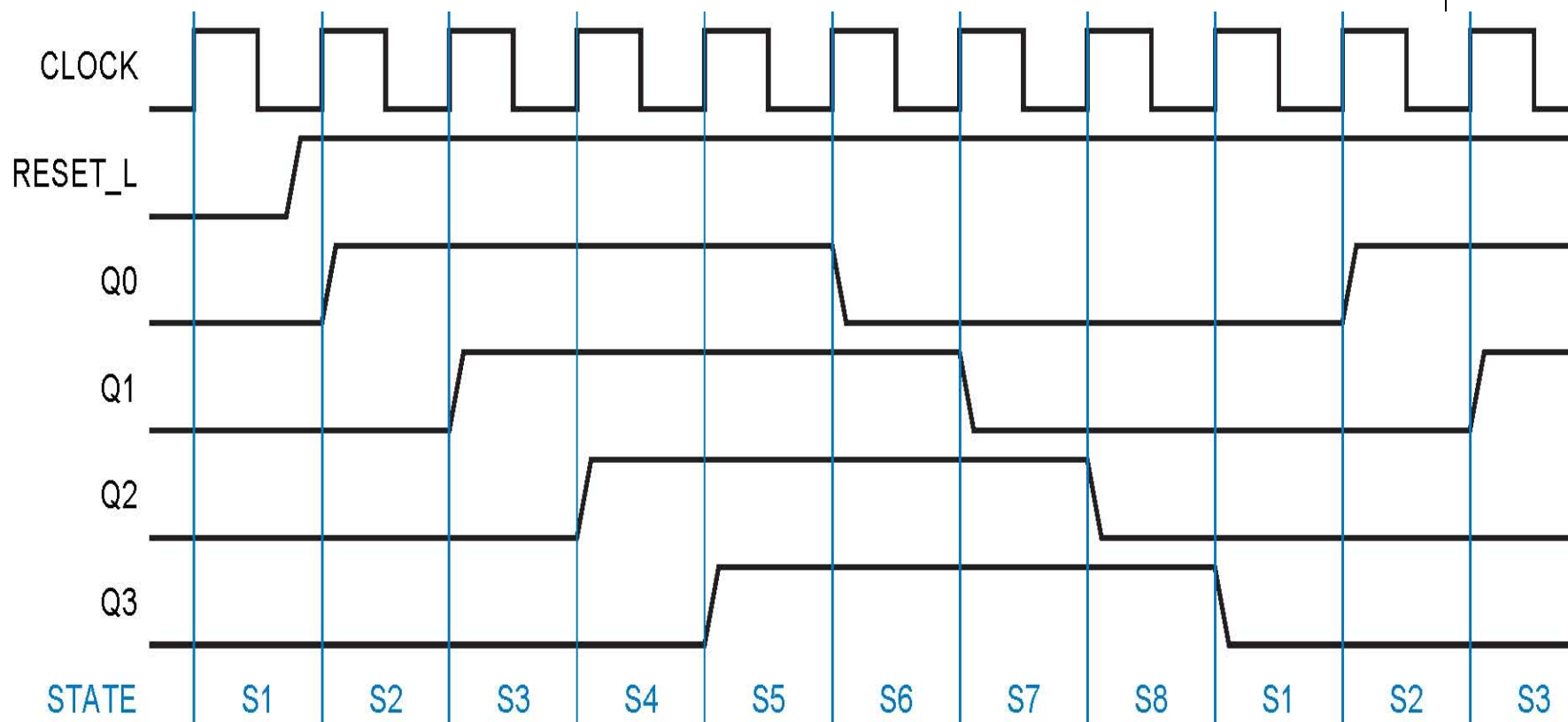


- 扭环计数器，把 n 位移位寄存器的串行输出取反，得到具有 $2n$ 种状态的计数器。
- 初态为0000, 0001, 0011, 0111, 1111, 1110, 1100, 1000, 0000, 0001, ...
- 有 $2^n - 2n$ 个非正常状态，存在健壮性





4位Johnson计数器定时图





4位Johnson计数器定时图

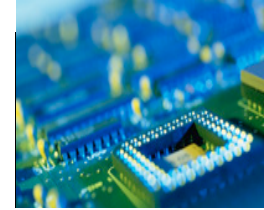


- Johnson计数器的解码
 - 把每个状态和缺省状态合并到一起进行化简。

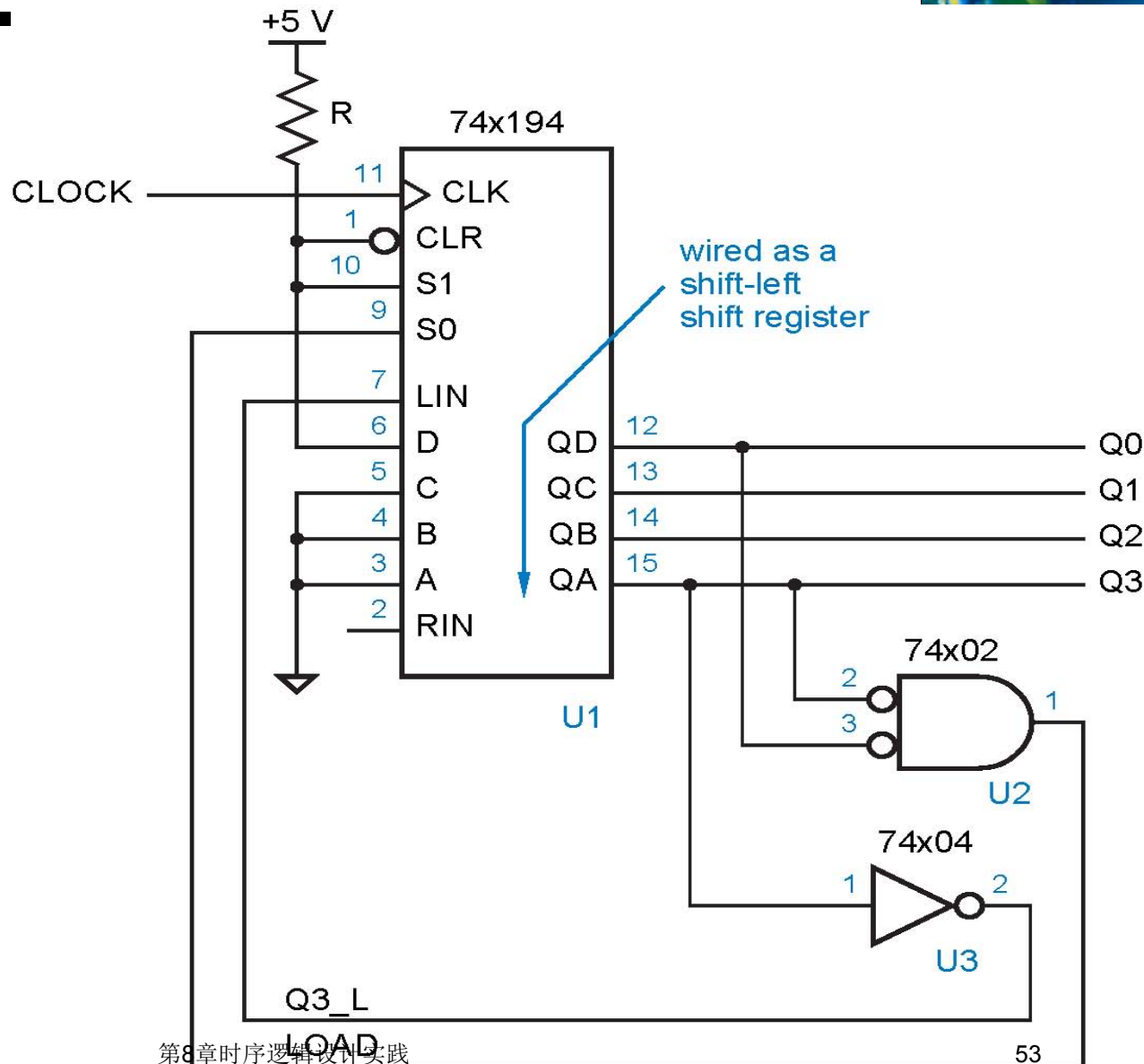
<i>State Name</i>	<i>Q3</i>	<i>Q2</i>	<i>Q1</i>	<i>Q0</i>	<i>Decoding</i>
S1	0	0	0	0	$Q3' \cdot Q0'$
S2	0	0	0	1	$Q1' \cdot Q0$
S3	0	0	1	1	$Q2' \cdot Q1$
S4	0	1	1	1	$Q3' \cdot Q2$
S5	1	1	1	1	$Q3 \cdot Q0$
S6	1	1	1	0	$Q1 \cdot Q0'$
S7	1	1	0	0	$Q2 \cdot Q1'$
S8	1	0	0	0	$Q3 \cdot Q2'$



4位8状态自校正Johnson计数器



- 当前状态为0xx0时，下一状态为0001。





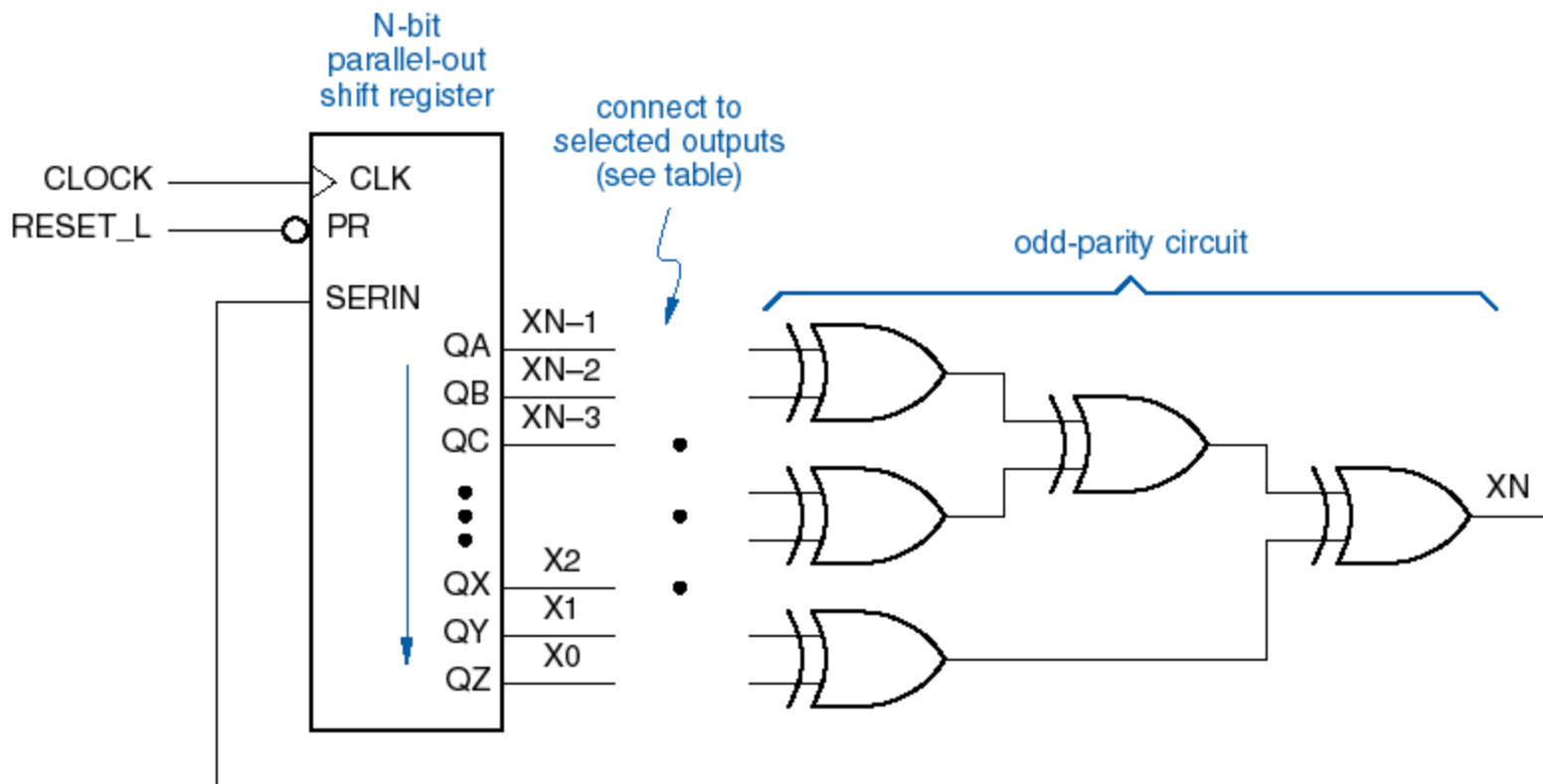
线性反馈移位寄存器计数器



- n 位线性反馈移位寄存器计数器(n -bit linear feedback shift-register counter, LFSR)有 2^n-1 种有效状态, 通常称为最大长度序列发生器(maximum-length sequence generator)。
- 基于有限域理论 (finite field), 对于任意值 n , 至少可以找到一种反馈方程, 使得计数器的计数循环包含所有 2^n-1 种非零状态。
- 最大长度序列。
- n 大于3, 有多个反馈方程可实现最大长度序列。
- 用于伪随机数生成器、检错码、纠错码, 加扰和解扰通信数据等。



线性反馈移位寄存器计数器结构



- 不包含全0状态。
 - 0状态挂起，下一状态仍是0。



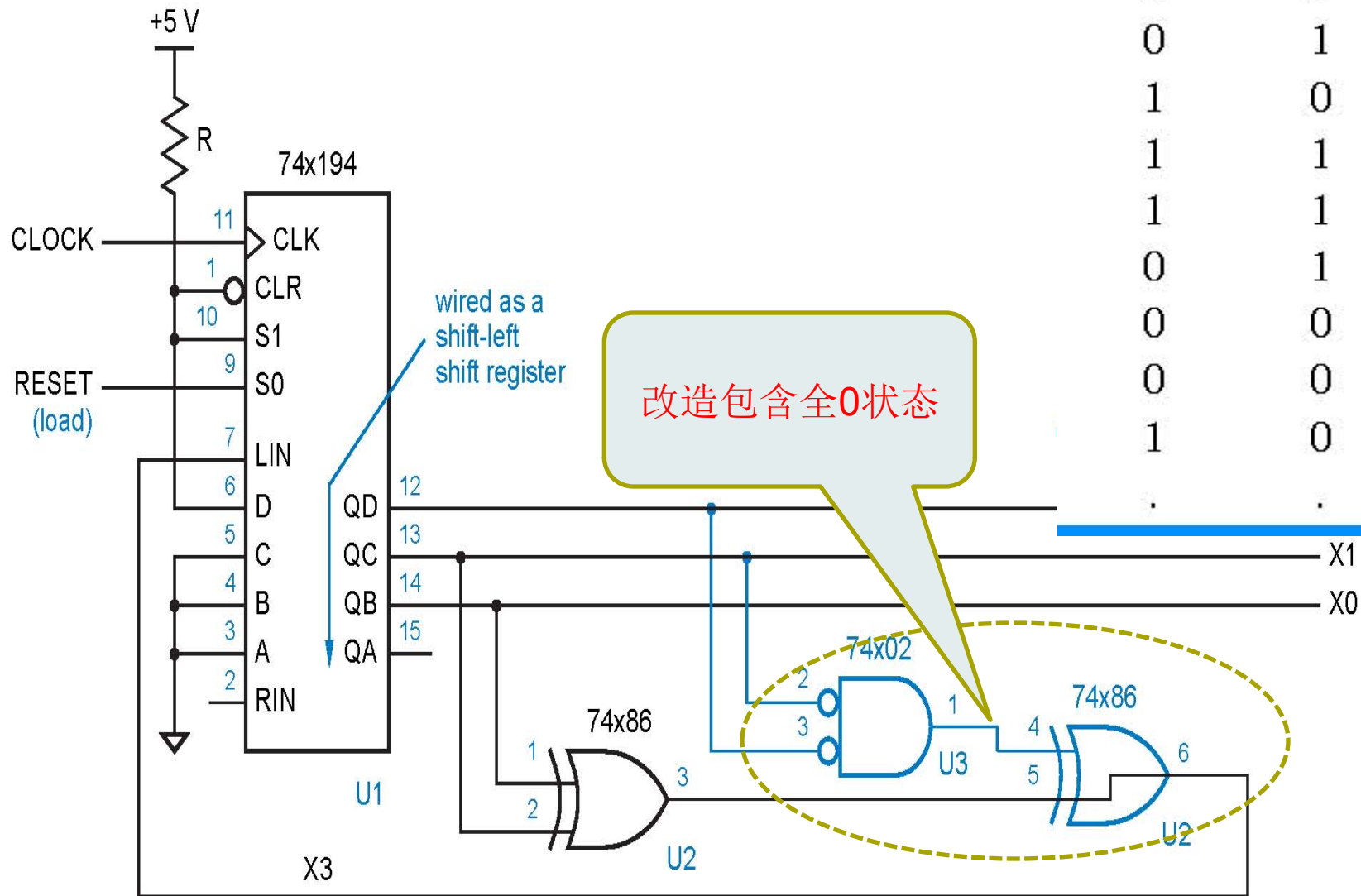
反馈方程



<i>n</i>	<i>Feedback Equation</i>
2	$X_2 = X_1 \oplus X_0$
3	$X_3 = X_1 \oplus X_0$
4	$X_4 = X_1 \oplus X_0$
5	$X_5 = X_2 \oplus X_0$
6	$X_6 = X_1 \oplus X_0$
7	$X_7 = X_3 \oplus X_0$
8	$X_8 = X_4 \oplus X_3 \oplus X_2 \oplus X_0$
12	$X_{12} = X_6 \oplus X_4 \oplus X_1 \oplus X_0$
16	$X_{16} = X_5 \oplus X_4 \oplus X_3 \oplus X_0$
20	$X_{20} = X_3 \oplus X_0$
24	$X_{24} = X_7 \oplus X_2 \oplus X_1 \oplus X_0$
28	$X_{28} = X_3 \oplus X_0$
32	$X_{32} = X_{22} \oplus X_2 \oplus X_1 \oplus X_0$



3位LFSR计数器



Modified Sequence

X2	X1	X0
1	0	0
0	1	0
1	0	1
1	1	0
1	1	1
0	1	1
0	0	1
0	0	0
1	0	0
.	.	.



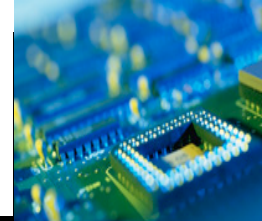
补充：计数器的应用



- 序列信号发生器
 - 用来产生规定的串行脉冲序列信号。
 - 一般用移存型计数器组成，两者非常相似。
 - 对移存计数器，其模值 M 和移存器位数 k 的关系一定能满足 $2^{k-1} < M \leq 2^k$ 。
 - 对长度为 M 的序列信号发生器，所需的移存器位数可能大于上式所决定的 k 值，否则就得不到所需要的序列信号。

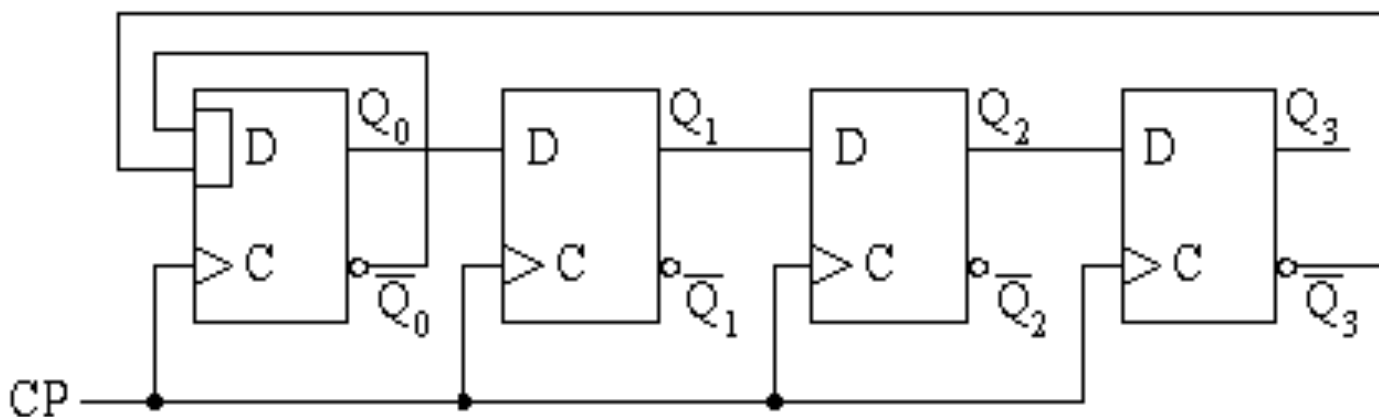


补充：计数器的应用



- 序列信号发生器分析

Q3	Q2	Q1	Q0	D
1	0	1	0	0
0	1	0	0	1
1	0	0	1	0
0	0	1	0	1
0	1	0	1	0





补充：计数器的应用



- 序列信号发生器设计：（注意序列次序）
- “011010”？

LFSR现态	反馈输入
0 1	1
1 1	0
1 0	1
0 1	0
1 0	0

$$D0=Q0Q1Q2'+Q0Q1'Q2'+Q0'Q1'Q2$$

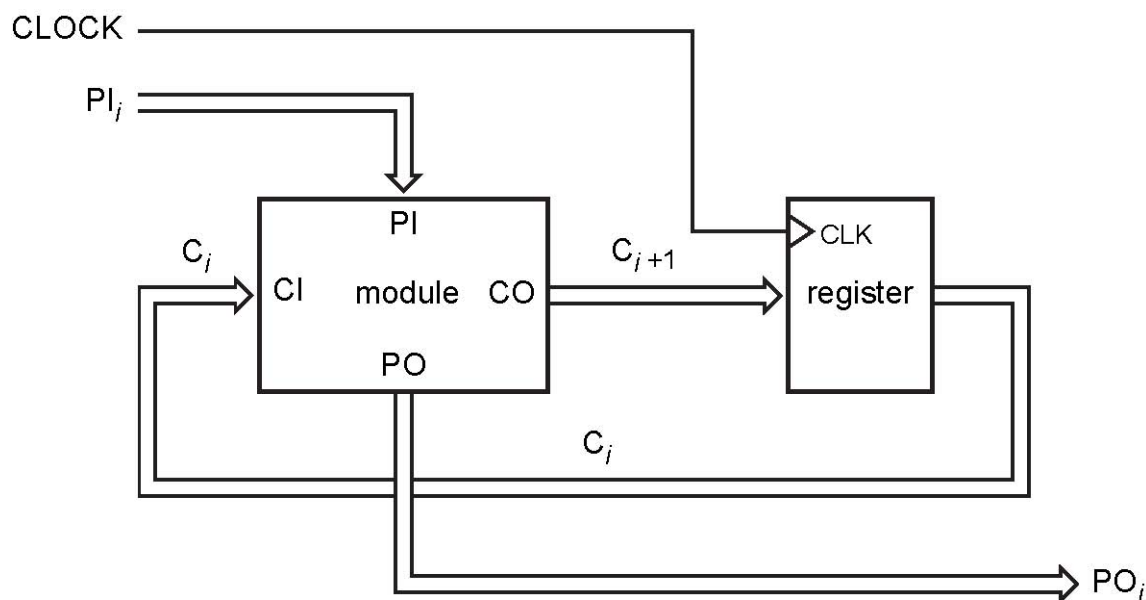
LFSR现态	反馈输入
0 1 1	0
1 1 0	1
1 0 1	0
0 1 0	0
1 0 0	1
0 0 1	1
0 1 1	0

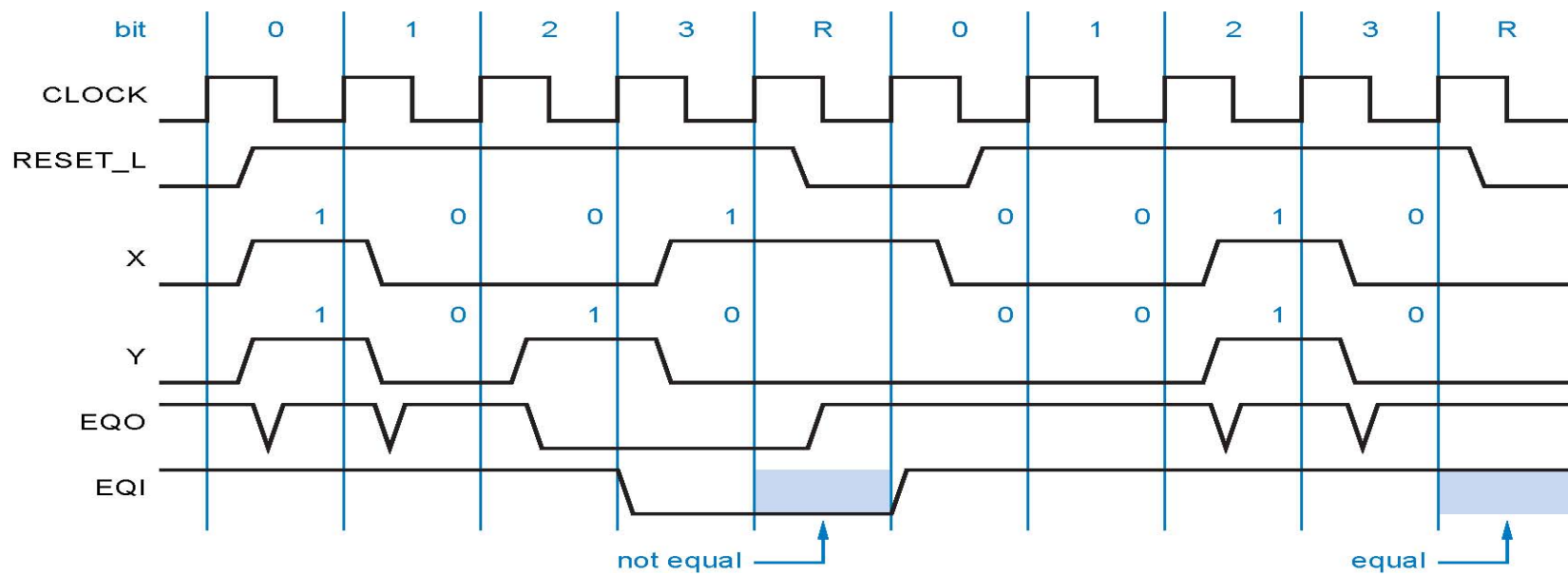
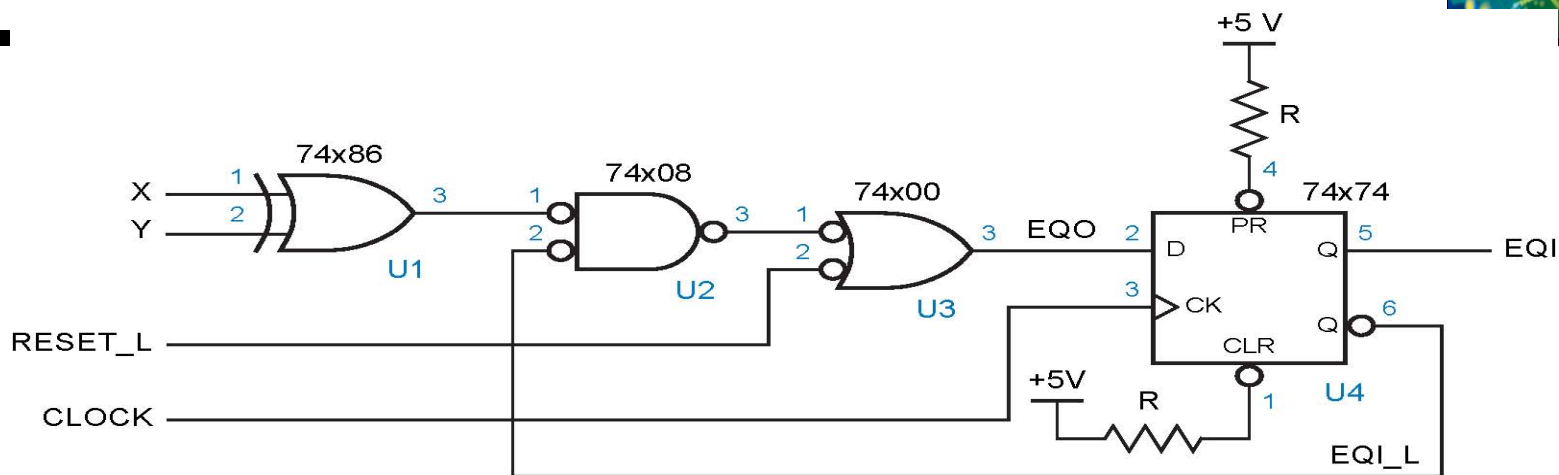


迭代电路与时序电路



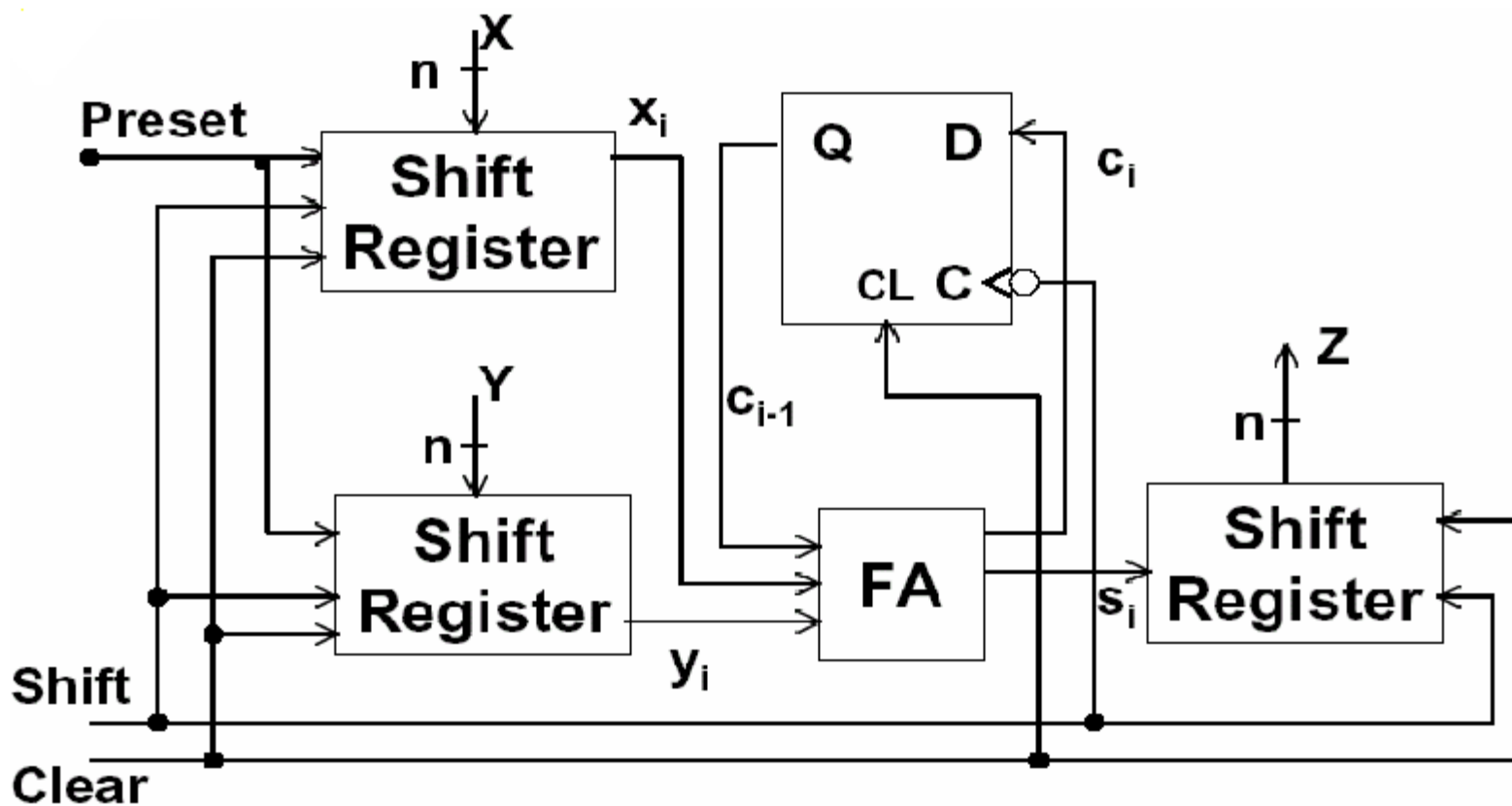
- 一个由 n 个模块构成的迭代电路，其功能可以用一个模块加暂存机制构成的时序电路来完成，需经过 n 个时钟周期才能得到结果。
- 数字设计中的空间/时间折中。







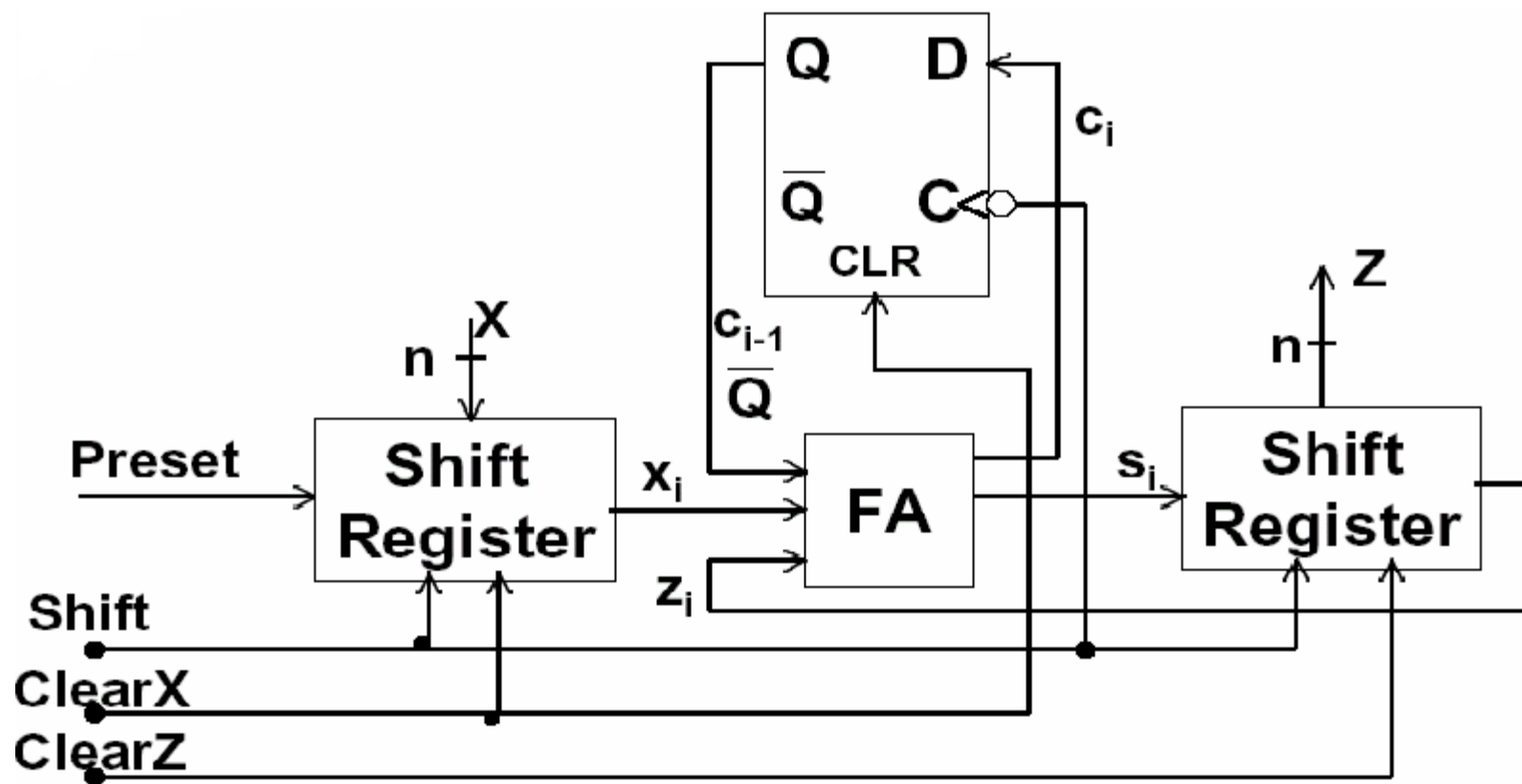
串行加法器



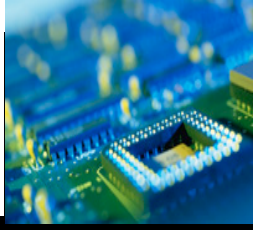
- 仅使用一个全加器，便能实现 n 位数据的串行相加
- 与行波进位相比，它需要较少的电路但是需要更多的时间。



串行累加器



- 对一串连续的数字计算累加和。
- 必须注意其结果不得超出累加器的表示范围。



- p574页,
 - 8.13, 8.28, 8.31, 8.35, 8.38, 8.42,
 - 8.57, 8.58, 8.63