2012 University/College IC Design Contest

Cell-Based IC Design Category for Graduate Level

*Multi-Bank Filter*

1.問題描述

請完成一Multi-Bank Filter (**後文以MBF表示**)的電路設計，如圖一所示。此電路可以將任意8bits(含正負號)的數位訊號**x**，(1)進行低通濾波器(Low Pass Filter**後文以LPF表示**)運算，並將其運算結果輸出至8bits之匯流排**y**，(2)進行高通濾波器(High Pass Filter**後文以HPF表示**)運算，並將其運算結果輸出至8bits之匯流排**z**。有關MBF詳細規格將描述於後。

本電路各輸入輸出信號的功能說明，請參考表一。每個參賽隊伍必須根據下一節所給的設計規格及附錄A中的測試樣本完成設計驗證。

本次IC設計競賽比賽時間為上午08:30到下午20:30。當IC設計競賽結束後，CIC會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄E中所列的要求，附上評分所需要的檔案。

本題目之測試樣本置於 ***/usr/cad/icc2012/gcb/icc2012cb.tar*** ，請執行以下指令取得測試樣本：

***tar xvf /usr/cad/icc2012/gcb/icc2012cb.tar***

**軟體環境及設計資料庫說明請參考附錄F與附錄G。**

圖一、Multi-Bank Filter之方塊圖

2.設計規格

2.1 系統方塊圖



圖二、系統方塊圖

2.2輸入/輸出介面

表 1 -輸入/輸出訊號

|  |  |  |  |
| --- | --- | --- | --- |
| Signal Name | I/O | Width | Simple Description |
| clk | I | 1 | 本系統為同步於時脈正緣之同步設計。 |
| reset | I | 1 | 高位準”非”同步(active high asynchronous)之系統重置信號。 |
| y\_valid | O | 1 | LPF輸出資料之有效控制訊號。當為High時，表示目前輸出的資料為有效的；反之，當為Low時，表示目前輸出資料為無效的，即不被採用。 |
| y | O | 8 | LPF資料輸出的匯流排。當LPF計算完畢後，可透過此匯流排將運算完畢的數值，輸出至Host端。注意：每一個週期僅能輸出一筆值。 |
| z\_valid | O | 1 | HPF輸出資料之有效控制訊號。當為High時，表示目前輸出的資料為有效的；反之，當為Low時，表示目前輸出資料為無效的，即不被採用。 |
| z | O | 8 | HPF資料輸出的匯流排。當HPF計算完畢後，可透過此匯流排將運算完畢的數值，輸出至Host端。注意：每一個週期僅能輸出一筆值。 |



圖三、Multi-bank Filter架構

2.3系統描述

**2.3.1 MBF系統架構**

MBF電路包含了兩種濾波器的運算，LPF與HPF運算，如圖三所示。其中輸入訊號**x**為8bits表示，LPF輸出訊號**y**與HPF輸出訊號**z**也皆為8bits表示，主辦單位所提供之輸入訊號**x**範圍限定為 -110 ~ 110，因此濾波器運算後的結果**y**與**z，**其輸出必落在 -127 ~ 127之範圍。

**2.3.2 MBF運算之輸入方式**

本題之輸入訊號**x**並非由輸入腳位(Input Port)作輸入，而是從晶片內部的ROM(規格1024x4bits)來讀取資料，該Rom的資料匯流排僅有4bits，因此僅可以擺放512筆8bits的資料，即位址0擺放第一筆資料的LSB 4bits，位址1擺放第一筆資料的MSB 4bits，位址2擺放第二筆資料的LSB 4bits，位址3擺放第二筆資料的MSB 4bits，依此類推，如圖四所示。



圖四、 輸入資料x內建在ROM的範例(a)512筆輸入訊號 (b)被儲存在ROM的方式

**2.3.3 低通濾波器：LPF運算方式**

LPF其實就是作旋積(Convolution)運算，如式(1)所示，式中**x**為輸入訊號，n為第n筆資料之意，**h0**為LPF係數，其16組係數定義如表2所示。經過Convolution運算後的輸出結果為**y**。

 (1)

其中，

表2、LPF係數

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Low-pass Filter Coefficient (h0)** | | | | | |
| **h0(0)** | - | 1.9531250e-003 | **h0(8)** |  | 5.0000000e-001 |
| **h0(1)** | - | 3.9062500e-003 | **h0(9)** |  | 1.5625000e-001 |
| **h0(2)** |  | 7.8125000e-003 | **h0(10)** | - | 7.8125000e-002 |
| **h0(3)** |  | 2.3437500e-002 | **h0(11)** | - | 4.6875000e-002 |
| **h0(4)** | - | 4.6875000e-002 | **h0(12)** |  | 2.3437500e-002 |
| **h0(5)** | - | 7.8125000e-002 | **h0(13)** |  | 7.8125000e-003 |
| **h0(6)** |  | 1.5625000e-001 | **h0(14)** | - | 3.9062500e-003 |
| **h0(7)** |  | 5.0000000e-001 | **h0(15)** | - | 1.9531250e-003 |

**2.3.4 高通濾波器：HPF運算方式**

HPF其實也是作旋積(Convolution)運算，如式(2)所示，式中**x**為輸入訊號，n為第n筆資料之意，**h1**為HPF係數，其16組係數定義如表3所示。經過Convolution運算後的輸出結果為**z**。

 (2)

其中，

表3、HPF係數

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **High-pass Filter Coefficient (h1)** | | | | | |
| **h1(0)** | - | 1.9531250e-003 | **h1(8)** |  | 5.0000000e-001 |
| **h1(1)** |  | 3.9062500e-003 | **h1(9)** | - | 1.5625000e-001 |
| **h1(2)** |  | 7.8125000e-003 | **h1(10)** | - | 7.8125000e-002 |
| **h1(3)** | - | 2.3437500e-002 | **h1(11)** |  | 4.6875000e-002 |
| **h1(4)** | - | 4.6875000e-002 | **h1(12)** |  | 2.3437500e-002 |
| **h1(5)** |  | 7.8125000e-002 | **h1(13)** | - | 7.8125000e-003 |
| **h1(6)** |  | 1.5625000e-001 | **h1(14)** | - | 3.9062500e-003 |
| **h1(7)** | - | 5.0000000e-001 | **h1(15)** |  | 1.9531250e-003 |

**2.3.5 MBF運算之VLSI參考架構**

關於式(1)、式(2)之旋積運算，VLSI主要有兩種架構，如圖五(a)、(b) ，參賽者可自行決定要使用何種架構。



圖五(a)、 旋積運算之VLSI架構一



圖五(b)、旋積運算之VLSI架構二

**2.3.6 MBF運算之輸出方式**

MBF包含LPF、HPF運算，參賽者可自由選擇，先輸出LPF或HPF的運算結果，也可以LPF與HPF一起輸出或交叉輸出皆可。至於輸出的筆數，主辦單位在此規定任何一筆的Convolution運算都要作輸出，假設輸入訊號x有N筆，濾波器係數h有M筆，其輸出筆數為(N+M-1)筆，可參考圖六之範例。



圖六、 MBF輸出筆數與其值之範例

另外，當y與z訊號輸出有小數位數的部分，處理法則規定如下:

1. 若為正數，採用四捨五入法取到整數。
2. 若為負數，採用五捨六入法取到整數。

範例如圖七所示。



圖七、 MBF輸出之y、z訊號的小數位數處理方式之範例

2.4電路時序規格

**2.4.1 MBF電路時序規格**



圖八、MBF電路時序圖

1. T1時間點，reset一個Cycle的時間，MBF電路初始化結束，參賽者便要開始自行從ROM讀取輸入訊號**x**的值，注意，ROM每次讀取只有4bits資料，一筆完整8bits資料要分兩次(即兩個Clock週期)讀取。
2. T2時間點，經過LPF或HPF電路計算後，欲將其運算結果輸出，請將y\_valid拉為High以通知Host端有一筆LPF計算後的值要輸出，或將z\_valid拉為High已通知Host端有一筆HPF計算後的值要輸出。注意：LPF與HPF輸出可以不必同時輸出，兩者關係為獨立的。
3. T3時間點，動作與前述相同，進行第二筆的資料輸出。
4. T4時間點，動作與前述相同，進行最後一筆的資料輸出。當LPF與HPF都輸出至最後一筆後，模擬立即結束。

**2.4.2 ROM記憶體規格與時序規格**

製作MBF電路，由於所有輸入訊號x已被放置在ROM裡，參賽者必須將ROM擺置於晶片內部，並於撰寫RTL Code時，呼叫此塊記憶體進來，將其一起做合成與APR，以完成整個設計。

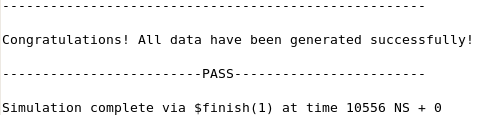
有關ROM 1024x4bits記憶體細節規格與記憶體之時序圖，詳如記憶體附件中。

**3.評分標準**

評分方式會依設計完成程度，分成A、B、C三種等級，排名順序為A>B>C，評分項目有兩個，分別為模擬時間、面積，主辦單位會依此兩項目做為同等級之評分。另外，請參賽者提供一組正確的週期時間(CYCLE TIME)給評分人員驗證本電路之正確性。

* **評分項目一：依”模擬時間”(Time)長短評分**

各參賽隊伍將APR完成後，執行Gate-level Post-layout Simulation模擬完後，會出現模擬時間，評分人員會以此模擬時間如下面範例，紀錄成Time = 10556NS 做評分。



* **評分項目二：依”面積”(Area)大小評分**

各參賽隊伍將APR完成後，面積分析方法如下範例，請任選其一APR軟體做分析。

1. IC Compiler Report Area範例:

icc\_shell> get\_attribute [get\_die\_area] bbox

{0.000 0.000} {300.00 300.11}

=> Area = 300.00 x 300.11 = 90033 um2

1. SOC Encounter Report Area範例:

encounter > analyzeFloorplan

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\* Analyze Floorplan \*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

Die Area(um^2) : 93417.33

Core Area(um^2) : 87289.16

Number of instance(s) : 4786

Number of Macro(s) : 1

Number of IO Pin(s) : 20

Number of Power Domain(s) : 0

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\* Estimation Results \*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

=> Area = 93417.33 um2

設計完成程度三種等級，如下：

* **等級A： 達成”完成設計”之三項要求**

1. 功能正確，RTL模擬與Golden Pattern比對完全正確。
2. 完成Synthesis，且Gate-Level Pre-layout Simulation結果正確。
3. 完成APR，並達成APR必要項目，Gate-Level Post-layout Simulation結果正確。

註：完成APR之必要項目

* + 1. 只需做Marco layout (即不用包含IO Pad、Bonding Pad)。
    2. VDD與VSS Power Ring寬度請各設定為2um，不必做interleaving。
    3. 不要加Dummy Metal。
    4. Power Stripe務必至少加一組，其VDD、VSS寬度各設定為2um。  
       (Power Stripe垂直方向至少一組，水平方向無任何限制)
    5. Power Rail務必要加。
    6. Core Filler務必要加。
    7. 內建的記憶體ROM，其VDD、VSS Pin務必要連接至Core Power Ring。
    8. APR後之GDSII檔案務必產生。
    9. 完成APR，DRC/LVS完全無誤。

**等級A之評分方法：**

**Score = Time x Area**

例如：

在前一頁範例中，Score = Time x Area = 10556 x 90033 = 950388348

註: Score越小者，同級名次越好!

* **等級B：達成等級A之要求，但”**APR必要項目”有部分不符合，**DRC/LVS錯誤總數量容許5個(含)以下**

此等級之成績計算方式如下：

**Score = Time x Area x (DRC+LVS的錯誤總數量)**

註: Score越小者，同級名次越好!

* **等級C：達成等級A之要求，DRC/LVS錯誤總數量超過5個以上，或是未完成APR**

此等級之成績計算方式如下：

**Score = Time x Area**

註:

1. Score越小者，同級名次越好!
2. 等級C，視APR為Fail，Area以Design Compiler所Report 的Cell Area為主。
3. 等級C，視APR為Fail，Time以Gate-level Pre-layout Simulation為主。

**附錄**

附錄A為主辦單位所提供各參賽者的設計檔案說明；附錄B為主辦單位提供的測試樣本說明；附錄C為設計驗證說明；附錄D為評分用檔案，亦即參賽者必須繳交的檔案資料；附錄E則為設計檔案壓縮整理步驟說明；附錄F中說明本次競賽之軟體環境；附錄G中說明本次競賽使用之設計資料庫。

**附錄A 設計檔(For Verilog)**

1. 下表為主辦單位所提供各參賽者的設計檔

表4、設計檔案說明

|  |  |
| --- | --- |
| **檔名** | **說明** |
| MBF.v | 參賽者所使用的設計檔，已包含系統輸/出入埠之宣告 |
| testfixture1.v  testfixture2.v | 兩個Test Bench檔案。每個Test Bench已自動加入對應的golden比對檔案。 |
| rom\_1024x4\_t13\_verilog1.rcf  rom\_1024x4\_t13\_verilog2.rcf | 兩組測試樣本ROM Data，每組提供512筆輸入訊號**x**於ROM裡。註： 兩個rcf檔案，是存放rom的Data，參賽者可以參考LSB+MSB沒有分開擺的版本pattern1.dat、pattern2.dat以方便模擬與除錯用。 |
| LPF\_golden1.dat  HPF\_golden1.dat  LPF\_golden2.dat  HPF\_golden2.dat | 兩組測試樣本的Golden Pattern。每一個樣本提供  LPF及HPF運算後的golden pattern，各527筆資料需要作比對。註：兩組Golden Pattern 皆以十六進制表示。 |
| .synopsys\_dc.setup | 使用Design Compiler (DC)作合成或IC Compiler Layout之初始化設定檔。參賽者請依Library實際擺放位置，自行填上Search Path的設定。注意：無論合成或APR，只需使用worst case library； |
| MBF\_DC.sdc | Design Compiler(DC)作合成之Constraint檔案。參賽者可依需求自行修改部分設定，（見附錄A說明）。 |
| MBF\_APR.sdc | SOC Encounter(SOCE)或IC Compiler(ICC)作Layout之Constraint檔案。參賽者可依需求自行修改部分設定（見附錄A說明）。 |
| rom\_1024x4\_t13\_sim1.v  rom\_1024x4\_t13\_sim2.v | ROM Verilog simulation model。rom\_1024x4\_t13\_sim1.v會自動Include第一組Pattern（ rom\_1024x4\_t13\_verilog1.rcf）。 rom\_1024x4\_t13\_sim 2.v會自動Include第二組Pattern（ rom\_1024x4\_t13\_verilog2.rcf） |
| rom\_1024x4\_t13\_slow\_syn.db | ROM timing library (For DC and ICC) 注意：無論DC合成或用ICC做APR，只需使用worst case library，例如： slow.db、rom\_1024x4\_t13\_slow\_ syn.db 。 |
| rom\_1024x4\_t13\_slow\_syn.lib | ROM timing library(For SOCE)。 注意：用SOCE做APR，只需使用worst case library例如：slow.db、rom\_1024x4\_t13\_slow\_syn.db。 |
| rom\_1024x4\_t13/ | ROM frame view，ICC APR使用 |
| rom\_1024x4\_t13.vclef | ROM lef，SOCE APR使用 |
| rom\_1024x4\_t13.gds | ROM gds，作為Stream Out GDSII之用。 |

請使用***MBF.v***，進行MBF電路之設計。其模組名稱、輸出/入埠宣告如下所示︰

module MBF(clk, reset, y\_valid, z\_valid, y, z);

input clk;

input reset;

output y\_valid;

output z\_valid;

output [7:0] y;

output [7:0] z;

endmodule

1. 主辦單位提供兩個Test Bench檔案testfixture1.v,testfixture2.v分別對應到LPF\_golden1.dat、HPF\_golden1.dat及LPF\_golden2.dat、HPF\_golden2.dat，這些都已加入了，參賽者只要注意這些檔案的路徑即可。

例如：

第一個Test Bench模擬，使用testfixture1.v：

`define EXP1 "./LPF\_golden1.dat"

`define EXP2 "./HPF\_golden1.dat"

註：參賽者無須作修改，只需注意LPF\_golden1.dat與HPF\_golden1.dat的檔案位置即可，預設路徑為”目前目錄”。

1. 主辦單位提供兩個ROM的模擬檔案rom\_1024x4\_t13\_sim1.v、rom\_1024x4\_t13\_sim2.v，會自動呼叫ROM的Data(即輸入訊號**x**的來源)，參賽者只要注意這些檔案的路徑即可。

例如：

第一個ROM的模擬檔案，使用rom\_1024x4\_t13\_sim1.v，在該檔案的第126行可看到：

initial

$readmemb("rom\_1024x4\_t13\_verilog1.rcf", mem );

註：參賽者無須作修改，只需注意rom\_1024x4\_t13\_verilog1.rcf的檔案位置即可，預設路徑為”目前目錄”。

1. 主辦單位所提供的兩個Test Bench檔案，多加敘述如下：

`define End\_CYCLE 10000000

`define SDFFILE "./MBF\_syn.sdf"

`ifdef SDF

initial $sdf\_annotate(`SDFFILE, MBF);

`endif

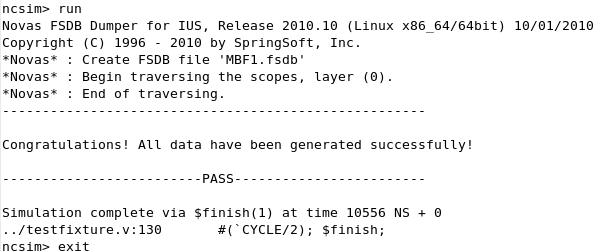
註：

1. End\_CYCLE 預設1000萬個Cycles，其目的可以防止參賽者因電路有錯，模擬陷入無窮回圈之境，倘若參賽者確定模擬需超過1000萬個Cycles以上，可自行再加大此Cycle數。
2. SDF檔案，請自行修改SDF實際檔名後模擬。
3. 在Test Bench中，主辦單位提供`ifdef SDF的描述，其目的是讓本Test Bench可以作為RTL模擬、合成後模擬與Layout後模擬使用。注意：當參賽者在合成或Layout後模擬，請務必多加一個參數”+define+SDF”，方可順利模擬。

例如：當合成後，使用NC-Verilog模擬第一組樣本，在UNIX下執行下面指令

> ncverilog testfixture1.v MBF\_syn.v rom\_1024x4\_t13\_sim1.v –v tsmc13\_neg.v   
+define+SDF +access+rw

註：模擬rom\_1024x4\_t13\_sim1.v時，需要注意rom\_1024x4\_t13\_verilog1.rcf檔案的路徑。



1. 主辦單位已提供合成及APR的SDC檔(MBF\_DC.sdc，MBF\_APR.sdc)，檔案內關於環境設定部分不可更改，其它部分可根據參賽者設計需求進行增減或修改，再行使用SDC檔案。

例如：MBF\_DC.sdc檔案內容如下：

1. 需要自行修改clock constraints及依照自己電路設計需求，增加額外的Constraints設定：

#You may modified the clock constraints

#or add more constraints for your design

###############################################

set cycle 10

create\_clock -period $cycle [get\_ports clk]

**...**

**...**

###############################################

1. 下述幾行的Constrains為主辦單位規定的基本的環境設定，參賽者不可以作任何更改：

#The following are design spec. for synthesis

#You can NOT modify this seciton

#####################################################

set\_clock\_uncertainty 0.1 [all\_clocks]

set\_clock\_latency 0.5 [all\_clocks]

set\_input\_delay 1 -clock clk [remove\_from\_collection [all\_inputs] [get\_ports clk]]

set\_output\_delay 1 -clock clk [all\_outputs]

set\_load 1 [all\_outputs]

set\_drive 1 [all\_inputs]

set\_operating\_conditions -max\_library slow -max slow

set\_wire\_load\_model -name tsmc13\_wl10 -library slow

####################################################

**附錄B 測試樣本**

主辦單位提供兩組測試樣本，為了讓參賽者看完題目後，更能明確題意，主辦單位在此以Pattern1之測試樣本為例，如圖四(a)所示，為第一組Pattern，其實際擺放在ROM的方式為Address 0擺放第一筆資料的LSB 4bits，Address 1擺放第一筆資料的MSB 4bits，其餘資料依此類推，如圖四(b)所示。經過LPF與HPF運算後，前8組的輸出結果如表五所示，提供參賽者模擬與除錯使用。參賽者也可以直接參考LPF\_golden1.dat、HPF\_golden1.dat及LPF\_golden2.dat、HPF\_golden2.dat的值。

表五、第一組Pattern LPF&HPF前八筆計算結果

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| LPF y(n) | |  | HPF z(n) | |
| n | y(n) |  | n | z(n) |
| 0 | 00 |  | 0 | 00 |
| 1 | 00 |  | 1 | 00 |
| 2 | 01 |  | 2 | 01 |
| 3 | 02 |  | 3 | FD |
| 4 | FA |  | 4 | FB |
| 5 | F8 |  | 5 | 0C |
| 6 | 18 |  | 6 | 11 |
| 7 | 35 |  | 7 | BD |

**附錄C設計驗證說明**

參賽者繳交資料前應完成RTL，Gate-Level與Physical三種階段驗證，以確保設計正確性。注意：每組限定只能使用1 license, 勿使用Multi-CPU。

* RTL與Gate-Level階段：參賽者必須進行RTL simulation及Gate-Level simulation，模擬結果必須於參賽者提供之CYCLE數值下，功能完全正確。
* Physical階段，包含三項驗證重點：
  1. 依主辦單位各項要求，實現完整且正確的layout (詳細之各項要求，請見評分標準)。
  2. 完成post-layout simulation：參賽者必須使用P&R軟體**寫出之netlist檔與sdf檔完成post-layout gate-level simulation**，以下分為IC Compiler、SOC Encounter兩種軟體說明netlist與sdf寫出步驟。
     1. 使用Synopsys IC Compiler者，執行步驟如下：  
        在IC Compiler主視窗底下點選  
         **“ File > Export > Write SDF… ”**

|  |  |
| --- | --- |
| Specify Version | Version 2.1 |
| Instance | 空白即可 |
| File name | MBF\_pr.sdf |
| Significant digits | 2 |

按OK。

**對應指令: write\_sdf -version 2.1 MBF\_pr.sdf**

**“ File > Export > Write Verilog… ”**

先按Default

|  |  |
| --- | --- |
| Output verilog file name | MBF\_pr.v |
| Output physical only cells | disable |
| Wire declaration | enable |
| Backslash before Hierarchy Separator | Enable |
| All other options | Default value |

按OK。

* + 1. 使用Cadence SOC Encounter者，執行步驟如下：  
       在SOC Encounter視窗下點選：

**“ Design 🡪 Save 🡪 Netlist… ”**

|  |  |
| --- | --- |
| Netlist File | MBF\_pr.v |
| All other options | Default value |

按OK。

**“ Timing 🡪 Extract RC… ”** ，按OK。

**“ Timing 🡪 Calculate Delay… ”**存成MBF\_pr.sdf，按OK。

* 1. **完成DRC與LVS 驗證：參賽者必須以其所使用之P&R軟體內含之DRC與LVS驗證功能完成DRC與LVS驗證，以下分為IC Compiler、SOC Encounter**兩種**軟體說明執行步驟。**
     1. 使用Synopsys IC Compiler者，驗證DRC與LVS步驟如下：  
        在IC Compiler Layout視窗底下點選

**“ Route > Verification > DRC …”**

|  |  |
| --- | --- |
| Read child cell from | Cell view |
| All other options | Default value |

按OK。

將跳出Error Browser視窗，請參賽者自行查看是否有錯，若有請自行修改Layout到0個Violation為止。

**“ Route > Verification > LVS …”**

|  |  |
| --- | --- |
| Pins not connected to a wire segment(Floating port) | disable |
| All other options | Default value |

按OK。

將跳出Error Browser視窗， 檢查看看是否有錯，若有請自行修正到0個Violation為止。

* + 1. 使用Cadence SOC Encounter者，驗證DRC與LVS步驟如下：

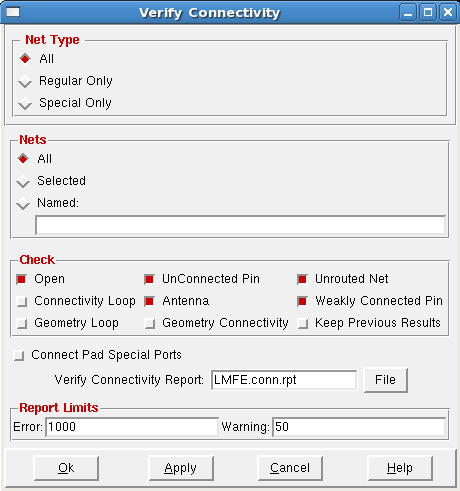
在SOC Encounter視窗下點選

* + - 1. DRC驗證： 請選**“Verify 🡪 Verify Geometry… ”** Default值，按OK。



註: 若DRC有發生錯誤，請選**“Verify 🡪 Violation Browser… ”**查明原因。

* + - 1. LVS驗證： 請選**“Verify 🡪 Verify Connectivity… ”** Default值，按OK。



註: 若LVS有發生錯誤，請選**“Verify 🡪 Violation Browser… ”**查明原因。

**附錄D**評分用檔案

評分所須檔案可以下幾個部份：(1)RTL design，即各參賽隊伍對該次競賽設計的RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用到的各module檔放進來，以免評審進行評分時，無法進行模擬；(2)Gate-Level design，即由合成軟體所產生的gate-level netlist，以及對應的SDF檔；(3)Physical design，使用Synopsys IC Compiler者，請記得將整個Milkyway Library等相關的design database，壓縮成一個檔案。使用Cadence SOC Encounter者，請將SOC Encounter相關的design database（包含.enc 檔案與and .enc.dat目錄），壓縮成一個檔案。壓縮的檔案格式如下：假設參賽者的design database目錄名稱為”your\_lib”，請執行底下的UNIX指令，最後可以得到”your\_name.tar”的檔案。

> ***tar cvf your\_name.tar your\_lib***

**在執行以上的指令之前，請確定將你使用的P&R Tool儲存後關閉，再執行上述的指令，否則在壓縮的過程會出現錯誤。**

表6

|  |  |  |
| --- | --- | --- |
| RTL category | | |
| Design Stage | File | Description |
| N/A | N/A | Design Report Form |
| RTL Simulation | \*.v or \*.vhd | Verilog (or VHDL) synthesizable RTL code |
| Gate-Level category | | |
| Design Stage | File | Description |
| Pre-layout  Gate-level Simulation | \*\_syn.v | Verilog gate-level netlist generated by Synopsys Design Compiler |
| \*\_syn.sdf | Pre-layout gate-level sdf |
| Physical category | | |
| Design Stage | File | Description |
| P&R | \*.tar | archive of the design database directory |
| \*.gds | GDSII layout |
| DRC/LVS report | 不用儲存DRC/LVS Report檔案!只需在Design Report Form上填寫DRC/LVS錯誤總數量即可。(目標要做到0個錯誤!) |
| Post-layout  Gate-level  Simulation | \*\_pr.v | Verilog gate-level netlist generated by Cadence SOC Encounter or Synopsys IC Compiler |
| \*\_pr.sdf | Post-layout gate-level sdf |

**附錄E 檔案整理步驟**

當所有的文件準備齊全如表6所列，請按照以下的步驟指令，提交相關設計檔案，將所有檔案複製至同一個資料夾下，步驟如下:

1. 在自己的home directory建立一個新目錄，名稱叫做“**result**” 例如：  
    > ***mkdir ~/result***
2. 將附錄D要求的檔案複製到result這個目錄。例如:

>  ***cp MBF.v ~/result/***

> ***cp MBF\_syn.v ~/result/***

***.....***

1. 在Design Report Form中，填入所需的相關資訊。

**附錄F 軟體環境**

1. 主辦單位已將所有軟體環境設定於：/usr/cad/cshrc/env.cshrc，參賽同學不需再做任何設定。
2. 在env.cshrc所設定好的軟體環境包括：

|  |  |  |
| --- | --- | --- |
| Vendor | Tool | Executable |
| Cadence | Virtuoso | icfb |
| Composer | icfb |
| NC-Verilog | ncverilog |
| SOC Encounter | encounter |
| Synopsys | design vision | dv, dc\_shell |
| VCS | vcs |
| IC compiler | icc\_shell -gui |
| Hspice | hspice |
| Cosmos Scope | scope |
| Spice explorer | sx –w , wv |
| Mentor | Calibre | calibre |
| ModelSim | vsim |
| Spring Soft | Laker | laker |
| Verdi | verdi, nWave, nLint |
| Utility | vi | vi, vim, gvim |
| gedit | gedit |
| nedit | nedit |
| pdf reader | acroread |
| calculate | gnome-calculator, bc -l |
| gcc | gcc |

※ gnome-calculator (工程計算機執行檔，可開啟View -> Scientific mode)

EDA軟體所須使用的license皆已設定完成，不須額外設定，且每隊限定**每個EDA軟體只能使用一套license**。

**附錄G 設計資料庫**

設計資料庫位置： **/usr/cad/icc2012/CBDK\_IC\_Contest\_v2.1**

目錄架構

|  |  |
| --- | --- |
| ICC/ |  |
| tsmc13gfsg\_fram/ | ICC core library |
| tsmc13\_CIC.tf | ICC technology |
| macro.map | layer mapping file |
| tluplus/ |  |
| t013s8mg\_fsg\_typical.tluplus | t13 tluplus file |
| t013s8mg\_fsg.map | t13 tluplus mapping file |
| SOCE/ |  |
| lef/ |  |
| tsmc13fsg\_8lm\_cic.lef | LEF for core cell |
| antenna\_8.lef | LEF for antenna |
| lib/ |  |
| slow.lib | worst case for core cell |
| streamOut.map | Layout map for GDSII out |
| SynopsysDC/ |  |
| db/ |  |
| slow.db | Synthesis model (slow) |
| lib/ |  |
| slow.lib | timing and power model |
| Verilog/ |  |
| tsmc13\_neg.v | Verilog simulation model |
| VHDL/ |  |
| tsmc13.vhd | VHDL simulation model |
| Memory/ |  |
| rom\_1024x4\_t13/ |  |
| rom\_1024x4\_t13\_slow\_syn.db | DC ICC APR可使用(worst-case) |
| rom\_1024x4\_t13\_slow\_syn.lib | SOCE APR 可使用(worst-case) |
| rom\_1024x4\_t13\_sim1.v | Verilog simulation model for sim1 |
| rom\_1024x4\_t13\_verilog1.rcf | ROM data of sim1 |
| rom\_1024x4\_t13\_sim2.v | Verilog simulation model for sim2 |
| rom\_1024x4\_t13\_verilog2.rcf | ROM data of sim2 |
| rom\_1024x4\_t13.vclef | SOCE APR 可使用 |
| rom\_1024x4\_t13\_ant.lef | SOCE可使用(LEF for antenna) |
| rom\_1024x4\_t13/ | ICC可使用(ROM Fram View) |
| rom\_1024x4\_t13.pdf | ROM Spec Document |
| rom\_1024x4\_t13.gds | ROM GDSII file |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

Design Report Form

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 登入帳號(login-id) | |  | | |
| RTL category | | | | |
| Design Stage | Description | | | File Name |
| RTL Simulation | 使用之HDL名稱  (請填入Verilog 或 VHDL) | | |  |
| RTL Simulation | RTL檔案名稱  (RTL Netlist file name) | | |  |
| Gate-Level category | | | | |
| Design Stage | Description | | | File Name |
| Pre-layout  Gate-level Simulation | Gate-Level檔案名稱  (Gate-Level Netlist file name) | | |  |
| Pre-layout sdf 檔案名稱 | | |  |
| Gate-Level simulation, 所使用的 CYCLE Time (請確定模擬功能正確) | | | ( ) ns |
| Physical category | | | | |
| Design Stage | Descritpion | | | File Name or Value |
| P&R | 使用之P&R Tool  (請填入IC compiler或 SOC Encounter) | | |  |
| 設計資料庫檔案名稱(Library name)  (ICC: Milkyway Library Name,  SOCE: xxx.enc.dat ) | | |  |
| DRC錯誤總數量 (ex: 0個) | | |  |
| LVS 錯誤總數量 (ex: 0個) | | |  |
| 佈局檔檔案名稱(GDSII file name) | | |  |
| 佈局面積(Layout Area) | | ( ) um X ( ) um | |
| Post-layout  Gate-level  Simulation | Gate-Level檔案名稱  (Gate-Level Netlist file name) | | |  |
| Post-layout sdf 檔案名稱 | | |  |
| Post-layout Simulation所使用的 CYCLE Time (請確定模擬功能正確)  Ex: 10ns | | |  |
| Post-layout Simulation Time  (Simulation Time,ex: 10556 ns)  Time = ? | | |  |
| Over All | 最後完成之等級?(ex: 等級A) | | |  |
| 其他說明事項(Any other information you want to specify:(如設計特點 ...)如寫不下可寫於背面 | | | | |