

第 5 章作业题-1

5.1 概 述

5.1.2 已知一时序电路的状态表如表题 5.1.2 所示, A 为输入信号, 试作出相应的状态图。

表题 5.1.2

| 现 态 (S^n) | 次态/输出(S^{n+1}/Z) | |
|------------------|----------------------|-------|
| | $A=0$ | $A=1$ |
| a | $d/1$ | $b/0$ |
| b | $d/1$ | $c/0$ |
| c | $d/1$ | $a/0$ |
| d | $b/1$ | $c/0$ |

5.1.4 已知某同步时序电路含有两个上升沿敏感的 D 触发其驱动方程组为

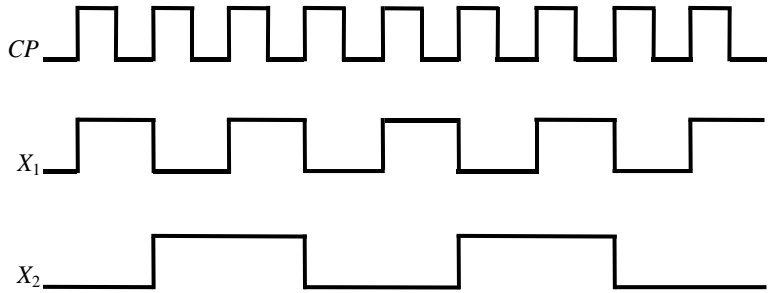
$$D_0=X_2X_1+X_1Q_0+X_2Q_0$$

$$D_1=X_1\oplus X_2\oplus Q_0$$

输出方程为

$$Z=Q_1$$

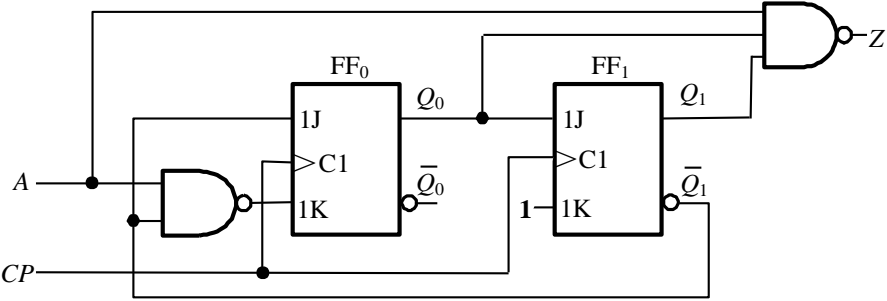
- 1、状态转换真值表和状态图, 并分析其逻辑功能。
- 2、若输入信号的波形如图题 5.1.4 所示, 且电路的初始状态为 **00**, 试画出 Q_1 、 Q_0 的波形。



图题 5.1.4

5.2 时序逻辑电路分析

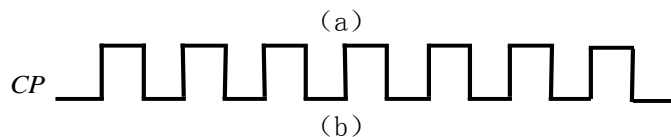
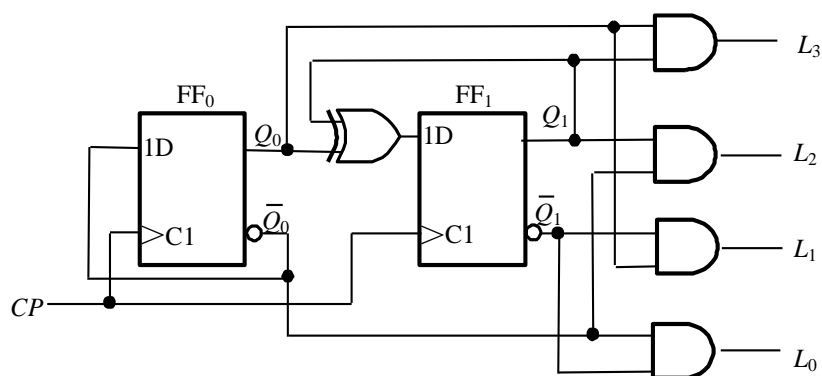
5.2.4 分析图题 5.2.4 所示电路, 写出它的激励方程组、状态方程组和输出方程, 画出状态表和状态图。



图题 5.2.4

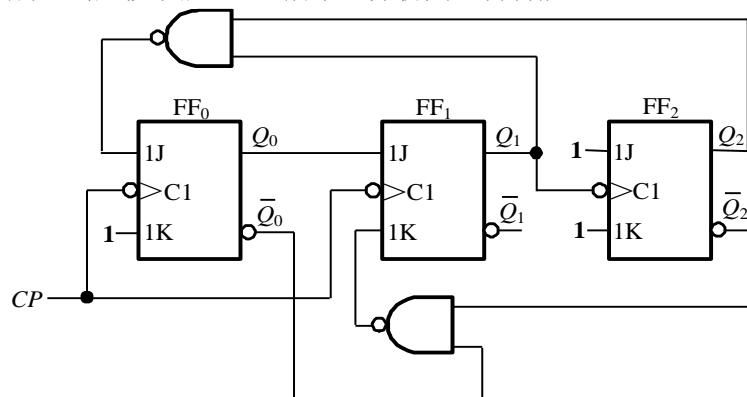
5.2.6 同步时序电路和 CP 的波形分别如图题 5.2.6a、b 所示。(设触发器的初态均为 0)

- 1、画出图中 Q_0 、 Q_1 和 L_0 、 L_1 、 L_2 、 L_3 的波形。
- 2、确定电路的逻辑功能



图题 5.2.6

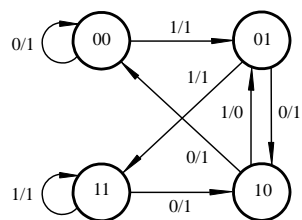
5.2.8 异步时序电路试如图题 5.2.8 所示，分析其逻辑功能。



图题 5.2.8

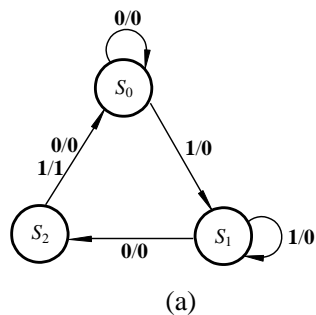
5.3 同步时序逻辑电路的设计

5.3.1 试用正边沿 D 触发器设计一时序电路，其状态图如图题 5.3.1 所示。



图题 5.3.1

5.3.4 试用下降沿敏感的 D 触发器设计一同步时序电路，其状态图如图题 5.3.4a 所示， S_0 、 S_1 、 S_2 的编码如图 b 所示。



(a)

| | | |
|-------|-------|----------|
| | Q_0 | |
| | S_0 | S_1 |
| Q_1 | S_2 | \times |

(b)

图题 5.3.4