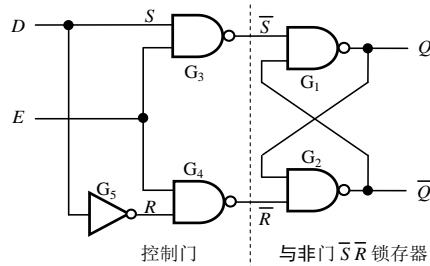


第 4 章 作业题

4.2.4 图题 4.2.4 中的 D 锁存器由 4 个与非门和 1 个非门构成，试用或非门代替 4 个与非门，并保留非门，构成 D 锁存器。当使能信号有效时，使其满足 D 锁存器的特性方程 $Q^{n+1}=D$ 。要求画出逻辑图，并列出特性表。



图题 4.2.4

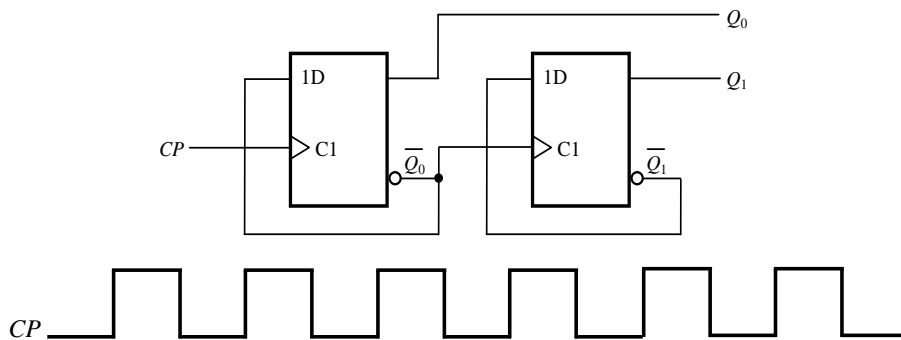
4.2.6 对于图题 4.2.4 所示的 D 锁存器，如果去掉非门 G_5 ，同时从门 G_3 的输出端再画一条连线与 R 端相连接，试画出电路图，并分析该电路实现的逻辑功能。

4.3 触发器的电路结构和工作原理

4.3.1 触发器的同步清零和异步清零有何区别？

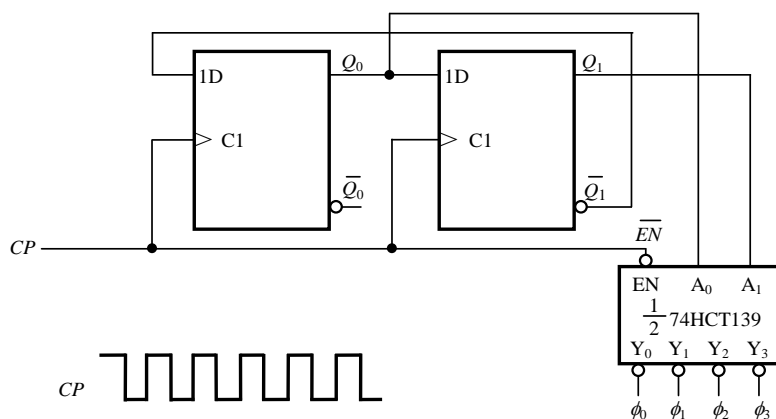
4.3.4 设图题 4.3.4 所示电路中，触发器的初态均为 0。

- (1) 画出在时钟脉冲 CP 作用下，电路输出端 Q_1 、 Q_0 的电压波形。
- (2) 试说明 Q_1 、 Q_0 信号频率与 CP 信号频率之间的关系。



图题 4.3.4

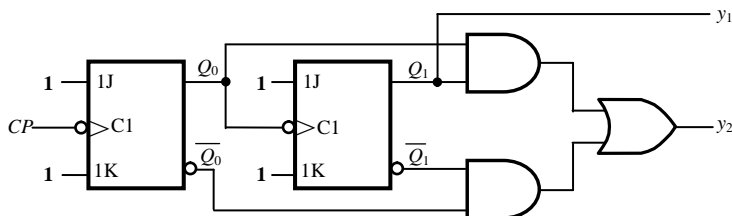
4.3.7 逻辑电路如图题 4.3.7 所示，初始状态为 $Q_0=Q_1=0$ ，试画出在 CP 作用下， ϕ_0 、 ϕ_1 、 ϕ_2 和 ϕ_3 的波形。



图题 4.3.7

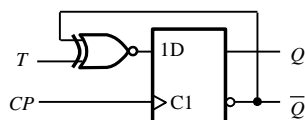
4.4 触发器的逻辑功能

4.4.3 由边沿 JK 触发器组成的两相脉冲源电路如图题 4.4.3 所示，试对应时钟脉冲 CP 画出图中 Q_0 、 \bar{Q}_0 、 Q_1 、 \bar{Q}_1 和 y_1 、 y_2 的电压波形，并说明 y_1 和 y_2 的时间关系。



图题 4.4.3

4.4.5 由边沿 D 触发器和同或门组成的电路如图题 4.4.5 所示，试列出特性表，分析电路完成的逻辑功能。



图题 4.4.5

*4.5 触发器的时间参数分析

4.5.1 什么是触发器的建立时间 t_{SU} 和保持时间 t_H ?

4.5.2 根据表 4.5.1，回答下列问题：

- (1) 假设 $Q=0$ ，对于 7474，当 CP 上升沿到来时，要经过多长时间 Q 才能变为高电平？
- (2) 假设 $Q=1$ ，对于 74HCT112，当异步清零端 \bar{R}_D 输入低电平时，要经过多长时间 Q 才能变为低电平？
- (3) 要使触发器 74HCT112 的 Q 端可靠地清零，异步清零端 \bar{R}_D 输入的最窄脉冲是多少？
- (4) 在 CP 有效边沿到来之前，哪个触发器要求输入信号保持稳定的时间最短？