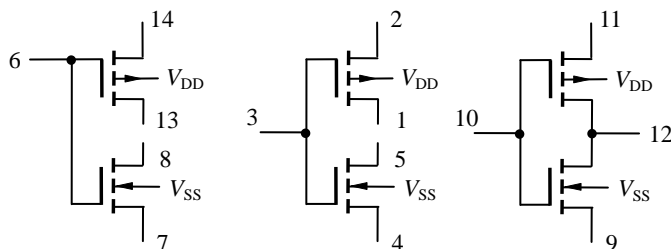


第 7 章作业题

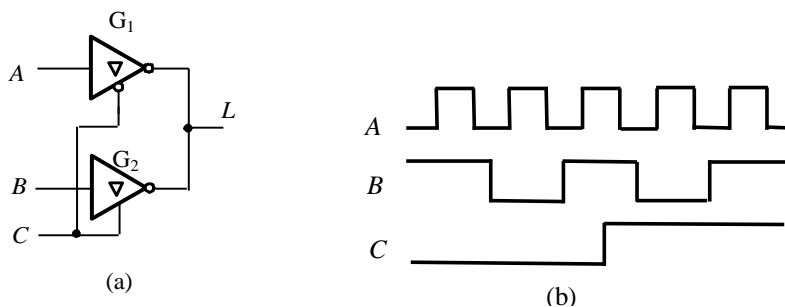
7.1 CMOS 逻辑门电路

7.1.2 CMOS 集成芯片 4007 中包含两个互补对和一个反相器如图 7.1.2 所示，试分别连接：(1) 三个反相器；(2) 3 输入端或非门；(3) 3 输入端与非门。



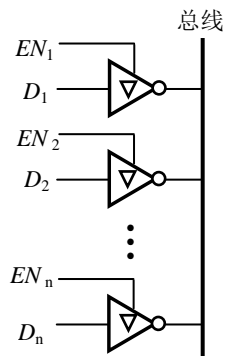
图题 7.1.2

7.1.7、三态门构成的电路及其输入波形分别如图题 7.1.7(a)、(b)所示。试分析电路，画出输出 L 的波形。



图题 7.1.7

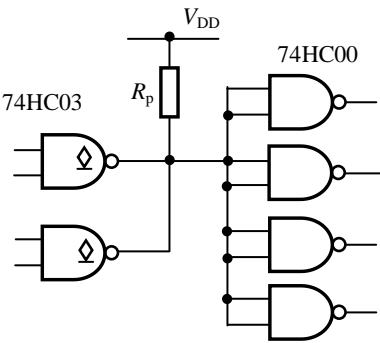
7.1.10 图题 7.1.10 表示三态门用于总线传输的示意图，图中 n 个三态门的输出连接到数据传输总线， D_1 、 D_2 ... D_n 为数据输入端， EN_1 、 EN_2 ... EN_n 为使能信号输入端。试问：(1) 如何控制 EN 信号，以便数据 D_1 、 D_2 ... D_n 能通过该总线进行正常传输；(2) EN 信号能否有两个或两个以上同时有效？如果 EN 出现两个或两个以上有效，可能发生什么情况？(3) 如果所有 EN 信号均无效，总线处在什么状态？(4) 如果三态门的开通比断开要快，可能发生什么情况？



图题 7.1.10

7.1.12 用 74HC03 中 2 个漏极开路与非门及 74HC00 中的 4 个与非门构成的电路如图题 7.1.12 所示。试确定上拉电阻 R_p 的取值范围。已知 $V_{DD}=5V$ ，OD 门输出低电平 $V_{OL(max)}=0.33V$

时的输出电流 $I_{OL(max)}=4\text{mA}$ ，输出高电平 $V_{OH(min)}=4.4\text{V}$ 时的漏电流 $I_{OZ}=5\mu\text{A}$ 。负载门高电平和低电平输入电流最大值 $I_{IH(max)}=I_{IL(max)}=1\mu\text{A}$ 。



图题 7.1.12

7.1.15 根据表题 7.1.15 所列的三种逻辑门电路的技术参数，试选择一种最适合工作在高噪声环境下的门电路。

表题 7.1.15 逻辑门电路的技术参数表

	$V_{OH(min)}/\text{V}$	$V_{OL(max)}/\text{V}$	$V_{IH(min)}/\text{V}$	$V_{IL(max)}/\text{V}$
逻辑门 A	2.4	0.4	2	0.8
逻辑门 B	3.5	0.2	2.5	0.6
逻辑门 C	4.2	0.2	3.2	0.8