CoreSight系统

参考：DDI0314- CoreSight Components Technical Reference Manual ----组件技术参考手册

参考：DGI0012- CoreSight Technology System Design Guide ----系统设计指导

参考：IHI0029- CoreSight Architecture Specification --- 架构说明

参考：IHI0031-Arm Debug Interface Architecture Specification (ADIv5.0-5.2) ----调试接口架构说明（偏软件）

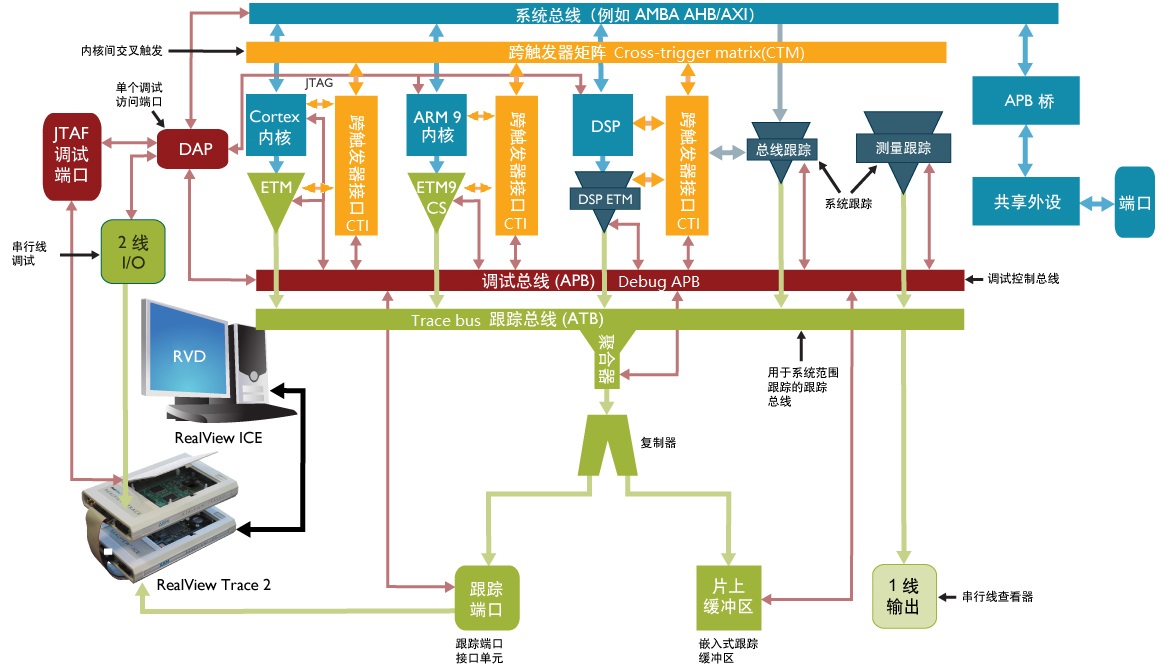
IHI0074-Arm Debug Interface Architecture Specification (ADIv6.0)

参考：DDI0480G-ARM CoreSight SoC-400 Technical Reference Manual ----Arm实现

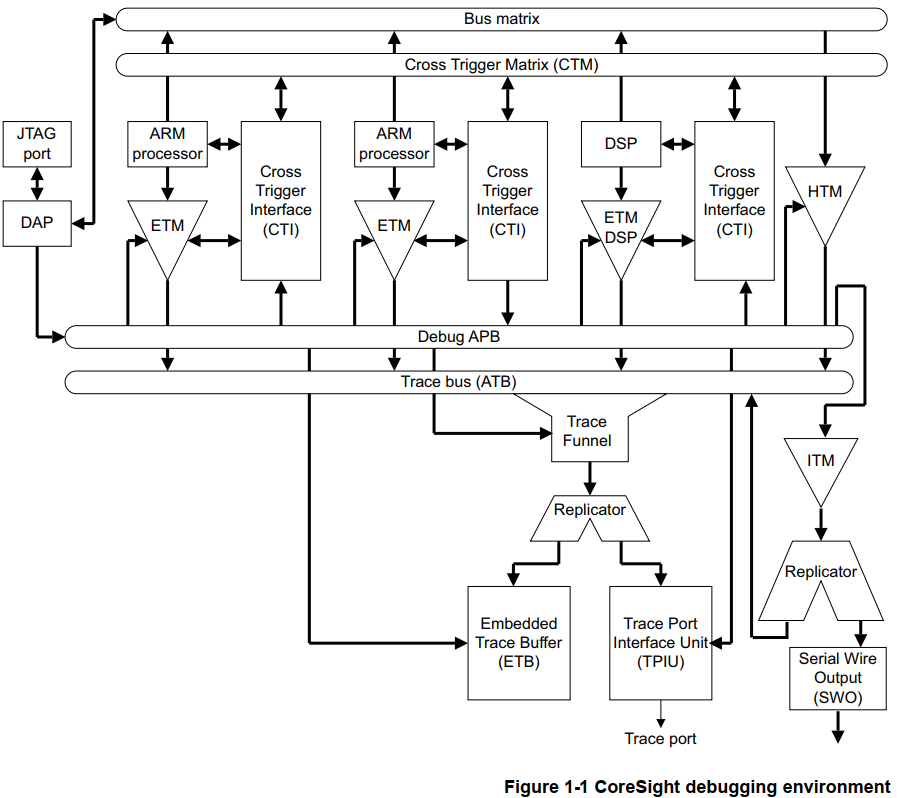
# 概述

CoreSight是一种基础架构，它可对完整的芯片上系统（SoC）设计的性能进行调试、监视和优化，CoreSight跟踪宏单元在SoC中提供全面非干预性可见性的调试。通过遵循 CoreSight 架构规范，可以方便地将合作伙伴特定的跟踪宏单元集成到 CoreSight 系统中。

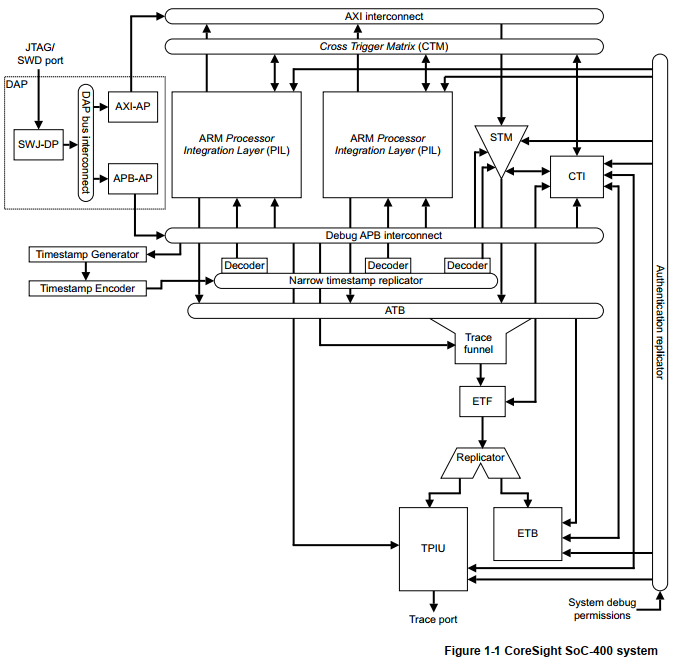
Coresight系统可以参考下图构建。



参考ARM官方Spec图如下：



（图来源DDI0314）



（图来源DDI0480，CoreSight Soc-400）

组件：

* 总线（Buses）：ATB，APB，AHB，AXI
* 控制及访问（Control and access component）： 提供对其他组件的访问并控制调试行为；

1. DAP：Debug Access Port
2. **ECT**：Embedded Cross Trigger，嵌入式交叉触发，包括**CTM**（Cross Trigger Matrix）和**CTI**（Cross Trigger Interface）

ECT 是一个控制和访问组件，支持 SoC 内的多个触发事件的交互和同步。

* 跟踪源（Trace sources）：为输出产生跟踪数据（ATB协议数据）；

1. **HTM**：AHB Trace Macrocell，AHB跟踪宏单元

HTM可对无法使用ETM从内核跟踪推断的总线信息进行跟踪：

* 了解多层总线利用率。
* 软件调试。例如，内存区域访问和数据访问的可见性。
* 跟踪触发器或过滤器的总线事件检测，以及用于总线分析。
* HTM 提供了有关 AHB 总线的地址和数据跟踪信息。通过将 HTM 中的信息与调试器结合使用，可对基于 AHB 的嵌入式系统进行方便、精确的调试。HTM 提供了广泛的资源以使事件识别功能生成触发事件。HTM 通过 AMBA 跟踪总线 (ATB) 来生成输出的跟踪数据。跟踪调试功能是非干预性的。可以使用 APB (AMBA v3) 接口来控制 HTM。

1. **ETM**：Embedded Trace Macrocell，嵌入式跟踪宏单元

ETM为ARM微处理器提供实时指令跟踪和数据跟踪。跟踪软件工具使用ETM生成的信息重建全部或部分程序的执行情况。

1. **PTM**：program Trace Macrocell，程序跟踪宏单元

PTM根据程序流程跟踪（PFT）体系结构执行实时指令流跟踪。跟踪工具使用PTM生成的信息重建全部或部分程序的执行情况。

1. **ITM**：Instrumentation Trace Macrocell，测量跟踪宏单元

ITM是软件应用程序驱动的跟踪源。支持生成软件测量跟踪（SWIT）。此外，该块还提供粗略的时间戳功能。该块的主要用途是：

* 支持 printf 风格调试
* 跟踪操作系统和应用程序事件
* 发出诊断系统信息

1. **STM**：System Trace Macrocell，系统跟踪宏单元 （独立license）

STM为所有软件开发人员提供了低成本的软件和硬件执行实时可见性，尤其是应用程序和内核开发人员，从而为整个供应链中支持ARM处理器的设备提供了功能丰富且优化的低能耗软件。

* 跟踪链接（Trace links）：提供connection，triggering，flow of trace data。

1. **Trace funnel（或ATB funnel）**，组合最多8个ATB trace源到一路。
2. **Replicator**，可以将ATB trace流分流到两个trace sinks。
3. **Synchronous 1:1 ATB Bridge**，提供对ATB的插一拍逻辑收时序。
4. **ETF**，Embedded Trace FIFO，作为trace缓存，可以使用专用SRAM作为循环缓存或FIFO，ATB接口输入，ATB输出或Debug APB接口访问。

ETF可以作为**TMC**（Trace Memory Controller）的可配置选项（在Coresight-400 TMC独立license）。

* 跟踪接收模块（Trace sinks）：作为SOC跟踪数据的终点

1. **TPIU**，Trace Port Interface Unit ，跟踪数据输出到片外的接口
2. **ETB**，Embedded Trace Buffer，跟踪数据的片上存储RAM；

ETB可以作为**TMC**（Trace Memory Controller）的可配置选项（TMC独立license）。

1. **SWO**，Serial Wire Output，跟踪数据单引脚输出
2. **TPIU-Lite**，Trace Port Interface Unit Lite
3. **ETR**，Embedded Trace Router，跟踪数据的片上存储，使用AXI接口接入系统。

ETR可以作为**TMC**（Trace Memory Controller）的可配置选项（TMC独立license）。

1. **Enhanced ETB**，作为TMC的可配置选项。

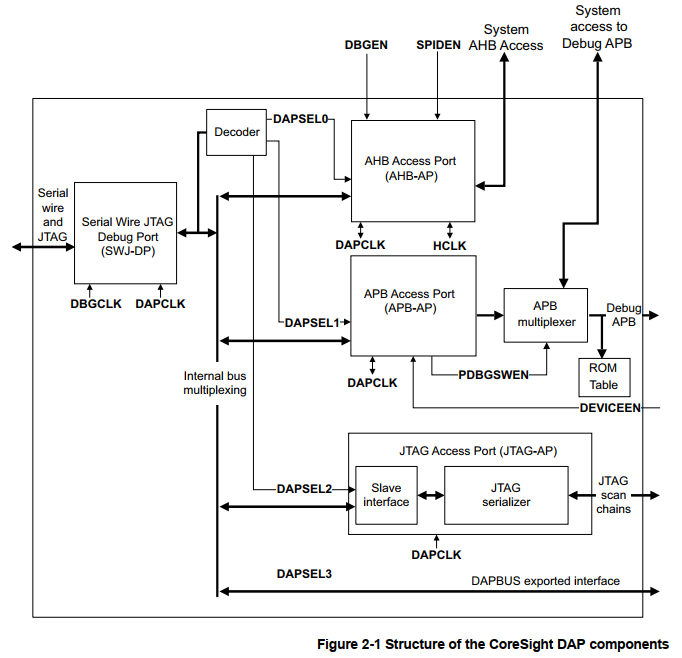
* ROM table，接到Debug APB口的ROM table，保存了Debug APB上的组件信息。
* Timestamp：在SOC系统产生并传输时间戳

1. Timestamp generator
2. Timestamp encoder
3. Timestamp decoder

# DAP

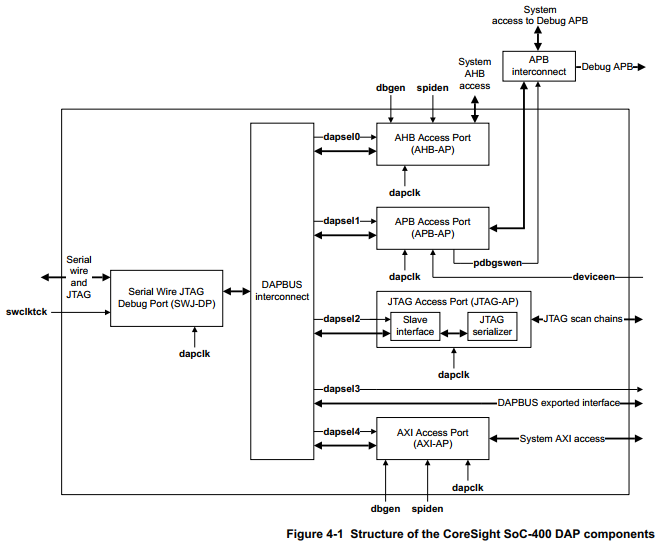
DAP，Debug Access Port，提供多master驱动接口，所有可访问可控制的命令通过外部接口经过DAP转为内部调试访问命令，实现调试功能。

DAP由DP（Debug Port）和AP（Access Port）组成。



（来源：DDI0314）

CoreSight SoC-400 DAP组件结构图：



（来源：DDI0480）

CoreSight SOC-400包含：

* DP：多功能SWJ-DP，符合ADIv5.1；
* AP：

AXI-AP：实现了ADIv5 Memory Accecc Port(MEM-AP)，连接到AXI存储系统。

AHB-AP：实现了AHB-Lite，兼容ADIv5.1中的MEM-AP，可以实现8到32-bit访问。

APB-AP：实现了AMBA v3的 APB master，用于访问Debug APB。

JTAG-AP：实现了ADIv5.1 的JTAG-AP，JTAG接口，可以对片上JTAG接口组件进行访问。

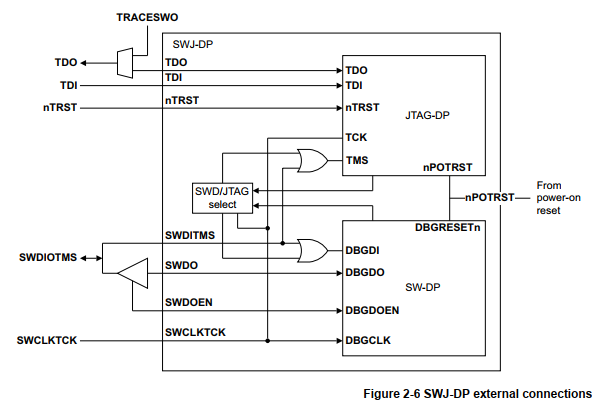
* 使用DAPBUS将DP和Aps进行互连。
* 不同的处理器实现的专用AP，可以直接连接到DAPBUS，称为Auxiliary Access Port(AUX-AP)。
* ROM table提供组件的memory location。

## DP

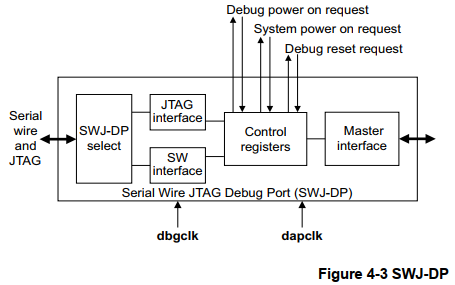
DP根据协议，可以是JTAG-DP(JTAG Debug Port )、SW-DP(Serial Wire Debug Port)、SWJ-DP(Serial Wire JTAG Debug Port)。

### SWJ-DP

SWJ-DP，包含JTAG-DP和SW-DP，外部可以连接SWD（Serial Wire Debug）或JTAG。SWJ-DP外部连接示意如下：



（来源：DDI0314）



（来源：DDI0480）

必须使用 JTAG 调试接口的场景：

• 包含了扫描链（scan chain），通常是用于测试或其他目的的片上TAP。

• 与使用JTAG进行调试的传统设备级联的设备。

• 将现有调试硬件与相应的测试TAP一起使用，例如在自动测试设备 (ATE, Automatic Test Equipment) 中。

可以将具有SWJ-DP的ASIC(Application Specific Integrated Circuit)连接到传统JTAG设备，而无需进行任何更改。

如果SWD工具可用，则只需要两个引脚，而不用JTAG的四个引脚，以此可将其他两个引脚用于其他目的。

如果与JTAG模式的应用没有冲突，则可只使用两个引脚。为了支持在扫描链中与其他JTAG器件一起使用 SWJ-DP，复位后的默认状态必须是这些引脚的JTAG功能。

如果引脚的备用功能的方向与由JTAG调试设备驱动兼容，则用于移位状态的转换，可从备用功能转换到JTAG模式。当ASIC处于JTAG调试模式时，备用功能不可用。

可切换方案的要求tdi 和 tdo 引脚上没有冲突，JTAG调试器可以通过发送特定序列来连接。用于SWD的连接序列在应用于JTAG接口时是安全的，包括热插拔，也支持调试器能够不断重试其访问序列。 tms=1 的序列确保 JTAG-DP、SW-DP 和watcher电路处于已知的复位状态。选择SWD的模式对JTAG target没有影响。SWJ-DP与外部工具提供的自由运行tck或门控时钟兼容。

外部JTAG接口有四个必选引脚tck、tms、tdi和tdo，以及一个可选的复位ntrst。JTAG-DP和SW-DP还需要单独的上电复位 npotrst。

外部SWD接口需要两个引脚： 双向swdio、可以从设备输入或输出的时钟swclk。

block级接口有两个数据pin和一个输出enable，用于驱动对外的双向pad接口。Block级接口还有时钟和复位信号。

为了实现JTAG或SWD连接共享，必须在SWJ-DP块外部进行连接。特别是，tms必须是双向引脚，以支持SWD 模式下的双向swdio引脚。

SWD-JTAG支持选择：

* JTAG协议
* Serial Wire Debug协议
* 休眠（Dormant）

在休眠模式下，tms、tdi 和 tdo 信号可用于其他目的，使连接到相同引脚的其他设备能够使用。

上电复位时默认切换到JTAG。因此，JTAG协议可以从复位时即可使用。

SWJ-DP包含一个模式状态输出 jtagnsw，当SWJ-DP处于JTAG模式时为高电平，而在SWD或休眠模式时为低电平。该信号可用于：

• 当SWJ-DP处于SWD或休眠模式时禁用其他TAP控制器，例如禁用tck或强制tms为高电平。

• 当不处于JTAG 模式时，将SWO、traceswo 多路复用到另一个引脚，例如tdo。

另一个状态输出jtagtop指示JTAG-DP TAP控制器的状态。这些状态是：

• Test-Logic-Reset.

• Run-Test/Idle.

• Select-DR-Scan.

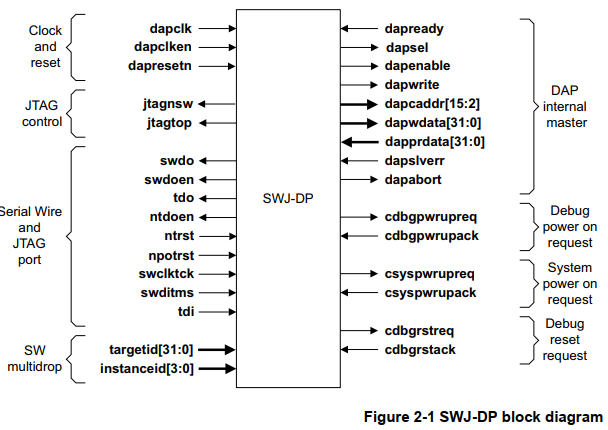
• Select-IR-Scan.

该信号可与 jtagnsw 一起用于控制多路复用器，例如，当器件不处于JTAG模式时或在这些信号JTAG模式但未用做TAP 控制器的周期期间，tdo和tdi可用作通用GPIO使用。

CoreSight Soc-400 SWJ-DP主要特性：

• JTAG-DP指令寄存器(IR, Instruction Register ) 长度4 位或8 位。

接口信号：



（图来源：DDI0480）

## DAPBUS

DAPBUS用于将DP和AP进行互联。

### DAPBUS interconnect

CoreSight Soc-400 DAPBUSP主要特性：

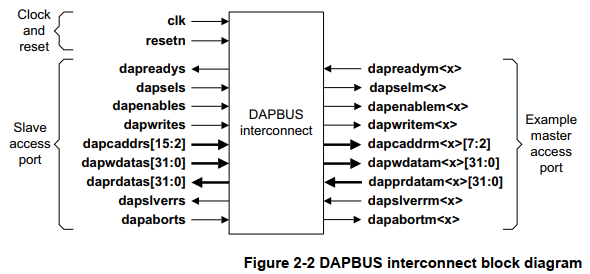
• 组合逻辑互连。

• 单一电源域。

• 一个slave端口连接到DP。

• 可配置的master口数量为 1-32。

模块接口示意



（图来源：DDI0480）

### DAPBUS asynchronous bridge

CoreSight Soc-400 DAPBUSP主要特性：

• 可配置的LPI。

• 支持异步时钟域交叉。

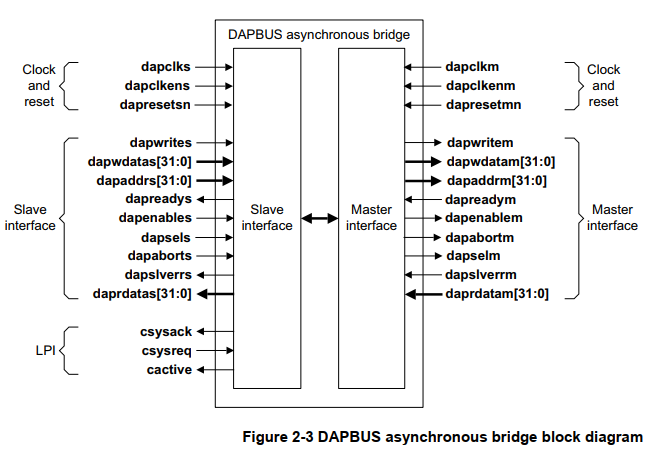
• 可配置为以下块之一：

— slave block。

— master block。

— 包括slave和master的全桥。

接口信号示意



（图来源：DDI0480）

### DAPBUS synchronous bridge

CoreSight Soc-400 DAPBUSP主要特性：

• 用于时序收敛的寄存器片。

• 可配置的前向、后向或全寄存器片。

• 支持同步时钟域交叉：

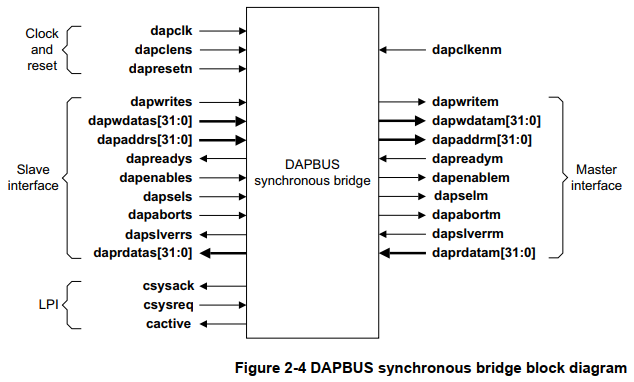
— 同步 1:1。

— 同步 1:n。

— 同步 n:1。

— 同步 n:m。

接口信号示意



（图来源：DDI0480）

## AP

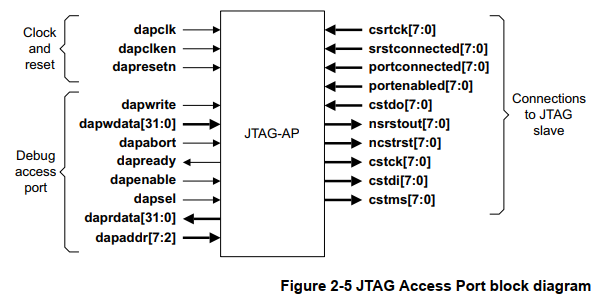
AP可以将命令转为AHB-AP、APB-AP、JTAG-AP、DAPBUS输出接口访问。

### JTAG-AP

JTAG Access Port提供片上JTAG访问。

CoreSight Soc-400 JTAG-AP主要特性：无

接口信号示意：



（图来源：DDI0480）

### AXI-AP

AXI Access Port提供片上AXI访问。

CoreSight Soc-400 AXI-AP主要特性：

• 支持单一时钟域。

• 具有可配置的 32 位或 64 位地址宽度。

• 具有可配置的 32 位或 64 位数据宽度。

• 具有以下AXI4 接口支持：

— 大型物理地址扩展(LPAE, Large Physical Address Extension)。

— 突发长度为 1。

— 没有乱序。

— 除了barrier事务之外，没有多个未完成的访问。

— 无写数据交织。

— 仅对齐传输。

— 没有 EXCLUSIVE 和 LOCK 事务。

— 没有 QoS 信号。

• ACE-Lite 对系统一致性的支持如下：

— ReadOnce 和WriteUnique 支持共享内存区域。

— ReadNoSnoop 和 WriteNoSnoop 支持非共享内存区域。

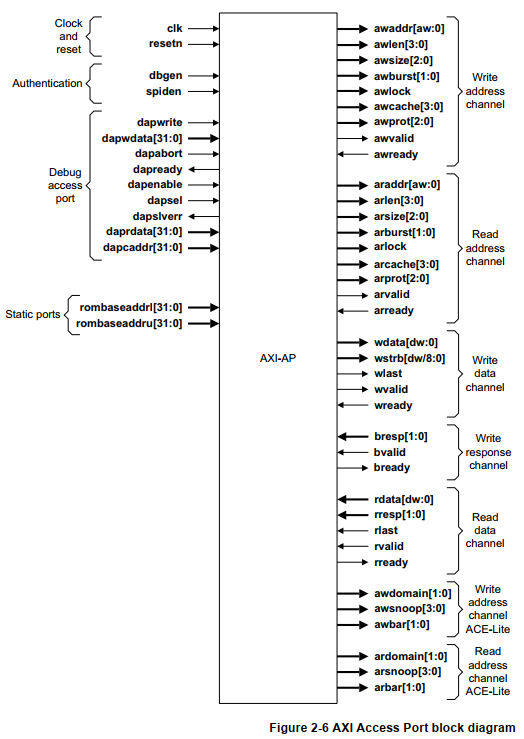
— 同步和内存屏障事务支持。

• 是小端。

• 支持错误响应。

• 支持打包传输，允许通过单个调试器访问 AXI-AP 来发出多个 8 位或 16 位传输。

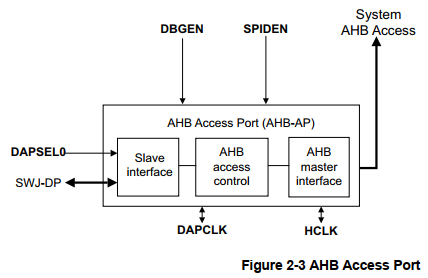
接口信号示意：



（图来源：DDI0480）

### AHB-AP

AHB Access Port提供片上AHB访问。



（来源：DDI0314）

CoreSight Soc-400 AHB-AP主要特性：

• 单时钟域。

• 支持 AMBA 2 AHB、ARM11 AHB 扩展和 TrustZone 扩展。

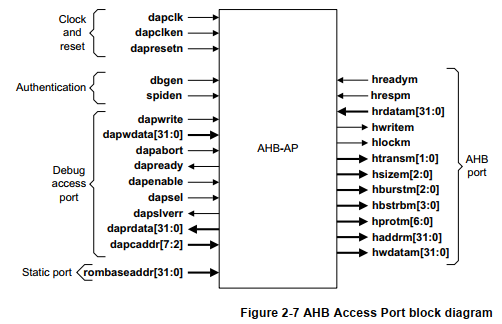
• 不支持以下 AHB 功能：

— BURST 或 SEQ 事务。

— 独家访问。

— 未对齐的转移。

接口示意



（图来源：DDI0480）

dbgen：input，如果为HIGH，则启用AHB-AP传输。如果dbgen为低电平，仍然允许访问AHB-AP寄存器，但不会启动AHB 传输。如果在dbgen为LOW时尝试传输，则DAP总线返回dapslverr HIGH。

spiden：input，允许在AHB-AP上进行安全传输。如果spiden为HIGH，则hprot[6]可以在编程到CSW寄存器中的SProt位时置位。

hprot[6:0]可编程接口，使用CSW寄存器：

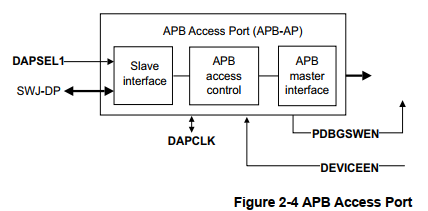
• 支持hprot[4:0]编程。

• hprot[5]不可编程，始终为低电平。不支持独占访问，因此不支持hprot[2]。

• 支持hprot[6]编程。 hprot[6] HIGH是非安全传输。 hprot[6] LOW是一种安全传输。通过写入CSW寄存器中的SProt 字段，可以将hprot[6]置为低电平。只有当spiden为HIGH时，才能启动安全传输。如果CSW寄存器中的SProt设置为低电平以执行安全传输，但spiden为低电平，则不会发生AHB传输。

### APB-AP

APB Access Port提供片上Debug APB访问。接口信号符合APB协议。



（来源：DDI0314）

CoreSight Soc-400 APB-AP主要特性：

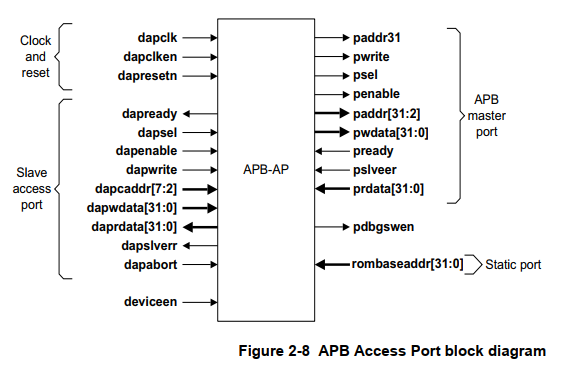
• 单时钟域。

• AMBA 3 APB。

• 32位数据总线。所有事务都是32位宽并与32位边界对齐。

• 支持PADDR31区分访问是来自调试器，还是片上调试软件。

接口示意



（图来源：DDI0480）

pdbgswen：Output，Enables self-hosted access to the debug APB at the APB multiplexer.

deviceen：Input，Disables device when LOW；

认证信号。如果APB-AP接到debug 总线，则必须接HIGH。

如果APB-AP接到系统总线取决于安全状态，则该信号接spiden。

如果APB-AP接到系统总线取决于非安全状态，则该信号接dbgen。

APB-AP 提供以下特定的 MEM-AP 功能：

• 传输地址寄存器自动递增，地址卷绕 1KB 边界。

• 通过APB互连，禁用slave存储映射接口，以使另一个APB master能够连接到与APB-AP相同的存储器映射。

# APB组件

用于构建Debug APB互联网络。

## APB内连(APBIC)

APB InnerConnect(APBIC)，可带ROM table，将多个 APB 主设备连接到多个从设备。

ROM 表，包含有关CoreSight SoC-400 系统中组件的信息。

CoreSight Soc-400 APBIC主要特性：

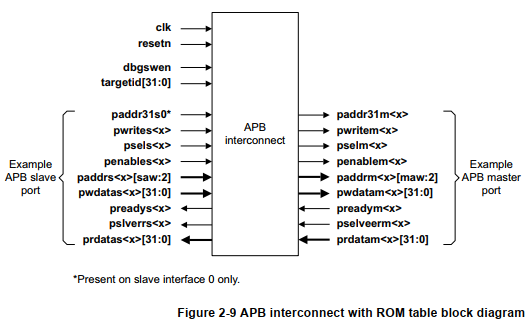
• 可配置APB Slave数量1-4。

• 可配置APB Master数量1-64。

• 在0地址偏移自动生成ROM table。

• 启用decoder的级联，每个decoder都覆盖一个地址范围，并在其地址范围内的偏移量为零处拥有自己的ROM table。

接口示意



（图来源：DDI0480）

## APB异步桥

将两个异步时钟域的apb进行对接。

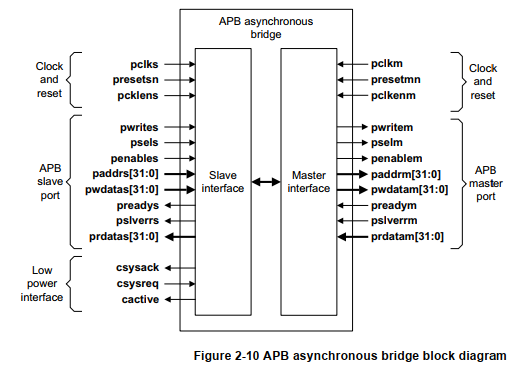
CoreSight Soc-400 APB异步桥主要特性：

• 支持异步时钟域交叉。

• 可配置仅从接口、或仅主接口、或全组件。

• 可配置带LPI。

接口示意



（图来源：DDI0480）

## APB同步桥

将两个同步不同频时钟域的apb进行对接。

CoreSight Soc-400 APB同步桥主要特性：

• 用于时序收敛的寄存器组（register slice）。

• 可配置的LPI。

• 支持同步时钟域交叉：

— 同步 1:1。

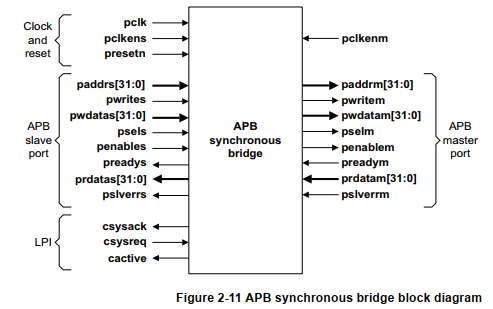
— 同步 1:n。

— 同步 n:1。

— 同步 n:m。

• 可配置的正向（forward）、反向（reverse）或全寄（full）寄存器组（register slice）。

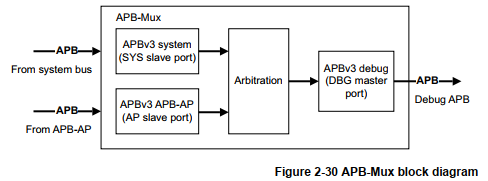
接口示意



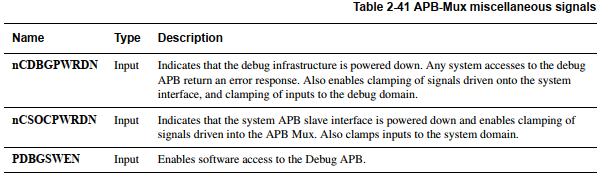
（图来源：DDI0480）

## APB-MUX

APB-AP可以和系统APB访问经过APB-MUX后转为Debug APB系统访问。

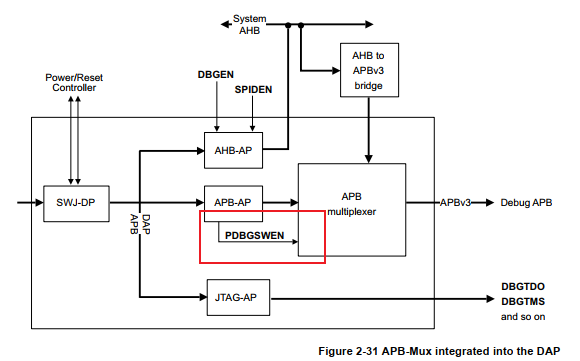


APB-MUX其他可选信号：



nCDBGPWRDN和nCSOCPWRDN主要用于不同电源域控制，指示Debug或SOC电源域下电。

PDBGSWEN控制允许系统访问Debug APB。



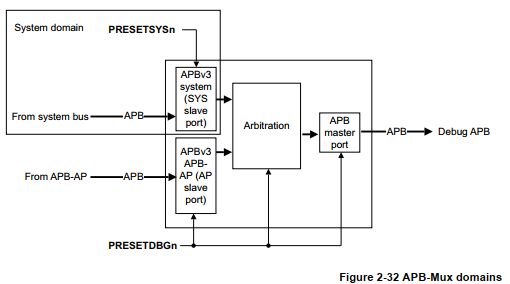
APB-MUX有两个时钟：

PCLKDBG：Drives all logic, except for the System Slave port interface.

PCLKSYS：Drives the System Slave port interface.

对应的复位为：PRESETDBGn和PRESETSYSn。

APB-MUX和系统APB接口是异步的。



## ROM table

ROM table挂在APB-MUX出口的Debug APB上，保存了Debug APB上的组件信息。

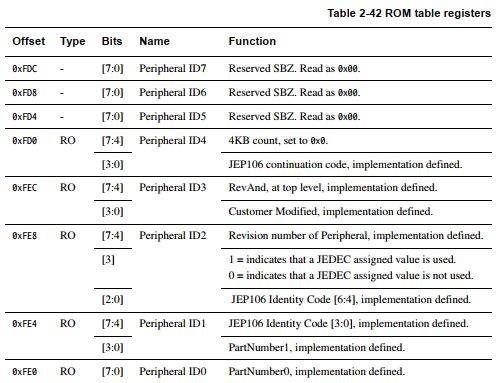
ROM table位于Debug APB总线地址0x00000000和0x80000000，可以通过APB-AP和系统APB访问。

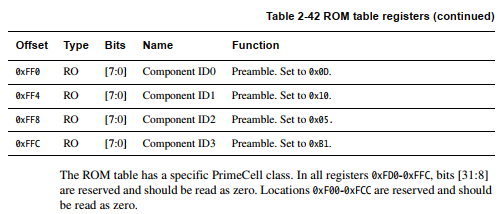
总线地址Bit [31] 不接到ROM Table，保证这两个口访问的地址内容相同。

ROM table有标准的APB接口，但无 PWRITEDBG和PWDATADBG。只支持读访问。

ROM table是只读设备，忽略所有写请求。

ROM table寄存器，条目内容依赖于具体：





条目内容参考（DDI0314）

CoreSight SOC-400 ROM table的地址范围为0x0000-0x0FFF。

## DAP的认证

可选实现认证功能。

APB-AP有一个认证信号DEVICEEN：

* 如果APB-AP连到了debug bus，该信号必须接HIGH。
* 如果APB-AP连到了系统总线安全世界，该信号必须连到SPIDEN。
* 如果APB-AP连到了系统总线非安全世界，该信号必须连到DEGEN。

## Clocks, power, resets

DAP使用了4个时钟和电源域：

* Debug Port Interface域：由SWCLKTCK驱动，控制SWJ-DP接口；
* Debug域：DAP的内部总线，APB-AP，Debug APB，基于PCLKDBG;
* AHB System域：AHB-AP的AHB-Lite master接口，基于HCLK；
* APB system域：APB-MUX的系统APB接口，基于PCLKSYS；

PCLKDBG由不变时钟驱动，当DAP使用期间不可停止和改变（取决于Debug Port的调试电源请求），

PCLKENDBG可用于时钟门控，降低PCLKDBG的有效时钟速度。

PRESETDBGn初始化PCLKDBG域中所有寄存器。PRESETDBGn在不影响集成DAP的SoC的正常运行的情况下，可以对DAP初始化，这由外部连接的调试端口的工具驱动。

可以通过写入调试端口的控制寄存器（调试复位请求寄存器）来启动复位。这将重置Debug时钟域中的所有寄存器，包括Debug APB和DAP域。

注意：

在DAP内部有一个时钟信号，它不在顶层，但在内部连接到PCLKDBG。相应地，内部复位和时钟使能项也分别连接到PRESETDBGn和PCLKENDBG。

# ATB互连组件

ATB 互连使CoreSight SoC-400 调试系统传输跟踪数据。自定义的互连基础架构还使用这些组件来提供系统架构所需的附加功能：

• ATB replicator.

• ATB funnel

• ATB upsizer

• ATB downsizer

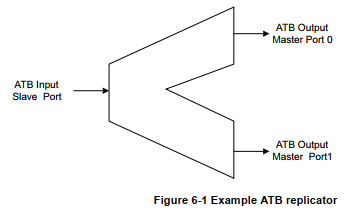
• ATB asynchronous bridge

• ATB synchronous bridge

## **ATB Replicator**

ATB 复制器，可以将trace流分流到两个trace sinks。

ATB 复制器使两个跟踪接收器能够连接在一起，并从相同的传入跟踪流进行操作。没有可编程寄存器。在从源到接收器的特定跟踪路径上，此组件对您是不可见的。



CoreSight Soc-400 ATB replicator主要特性：

• 可配置的ATB 数据宽度。

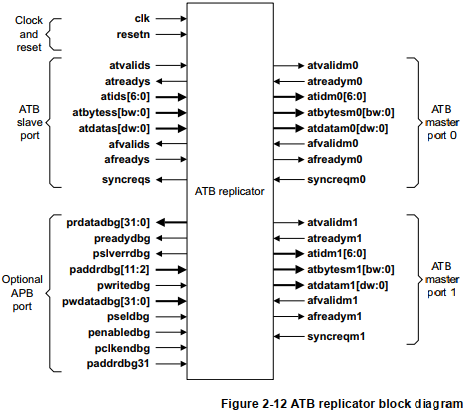
• 1:2 复制器。

• 可配置的APB编程接口，可以用来启用或禁用接口，和设置基于ID的过滤。

以下参数影响 ATB 复制器的信号：

• ATB\_DATA\_WIDTH，其值为 8、16、32 或 64。

接口示意



（图来源：DDI0480）

ID Filtering：

如果实现了可选的APB接口，则复制器可以根据跟踪 ID 过滤每个ATB主接口的跟踪。大多数跟踪源对其跟踪使用单个跟踪ID，因此可以对复制器进行编程以控制每个跟踪接收器捕获哪些跟踪源。

重置后，复制器的行为与非可编程复制器的行为匹配，并且不执行过滤。过滤设置可以随时更改。

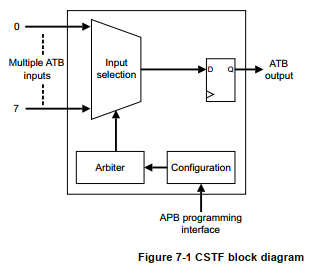
Trace data flow：

当从跟踪源接收数据时，它会同时传递到所有跟踪接收器。在所有跟踪接收器都接受了这些数据之前，复制器不会接受来自跟踪源的更多数据。这会降低复制器的吞吐量以匹配最慢的跟踪接收器的吞吐量。

如果实现了可选的APB接口，则可以同时启用支持高带宽跟踪的跟踪接收器，例如ETB，以及仅支持低带宽跟踪的跟踪接收器，例如TPIU。更高带宽的跟踪源可以从TPIU看到的跟踪中过滤掉，这样它就不会给复制器带来背压，从而影响ETB看到的跟踪。

## **ATB Funnel**

组合最多8个trace源到一路。



CSTF 包含以下模块：

* 输入选择多路复用器

在 CoreSight 中，这是八个端口的固定输入。

* 仲裁器

仲裁器确定ATB输入的优先级。仲裁器使用静态优先级。选择最高优先级输入，并在固定保持时间后选择具有下一个最高优先级的输入（如果处于活动状态）。

* 配置

编程接口的配置控制寄存器。Debug APB接口。

CoreSight Soc-400 ATB Funnel主要特性：

• 可配置ATB数据宽度。

• 可配置slave口数量。

• 具有以下特点的可编程仲裁方案：

— slave口之间的可编程优先级。

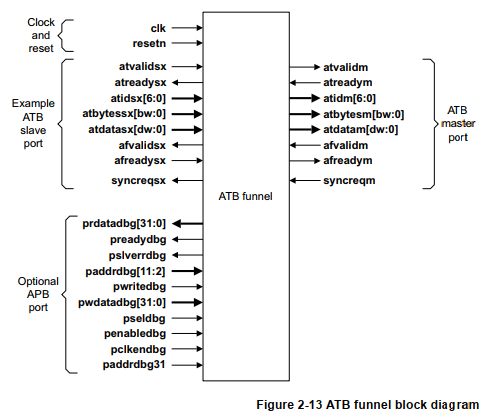
— 具有相同优先级的slave口之间的循环仲裁。

— 每个slave口可编程启用/禁用。

• 可选的 APB 编程接口，当调试器不必修改仲裁方案或禁用单个从接口时节省空间。

参数 ATB\_DATA\_WIDTH 的值可以是 8、16、32、64 或 128，它会影响 ATB funnel的信号的总线大小。请参见图 2-13 中的 dw，其中 dw= ATB\_DATA\_WIDTH-1。

接口示意



（图来源：DDI0480）

## ATB upsizer

ATB upsizer用于将窄位宽ATB总线转为宽位宽ATB总线。

CoreSight Soc-400 ATB upsizer主要特性：

• 支持以下数据宽度比：

— 1:2。

— 1:4。

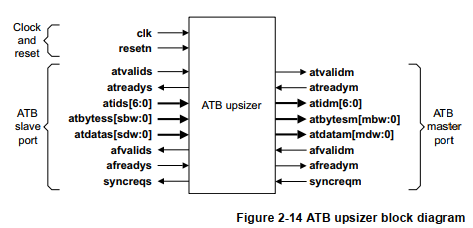
— 1:8。

— 1:16。

• 可配置的slave接口数据宽度。

• 可配置的master接口数据宽度。

接口示意



（图来源：DDI0480）

## ATB downsizer

ATB downsizer用于将宽位宽ATB总线转为窄位宽ATB总线。

CoreSight Soc-400 ATB downsizer主要特性：

• 支持以下数据宽度比：

— 2:1。

— 4:1。

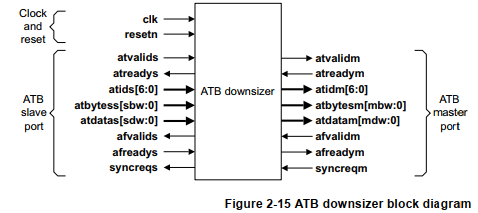
— 8:1。

— 16:1。

• 可配置的slave接口数据宽度。

• 可配置的master接口数据宽度。

接口示意



（图来源：DDI0480）

## ATB asynchronous bridge

ATB异步桥可实现两个异步时钟域之间的数据传输。ATB异步桥旨在跨两个电源域，并提供 LPI。

CoreSight Soc-400 ATB asynchronous bridge主要特性：

• 支持异步时钟域交叉。

• 可配置的ATB 数据宽度。

• 可配置的LPI。

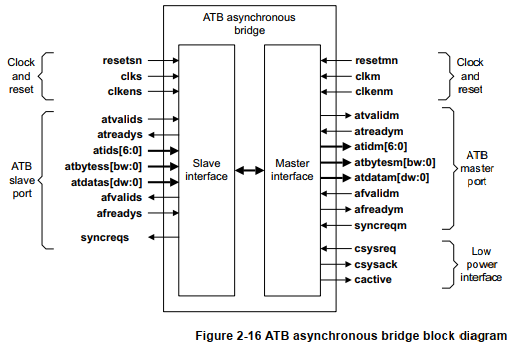
• 可配置为以下之一：

— 一slave接口块。

— 一master接口块。

—一full桥。

接口示意



（图来源：DDI0480）

## ATB synchronous bridge

ATB 同步桥支持两个同步时钟域之间的数据传输。它还提供了一个LPI，以支持具有单个电压域的电源门控。

CoreSight Soc-400 ATB synchronous bridge主要特性：

• 可配置的ATB 数据宽度。

• 可配置的前向、后向或全寄存器片。

• 支持同步时钟域交叉：

— SYNC 1:1。

— 同步 1:n。

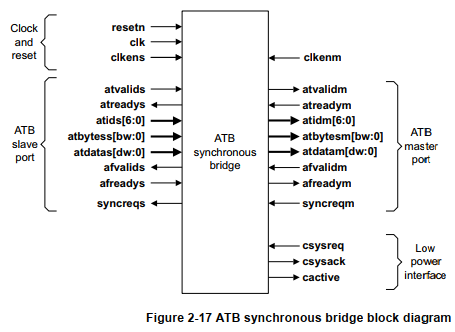
— 同步 n:1。

— 同步 n:m。

• 当桥接类型设置为FULL 时，可配置FIFO 深度为2 的幂，最大深度为256。这可用于实现小型跟踪 FIFO，作为实现 ETF 的替代方案。

• 可配置的LPI。

接口示意



（图来源：DDI0480）

## ATB Phantom Bridges

ATB组件符合ATBv1.1协议，该协议被定义为AMBA 4的一部分，此处称为ATB4。其他一些 ATB组件可能符合 ATBv1.0 协议，该协议被定义为AMBA 3的一部分，此处称为ATB3。 ATB3和ATB4之间的唯一区别是可选择在ATB4中包含syncreq信号。

提供了两个幻象桥（phantom bridge）组件以允许IP-XACT 缝合器将组件ATB3和ATB4接口连接：

• cxatb3to4bridge

• cxatb4to3bridge

这些幻象桥组件不包含任何逻辑——它们引导拼接工具在已根据两种不同总线定义封装的组件之间建立正确的连接。

# Timestamp组件

时间戳（timestamp）组件生成时间戳，可用于CoreSight时间戳，或处理器通用定时器。

窄时间戳（Narrow timestamp）组件将CoreSight时间戳分发到SoC内的多个目的地。

窄时间戳组件不得用于处理器通用时间。

可用于构建此系统的组件是：

• Timestamp generator

• Timestamp encoder

• Narrow timestamp replicator

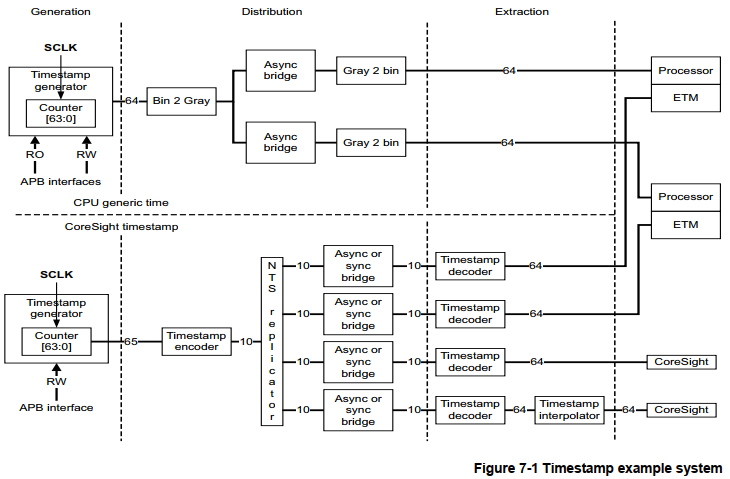
• Narrow timestamp asynchronous bridge

• Narrow timestamp synchronous bridge

• Timestamp decoder

• Timestamp interpolator

下图显示了一个时间戳系统示例。用于分发处理器generic timer的宽时间戳的组件不作为 CoreSight SoC-400的一部分提供。



（图来源：DDI0480）

窄时间戳互连提供了一种机制，可以以经济高效的方式在潜在的大型系统中有效地分发CoreSight时间戳值。它具有以下特点：

• 时间总是向前计数。

• 可作为自然二进制数提供给软件的时间。

• 可写和可读的计数值。

• 时间戳的分发同步。

• 时间值以64位二进制计数表示。

互连确保，使用分布式时间戳的任何组件，在时间戳互连被计时时，以最小偏差同步到分发计数值。当时间戳互连的一部分被复位时，它可以重新同步到新的时间戳值。当时钟重启时，时钟不能在没有重置的情况下停止在时间戳互连的任何部分，因为否则它不会重新同步到正确的时间戳。

只有timestamp generator可以编程，其他组件自动运行。

## Timestamp generator

时间戳生成器生成一个时间戳值，为SoC中的多个模块提供一致的时间视图。

时间戳生成器可用于生成CoreSight时间戳或处理器通用时间，因为它符合ARM通用计时器规范定义的存储映射计数器。有关ARM通用计时器的信息，请参阅ARM体系结构参考手册。

SoC通常需要两种时间戳值来源，并且必须独立控制这些来源。您可以实例化两个时间戳生成器来满足此要求。

时间戳生成器具有以下主要特性：

• 64位宽以避免溢出问题。

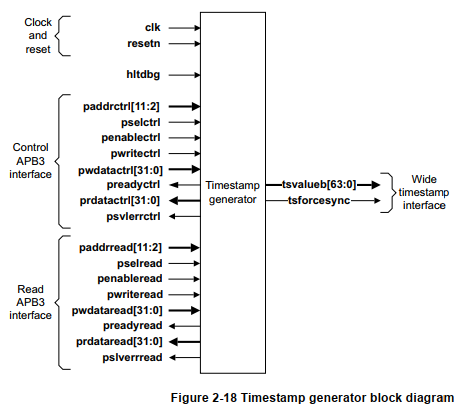
• 从零或可编程值开始。

• APB控制接口，使定时器能够在断电事件中被保存和恢复。

• APB只读属性接口，提供非安全软件和调试工具读取定时器值。

• 在全系统调试期间，通过输入停止定时器值递增计数。

接口示意



（图来源：DDI0480）

CoreSight时间戳生成器可按如下方式使用：

• 由ARM处理器通用timer生成时间。软件预计此时间不会倒数，因此只有安全软件才能更改时间戳值，这一点很重要。时间戳生成器的程序员模型旨在使非安全软件能够读取时间戳值，而只允许安全软件更改时间戳值。

• 由CoreSight系统中的对齐跟踪和其他调试信息生成时间。时间戳生成器由调试软件控制并连接到调试 APB 互连。不使用只读接口。

注意

处理器时间和 CoreSight 时间戳的时间戳分发网络必须保持独立且不得共享。

APB控制接口

APB控制接口只能由安全软件访问。通过该接口，软件可以：

• 启动和停止时间戳递增。启用后，时间戳每个时钟周期递增 1。

• 当进入调试状态时，时间戳计数器停止。这要求hltdbg 输入信号由CTI trigger输出来驱动。要启用此功能，调试软件必须将CTI配置为，在进入系统范围的调试状态时向时间戳生成器发送信号。

注意

当安全软件启用此功能时，它使调试软件能够非常灵活地控制，使时间戳计数器何时停止，而不仅限于调试停止事件。

• 读取当前时间戳值。

• 更改当前时间戳值，例如在启动系统时恢复较早的值。时间戳计数器在更改时必须停止。当时间戳值改变时，时间戳生成器通过时间戳互连发出强制同步事件。如果时间戳互连包含慢时钟域，则新值可能需要一些时间才能传播。

• 更改时间戳增量报告。

非安全软件和调试软件对APB只读。

Hltdbg信号是事件接口，当时间戳生成器用来分发处理器通用定时间时，必须接到CTI trigger输出。

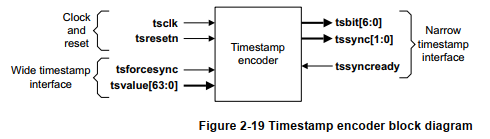
## Timestamp encoder

时间戳编码器将来自时间戳生成器的64位时间戳值转换为7位编码值。这称为窄时间戳。它还通过2-bit同步通道对时间戳值进行编码和发送。

当tsforcesync输入信号置位时，它还会重新同步时间戳互连。

在大多数系统中，有一个时间戳编码器，直接连接到时间戳生成器。

接口示意



（图来源：DDI0480）

## Narrow timestamp replicator

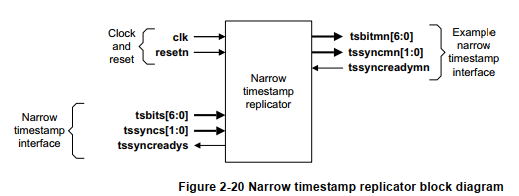
窄时间戳复制器将编码的时间戳和同步数据分发到多个master接口。可以配置master接口的数量。

窄时间戳复制器具有以下关键特性：

• 1:n窄时间戳总线分发。

• 可配置窄时间戳master接口的数量。

接口示意



（图来源：DDI0480）

## Narrow timestamp asynchronous bridge

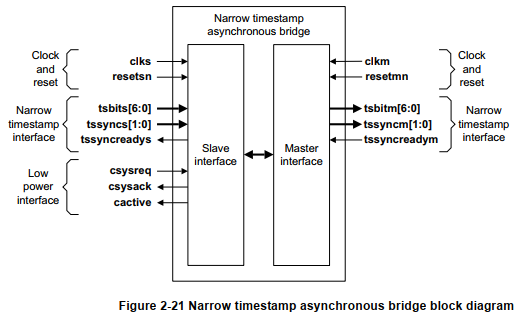
窄时间戳异步桥能够跨不同时钟和电源域传输时间戳信息。

窄时间戳异步桥具有以下主要特性：

• 支持异步时钟域交叉。

• LPI，不可配置。

接口示意：



（图来源：DDI0480）

该系统旨在确保限制输出时间戳与输入之间的误差。如果slave：master时钟比率导致某些时间戳值在桥接器中丢失，则桥接器确保将错误限制在时钟比率向上舍入为下一个2的幂。例如，对于slave：master时钟比率10:1 时，输出时间戳比输入时间戳低不超过16。

在主时钟明显慢于从时钟的情况下，或者如果主时钟需要长时间停止，例如低功耗状态，桥有一种机制，可以在错误超出时强制自动重新同步预定的限度。此限制在THRESHOLD配置选项中设置。

## Narrow timestamp synchronous bridge

窄时间戳同步桥能够跨时钟和具有单独时钟启用的电源域传输时间戳信息。

窄时间戳同步桥具有以下关键特性：

• LPI，不可配置。

• 支持同步时钟域交叉：

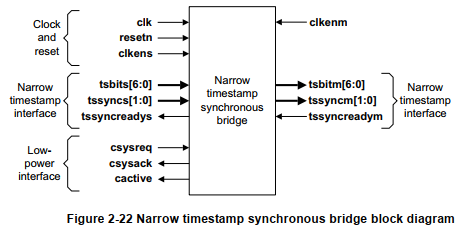
— 同步 1:1。

— 同步 1:n。

— 同步 n:1。

— 同步 n:m。

接口示意：

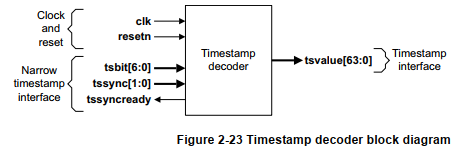


（图来源：DDI0480）

## Timestamp decoder

时间戳解码器将窄时间戳接口和同步数据转换回64位值。这是CoreSight SoC-400 跟踪组件需要其时间戳的格式。它将窄时间戳接口解码为64位宽的时间戳信号。

接口示意：



（图来源：DDI0480）

## Timestamp interpolator

CoreSight SoC-400组件允许软件关联事件的时间戳值。

时间戳生成器生成时间戳值。通常采用比CoreSight SoC-400组件的工作频率慢得多的时钟频率。

时间戳插值器使用来自时间戳生成器的时间戳值作为参考，并以CoreSight SoC-400组件所需的速率生成时间戳值。

时间戳内插器具有以下主要特性：

• SCLK 基本频率与SCLK最小频率的可配置比率。

• FCLK 最大频率与SCLK基本频率的可配置比率。

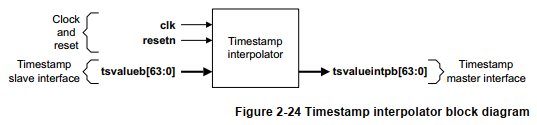
• 单时钟域操作。

• 支持时钟频率的动态变化。

SCLK：是时间戳生成器运行的慢时钟。 SCLK是时间戳发生器上的 clk 端口。

FCLK：是时间戳内插器运行的快速本地时钟。 FCLK是时间戳内插器上的 clk 端口。

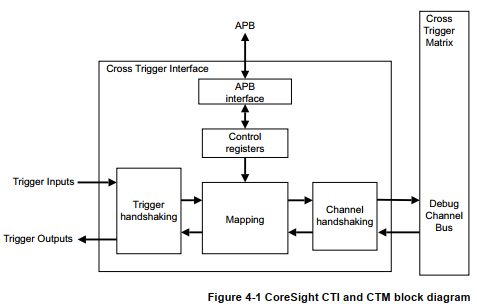
接口示意：



（图来源：DDI0480）

# ECT(含CTI/CTM)

ECT：Embedded Cross Trigger，嵌入式交叉触发，由多个CTM（Cross Trigger Matrix）和CTI（Cross Trigger Interface）构成。可只使用单个 CTI，无CTM。



ECT 为调试系统提供了一种接口，这使ARM/ETM子系统能够交互，即交叉触发。

调试系统支持对多个内核的调试，以及内核与其各自ETM之间的交叉触发。

ECT（CTI和 CTM）的主要功能是将调试事件从一个内核传递到另一个内核。例如，ECT 可以将调试状态信息从一个内核传递到另一个内核，以便在需要时可以同时停止两个处理器上的程序执行。

CTI，交叉触发接口：

组合和映射触发请求，并将它们作为通道事件广播到 ECT 上的所有其他接口。当 CTI 接收到通道事件时，它会将其映射到触发输出。这使子系统能够相互交叉触发。触发器的接收和发送是通过触发器接口进行的。

CTM，交叉触发交叉结构：

此模块控制通道事件的分发。它提供用于连接到 CTI 或 CTM 的通道接口 (CI，channel interface)。这使得多个 CTI 可以连接在一起。

CoreSight SoC-400 包含以下交叉触发组件来控制调试信息的记录：

• CTI。

• CTM。

• 事件异步桥。

CTI、CTM 和 Event 异步桥接形成ECT子系统，将调试事件从一个调试组件传递到另一个调试组件。例如，ECT 可以将调试状态信息从一个处理器传送到其他处理器，以便可以在需要时同时停止一个或多个处理器上的程序执行。

Event分发流程：

• 每个事件类型都连接到CTI上的触发输入。

• 每个CTI都可以通过编程将每个触发输入连接到4个通道中的每一个。如果被编程为这样做，当输入事件发生时，它会在相应的通道上引发一个事件。

• CTI 通过通道接口使用一个或多个CTM相互连接。当一个事件发生在一个通道上时，它会在该通道上广播到系统中的所有其他 CTI。

• 可以对每个CTI 进行编程，以将每个通道连接到多个触发输出中的每一个。如果编程为这样做，当通道事件发生时，它会在触发输出上引发一个事件。

• 每个CTI触发输出都可以连接到CoreSight组件事件输入。

Event以电平方式广播。

## CTI

CTI 将触发请求进行组合映射，并将其广播到ECT子系统上的所有其他接口。当CTI接收到触发请求时，它会将其映射到触发输出。这使CoreSight子系统能够相互交叉触发。

CTI 具有以下功能接口：

• 八个触发输入，使事件能够被发送到 CTI。

• 8 个触发输出，使 CTI 能够向其他组件发送事件信号。

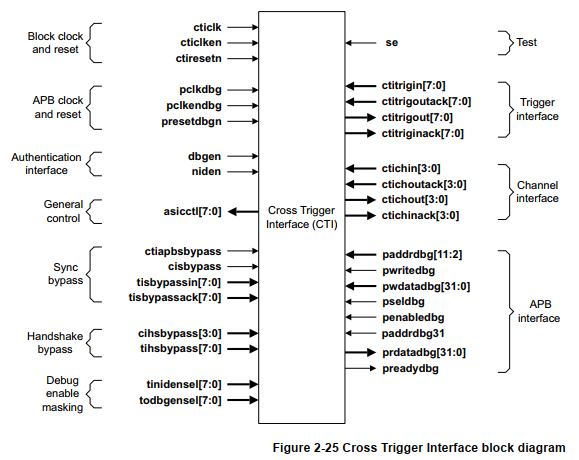
• 通道接口，用于使用一个或多个CTM将CTI连接在一起。

• APB 接口，用于访问CTI 的寄存器。

• 身份验证接口，用于控制对某些调试事件的访问。

CTI 包括配置连接输入，可连接多种触发输入和输出类型。

接口示意



（图来源：DDI0480）

禁用一个CTI：

ARM 建议在停止处理器时钟之前禁用连接到处理器的CTI。这最大限度地减少了意外事件进入交叉触发系统或在其时钟重新启动时影响处理器的可能性。

要禁用CTI，请执行以下操作：

1. 清除CTINEN寄存器中的事件到通道映射。

2. 清除CTIOUTEN寄存器中的通道到事件映射。

认证：

CTI 可以控制对单个调试事件的访问：

• 当dbgen为低电平时，可以屏蔽触发输出，以避免调试工具改变系统的行为。如果 todbgensel 的相应位为 LOW，则它们被dbgen屏蔽。当todbgensel的对应位为HIGH时，触发输出忽略dbgen。

• 当niden为LOW时，可以屏蔽触发输入，以避免调试工具能够观察系统状态。如果tinidensel的相应位为LOW，则它们被niden屏蔽。当tinidensel的相应位为HIGH时，触发输入忽略niden。

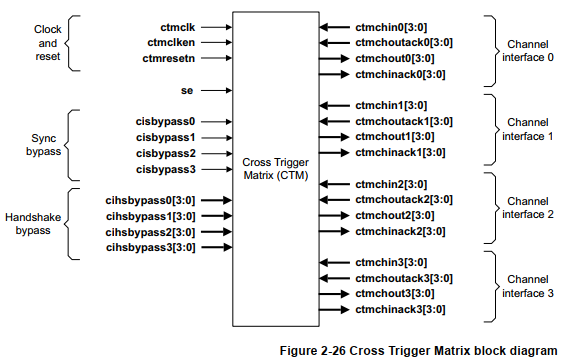
大多数 tinidensel和todbgensel位都可以绑定为HIGH，因为具有事件接口的组件具有身份验证接口，并在必要时在本地屏蔽事件。这包括与其他CoreSight组件的连接。对于使用直接连接到处理器中断请求引脚的请求中断的触发输出，todbgensel必须绑定低电平，因为处理器无法判断中断请求来自调试组件。

大多数ARM处理器要么集成CTI，要么附带处理器集成层 (PIL，Processor Integration Layer)，以显示必须如何连接这些信号。有关详细信息，请参阅相关ARM处理器的文档。当触发输入或输出被这种机制屏蔽时，它们不能被程序员模型观察或影响，包括使用集成寄存器。

## CTM

CTM 块分发触发事件。它连接到至少两个CTI和设计中需要的其他CTM。

接口示意



（图来源：DDI0480）

如果您不需要 CTM 的所有通道接口，则必须按如下方式绑定未使用的通道接口：

• ctmchin 的所有位必须绑定为低电平。

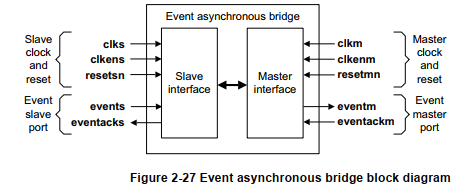
• ctmchoutack 的所有位必须为高电平。

## Event asynchronous bridge

事件异步桥接器是一个固定组件，用于将单个通道上的事件从slave域同步到master域。来自master域的事件确认被同步并呈现给slave域。

如果事件是一个脉冲，则桥会在内部对事件展宽，直到它收到来自master域的确认。在这种操作模式下，来自slave域的附加事件将被忽略，直到slave域接收到确认。

接口示意



（图来源：DDI0480）

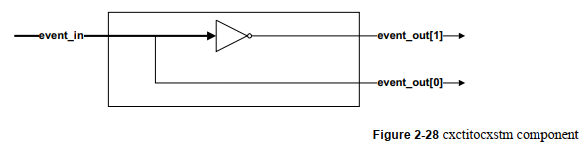
## Channel asynchronous bridge

通道异步桥接器是一个wrapper组件，它实例化四个事件异步桥接器，如事件异步桥接器中所述。提供此组件是为了在使用自动拼接工具时方便。

## Cross Trigger to System Trace Macrocell

提供 cxctitocxstm 组件是为了简化触发器从CTI到STM的硬件事件输入的连接。该组件是组合逻辑的，可从单个触发输入提供直接和反向事件输出。

下图显示了 cxctitocxstm 组件。



（图来源：DDI0480）

## CTI握手，同步，时钟

**握手**

CTI不解析通道接口 (channel interface，CI) 或触发接口 (trigger interface，TI) 上的信号。如果启用握手，则假定事件是边沿触发（edge-triggered）的。因此，可能无法可靠地识别密切发生的事件。事件作为电平（level）传输。如果需要边缘检测或单脉冲输出，则必须在外部实现整形逻辑对信号整形。

为避免任何不兼容，定义了以下协议：

* 只有逻辑1被解释为事件。
* 如果启用握手，对于收到的TI，输出必须保持有效，直到收到硬件确认或可选的软件确认，即使确认信号驱动已撤销。

如果启用握手，CTI 只能处理一次性事件。如果事件彼此靠近，或多次触发，并映射到同一通道，则它们可能会在输出触发器上合并为一个事件。对于断点、跟踪开始和跟踪停止等调试事件，这不会导致问题，因为映射到相同触发器的输入事件需要执行相同的操作。

来自不同接口但映射到同一通道的事件也可能被合并。这是可以接受的，因为映射逻辑将被编程为启用此功能。事件可以合并，因为异步时钟域之间的块握手或通道事件被映射到相同的输出触发。

如果CTI上发送的事件来自同一个时钟域，那么您可以绕过握手和同步逻辑。输出未收到确认。在这种情况下，您可以使用CTI传输多个触发事件。输出必须至少在一个时钟周期内保持有效，以确保它在目标接口处被采样到。

**同步**

从异步时钟域发出事件广播到CTI的系统必须遵守以下规则：

1. 对输入事件寄存。任何作为 CTI 输入的信号都必须是无毛刺的，以避免任何错误事件。必须启用内置同步器，除非已执行外部同步。

2. 同步输出事件（第 4-5 页）。 CTI 的输出在被子系统使用之前，如果子系统中还没有同步，则必须同步到本地时钟。

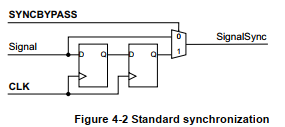
**输入事件寄存**

这里关注的是子系统输出上的毛刺会在CTI中传播，并且可以当事件用。此外，综合工具没有提供必要的机制来约束信号，以使它们没有毛刺。

例如，在ARM9E处理器设计中，DBGACK是组合电路的输出，即三输入或门。无法确保输入上的状态变化不会导致DBGACK信号上的毛刺，该毛刺可以由异步电路获取。在这种情况下，只要信号与 CTI 处于相同的时钟域，就可以使用单个寄存器。或者，您可以在 CTI 中为该特定触发输入启用同步逻辑，从而为延迟增加一个额外的时钟周期。

**同步输出事件**

标准2寄存器同步电路：



注意：

请务必查阅有关目标进程（target process）和标准单元库的设计规则，以检查是否存在与同步器相关的任何限制或建议。例如，库规则可能需要使用专门设计的同步寄存器，或者要求构成同步链的寄存器必须彼此靠近放置。

**延时**

延迟对应于从一个信号进入 ECT 系统到传播到另一个核所需的周期数。 CTI和 CTM中的路径是组合逻辑，因此延迟只是取决于握手电路。这意味着，在最坏的情况下，延迟是以下各项的总和：

• CTI 将事件发送到矩阵的一个时钟周期，或毛刺消除

• 由CTITRIGIN 事件传播到CTITRIGOUT 引起的组合延迟输出

• CTI 从交叉结构接收事件的两个时钟周期，或与接收设备的时钟同步

在某些情况下，可能会减少这种延迟：

• 如果核发送的信号是触发器的输出，则您不必寄存该信号，因为它没有毛刺。

• 例如，如果连接的核在内部已经具有同步逻辑，则处理器已被指定可接收异步信号。

• 如果所有子系统都同步，则可以激活 TI 旁路信号 TISBYPASSACK 和 TISBYPASSIN。但是，此路径必须遵守布局和综合时序约束。

• 如果CTM 和CTI 时钟同步，则可以激活CI 旁路信号CISBYPASSACK 和CISBYPASSIN。

**时钟域**

在大多数系统中，CTICLK连接到与其本地处理器相同的时钟，并且CTMCLK连接到系统中最快的处理器时钟，因此减少了触发延迟和对时钟使能的要求。

如果在处理器进入时钟停止模式时要禁用CTI，ARM建议执行以下操作：

• CTI关闭事件到通道的映射，以便不会向CTM生成不需要的事件。

• 通道到事件映射电路在时钟打开后的几个时钟周期内关闭或禁用。

• 此版本的CTI不得连接到可能会被移除或停止的时钟。此版本的CTI不得放置在可以关闭的电源域中。在这些情况下，建议CTICLK与CTMCLK相同。

当处理器时钟停止时，例如等待中断，相应的CTI可以接收来自CTM的事件。当CTI时钟与子系统时钟相同且未绕过握手时，CTM保持信号有效，直到收到确认，这仅在时钟再次启动时发生。在这种情况下，核上可能会发生过期事件。这不会禁止其他处理器使用的通道。

但是，如果CTI时钟与本地处理器时钟不同，例如，它的门控方式不同，则CTI可以在处理器时钟关闭时使用 CTITRIGOUT 向核发出事件。如果必须避免向核引发事件，处理器必须在停止时钟之前禁用其CTI。

**CTI和CTM互联**

如果CTI和连接的CTM或CTM到CTM或CTI到CTI上使用的时钟是异步的，那么握手逻辑和同步寄存器都必须保持启用状态，即CIHSBYPASS和CISBYPASS必须是接低电平。

如果两个设备都有同步时钟，则可以绕过同步，将CISBYPASS接高电平，以减少延迟。如果两个时钟相同，即 CTMCLK = CTICLK，并且需要通道发送多脉冲事件，则可以通过将CIHSBYPASS接高电平来绕过握手。

## ECT编程模型

CTI的基地址不是固定的，并且对于任何特定的系统实现都可以不同。但是，任何特定寄存器相对于基地址的偏移量是固定的。每个CTI都有一个4KB的程序模型。每个CTI必须单独编程。保留所有未使用的空间。

以下适用于所有寄存器：

• 寄存器的保留位或未使用位必须写为0，并且在读取时忽略，除非文中另有说明。

• 除非文中另有说明，否则所有寄存器位均重置为0。

• 所有寄存器都必须作为字访问，因此与大端和小端系统兼容。

注意：

CTM无编程模型，因为它只提供CTI、CTM之间的互联。

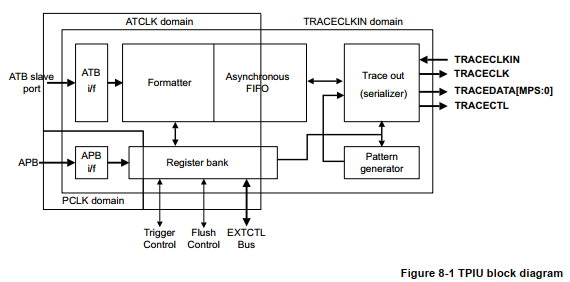
# Trace sink组件

CoreSight SoC-400包含以下组件，用于接收调试信息并将其转发到主调试组件。

跟踪接收器组件是： TPIU，ETB

## TPIU

Trace Port Interface Unit，跟踪数据输出到片外的接口。

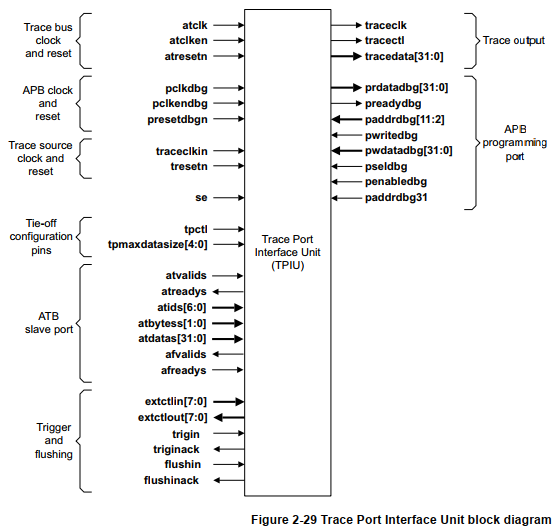


TPIU 充当具有单独 ID 的片上跟踪数据与数据流之间的桥梁，在需要时封装ID，然后由跟踪端口分析器 (TPA) 捕获。

ATB接口，接收trace数据。

APB接口，用于配置。

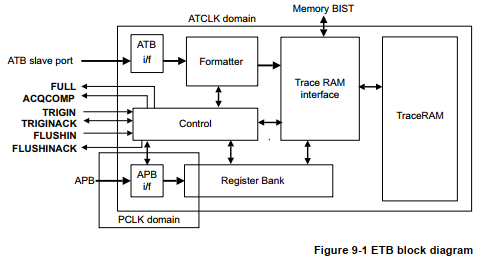
接口示意



（图来源：DDI0480）

## ETB

Embedded Trace Buffer，跟踪数据的片上存储RAM。

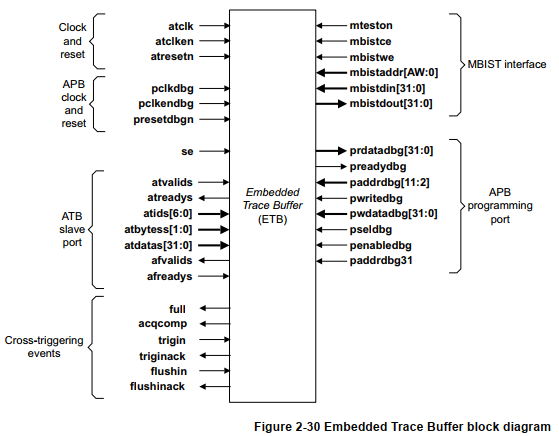


ETB 使用32位RAM提供跟踪数据的片上存储。

ATB接口，接收trace数据。

APB接口，用于配置。

接口示意



（图来源：DDI0480）

trigin, flushin, acqcomp, full event interfaces： 这些实现了同步器，以便它们可以连接到不同时钟域中的 CTI。

trigin： Input， 当触发发生时向 ETB 指示，以便它可以启动跟踪停止序列。

flushin： Input， 刷新跟踪系统的外部请求。此输入上的事件可导致ETB通过其ATB从接口发出刷新请求。

acqcomp： Output， 表示跟踪采集完成，触发计数器为0。这通常表示跟踪已准备好被调试工具读取。

full： Output， 表示ETB RAM已溢出并回绕，将/已在地址0处写入。

# 认证桥

Authentication bridges；

身份验证桥在支持安全的 CoreSight SoC-400 系统中提供经过身份验证的调试控制链接。如果不需要此安全性，则不需要这些组件。

## Authentication replicator

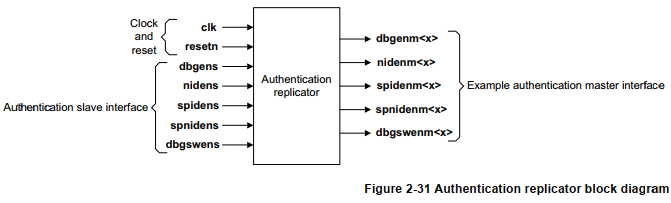
身份验证复制器能够将身份验证信号从一个master设备传输到多个slave设备。

身份验证复制器具有以下主要功能：

• 可针对特定身份验证信号进行配置。

• 可针对多个身份验证master进行配置。

接口示意



（图来源：DDI0480）

## Authentication asynchronous bridge

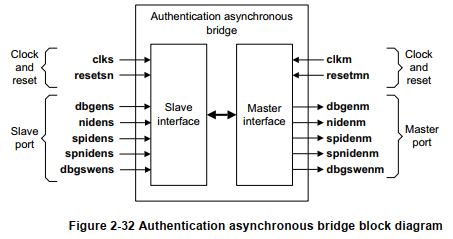
认证异步桥接允许在两个异步时钟域之间传输认证信号。

身份验证异步桥具有以下关键特性：

• 可针对特定身份验证信号进行配置。

• 支持异步时钟域交叉。

接口示意



（图来源：DDI0480）

## Authentication synchronous bridge

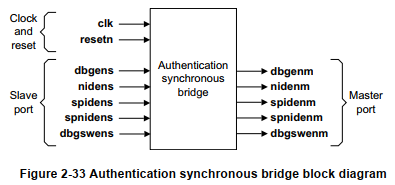
认证同步桥能够在两个同步时钟域之间传输认证信号。它也可以用作寄存器片来中断长时序路径。

身份验证同步桥具有以下关键特性：

• 可针对特定身份验证信号进行配置。

• 用于时序收敛的寄存器片。

接口示意



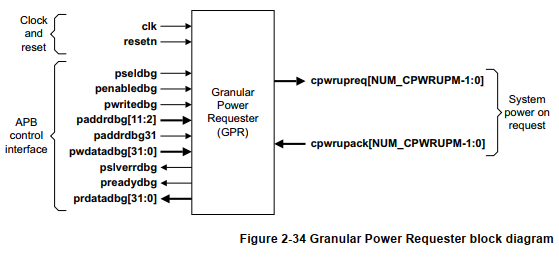
（图来源：DDI0480）

# 粒度电源请求器

Granular Power Requester（GPR）使调试器能够控制调试和跟踪子系统中特定组件的上电和断电。如果没有GPR，CoreSight DAP组件仅支持整个CoreSight系统的系统级上电和断电。 GPR提供的更细粒度支持在调试和ATPG测试期间实施电源策略。

GPR具有可配置数量的电源控制接口，最多32个。同步器在cpwrupack输入信号上实现，使电源控制接口能够连接到不同时钟域中的组件。

接口示意



（图来源：DDI0480）

CPWRUP接口

CPWRUP接口是一个异步请求和确认接口，它使请求者能够通过4阶段握手机制与电源控制器进行通信。

cxgpr中的内存映射寄存器控制CPWRUP接口端口。cxgpr具有硬件逻辑，用于执行4阶段握手的适当协议。

cxgpr编程接口

cxgpr具有4KB内存映射占用空间，并包含CoreSight管理寄存器。

cxgpr的DEVTYPE寄存器在读取操作时返回0x34以指示它是电源请求模块。

该值来自寄存器字段：

• MAJOR = 0x4，表示调试控制。

• SUB = 0x3，表示调试电源请求器。

APB 接口支持APB上的零等待状态写操作和单等待状态读操作。

复位后，设备被lock。当将32'hC5ACCE55 写入LAR时，设备unlock。

只有在设备unlock时才允许对设备中的其他寄存器进行写操作。

无论设备锁定状态如何，都允许读取操作。

当paddr31被驱动为高电平并且调试器启动一个操作时：

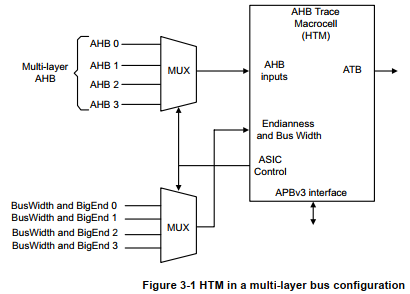
• 对 LAR 的写操作被忽略。

• 对 LAR 的读取操作返回 0，表示不存在锁定机制

# HTM

AHB Trace Macrocell (HTM)提供总线信息的可视化，如：

* 了解多层总线利用率
* 软件调试，例如访问内存区域的可见性，以及与CPU程序流和数据访问的时间相关性；
* 为跟踪触发器或过滤器提供总线事件检测，以及用于总线分析。



# ETM

CoreSight-compliant Embedded Trace Macrocells (ETMs) provide processor-driven

trace through an ATB-compliant trace port. Configuration is supported through the

CoreSight APB programming interface.

# SWO

# ITM