.doc in alpha 豆丁

特别说明

此资料来自豆丁网(http://www.docin.com/)

您现在所看到的文档是使用下载器所生成的文档

此文档的原件位于

http://www.docin.com/p-49730731.html

感谢您的支持

抱米花
http://blog.sina.com.cn/lotusbaob

.doc in alpha 豆丁

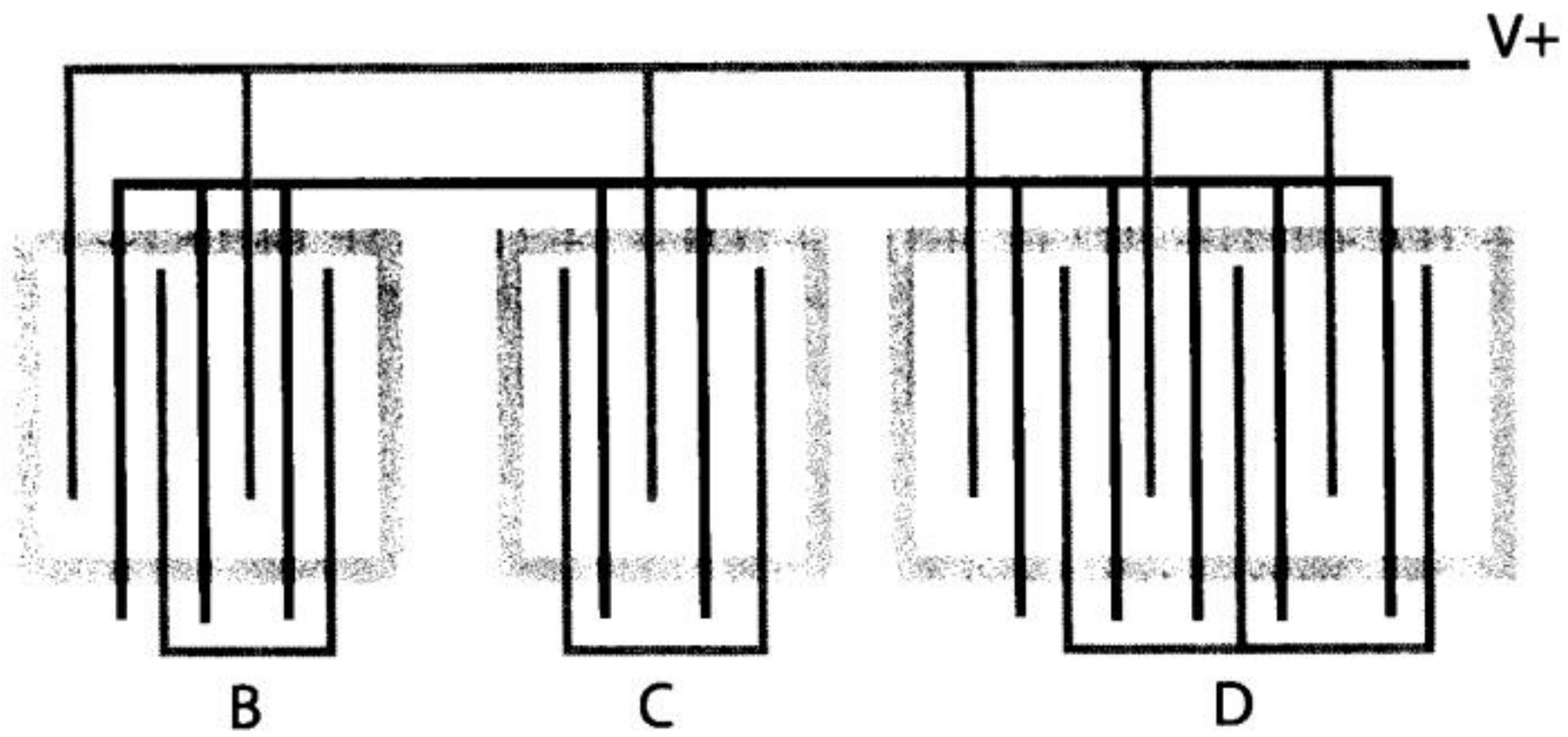


图 3-55

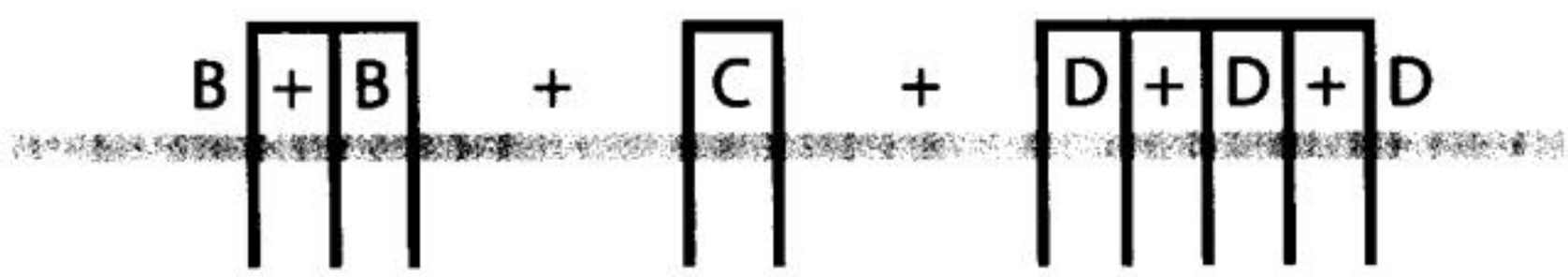


图 3-56

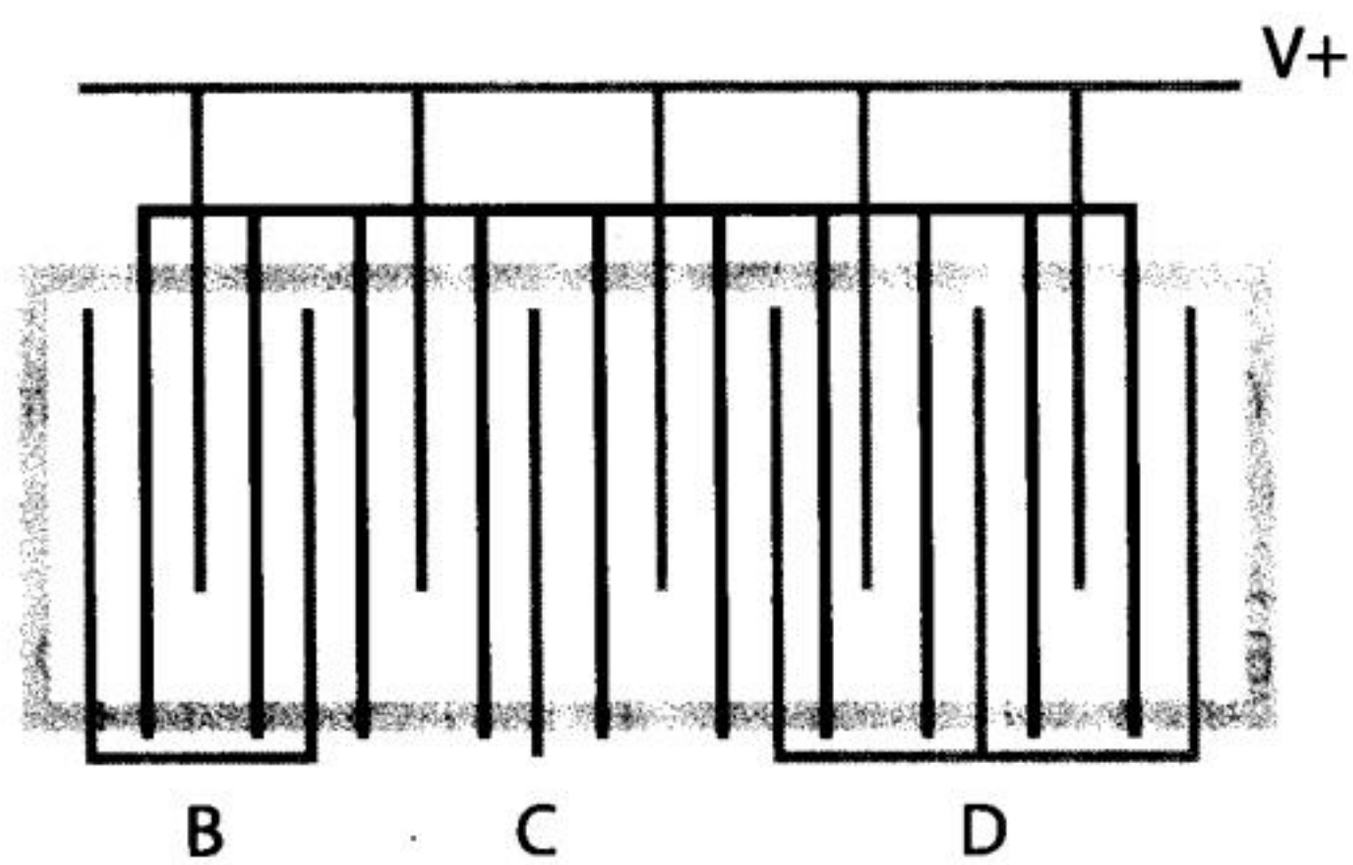


图 3-57

其他考虑

上面给了一些非常不同的实际单元，目的是让你去思考有哪些变化。在版图设计课程里的介绍通常是集中在相同类型的简单单元方面。

注意我所给例子中的不同，学会从不同方面学习，搜寻更独特的版图去研究。

还是我前面说的：实践、实践、再实践。

第 4 章

电　阻

4.1 内容提要

在本章中，你将看到以下内容：

- 在电阻公式中每个变量的意义是什么，它为什么会出现在公式中。
- 电阻计算单位的重要意义以及为什么采用这样的计算单位。
- 电阻是如何制造的，我们为什么需要知道这些。
- 怎样构造电阻以补偿制造误差。
- 电阻设计的几种方案。
- 电阻设计的经验方法。
- 满足特殊需要的电阻。
- 在设计版图之前为什么需要做一些检查，怎样做。
- 自己尝试独自实践的过程。

……

4.2 引言

对错综复杂的电阻版图的理解将有助于发现错误、改善 CAD 工具，并且可以帮助你去阅读不熟悉的版图。这让你少走弯路，例如构造一个二极管与电阻的串联结构，就不用进行单独的二极管和单独的晶体管设计。你能够在版图中修改电路元件，去获得可以实现所需目标的新结构。

如果你希望进入诸如编写规则文件或参数提取文件这样的高级领域，就必须了解电阻是如何构建的。例如，如果尝试撰写从版

图提取一个特殊电阻器的规则的文件，你就必须知道各个图形块的特殊含义，例如，当我发现一个与多晶硅相关的 P 区、P+区和有源区，我就知道这是一个 FET。

我同时也立刻知道这不是我要的电阻，可以排除，如果发现一个与有源区无关的多晶硅，可以知道它是电阻。

许多人采用自动生成的元件。但是，如果为了建立与调试一个新的工艺线，你就可能必须设计电阻版图了。例如，可能有人会对你说："设置一串扩散电阻。"没有规则！也没有人曾经做过！你不得不搞清楚用哪些层材料，怎么用以及放在哪儿。

> 如果你希望成为一个用十万股权开创公司，并且在 5 年内成为百万富翁的超级明星的话，你就必须了解这个信息，循规蹈矩的版图设计师是做不到的。

4.3 电阻概述

自然界有两种类型的材料——导体和绝缘体。导体具有允许电流通过它流动的能力，绝缘体则不允许电流通过它流动。

在极端的条件下，绝缘体会被击穿而使得电流可以通过，但是，这通常会产生灾难性的后果。

导体有良导体和不良导体之分。材料传导电流的强弱用材料**电阻值**来描述。某些导体具有很高的电阻值，使得在许多实际应用中可以看作为绝缘体。

每种材料都有一定的电阻范围，下面是一些例子：

- 金属具有低电阻——优良导体，非常差的绝缘性能；
- 空气具有大电阻——不良导体，中等绝缘体；
- 皮肤具有一定的电阻——中等导体，差的绝缘体。

同样的，在集成电路(IC)中，芯片上的每层材料都有给定的电阻值，如同自然界的物质一样，某些电阻值低，某些电阻值高。

对于给定的芯片设计项目，问题就变成"怎样利用芯片上所采用的半导体材料制作所需的电阻。"

利用芯片上所采用的材料制作所需电阻元件的关键是学会控制电阻值，要控制阻值就必须掌握计算电阻值和测量电阻值的方法。下一节将说明如何测量电阻值。

4.4　电阻的测量

一旦学会了计算电阻值，你就能够更好的理解和控制电路，在芯片制作之前就修正错误。这就是为什么有些版图设计师的设计往往一次成功的主要原因。这是一个有价值的工具。下面首先介绍一些有关测量的基本概念。

4.4.1　宽度和长度

先来看一个计算电阻值的最容易的方法。

集成电路(IC)中包含了许多类型的材料，如多晶硅、氧化层以及和 CMOS 晶体管有关的各种扩散层、金属层等。常用的电阻材料是**多晶硅**，即 ploy，在这本书中将经常以多晶硅作为例子。通常情况下，芯片上的所有材料，包括多晶硅，都被制作成薄层的形式。

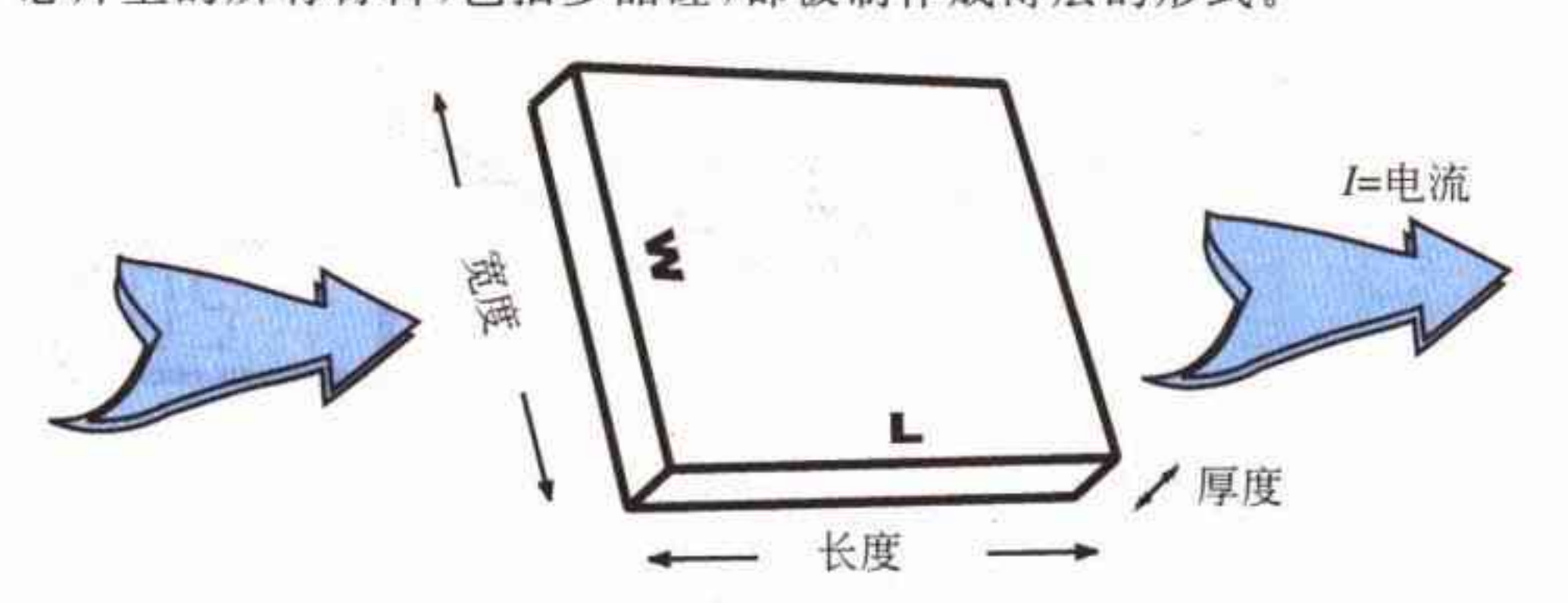


图 4-1　多晶硅薄层，请记住本书中的习惯表示：宽度沿竖直方向，长度沿水平方向，电流自左向右流动。

如图所示，假设有一电流流过多晶硅薄层。如果薄层较厚，则会有较多的空间让电流流过，因此，较厚的多晶硅有较低的电阻值。

如果薄层非常薄，因为允许电流通过材料的空间较小，它传导电流的能力就较小，所以，较薄的薄层具有较大的电阻值。其他因素，如材料的类型、长度、宽度等也将改变电阻值。

这些电阻值正是我们需要测量的，为了制作和精确控制电路中电阻，我们需要记下这些电阻范围的精确数值。

对于一个给定的集成电路工艺，可以认为薄膜厚度是常数，它是我们不能要求改变的参数之一。因此，对一个给定的材料，我们能够改变的只有宽度和长度。

我们能够改变的只有宽度和长度。

我们只能根据这两个尺寸计算电阻值，在下一节将说明如何计算。

4.4.2 方块的概念

现在，我们以多晶硅来制作一个电阻器。为便于说明，这里采用正方形电阻，即宽度与长度精确相等。

如果施加一个电流通过这个正方形的多晶硅并且测量左右两边的电压，就可以计算出一定的电阻值。假设，我们已测量了这个正方形电阻材料，为了便于讨论，假设电阻值是 200 欧姆。

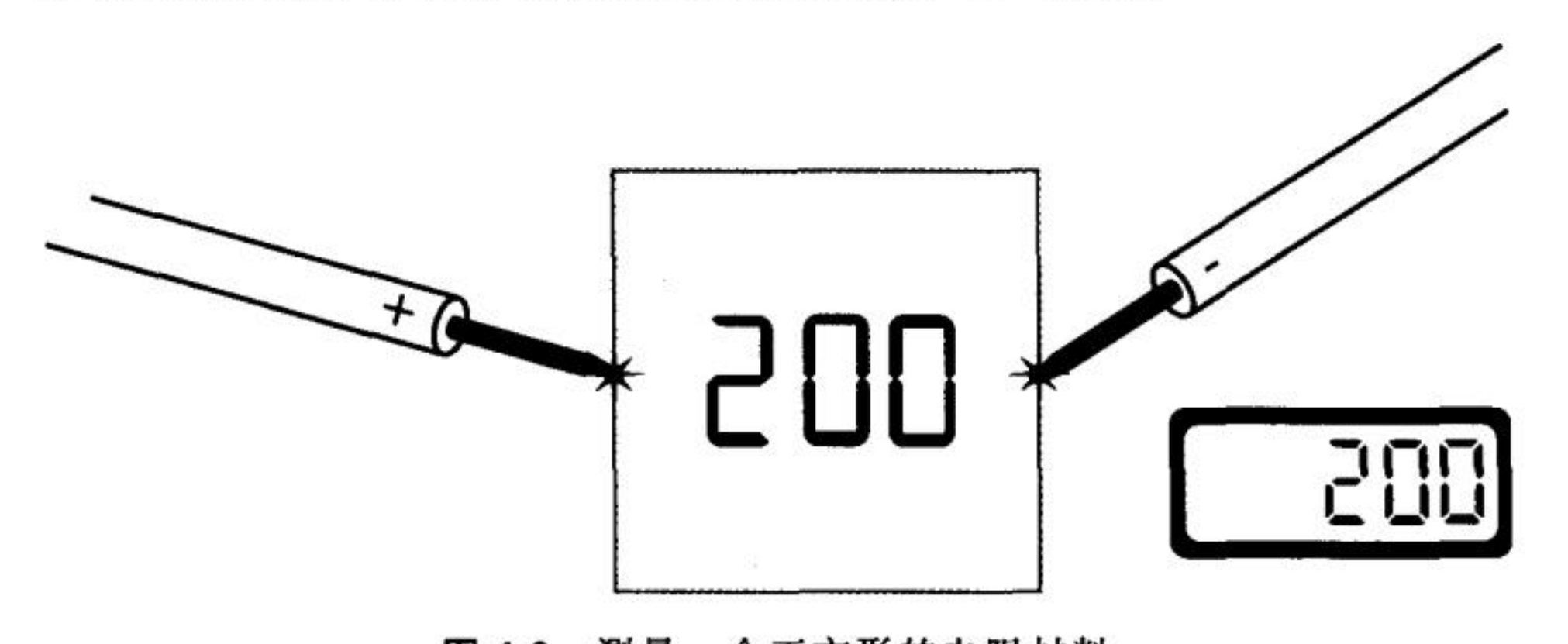


图 4-2 测量一个正方形的电阻材料。

现在，将两个这样的正方形连接起来，每一个是 200 欧姆，则总电阻值是 400 欧姆加上来自于金属连线的电阻。

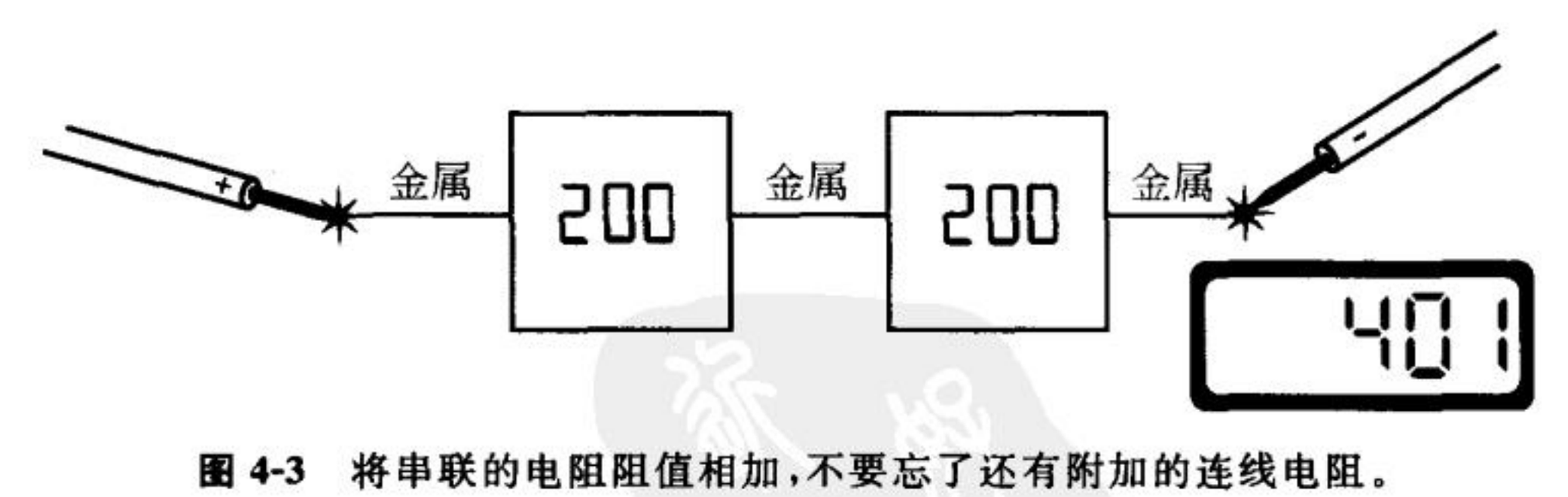


图 4-3 将串联的电阻阻值相加，不要忘了还有附加的连线电阻。

请留意，连接正方形电阻的金属连线的阻值是多少？所有材料都有电阻，因此，自始至终这些连线电阻都可能对总电阻值产生影响。

如果将两个这样的正方形电阻直接连接到一起形成一个电阻，这样将会去掉一些连线。根据基本电学定律，两个欧姆值相加得到这对

电阻的总值为 400 欧姆，不再存在线电阻影响我们的精度。

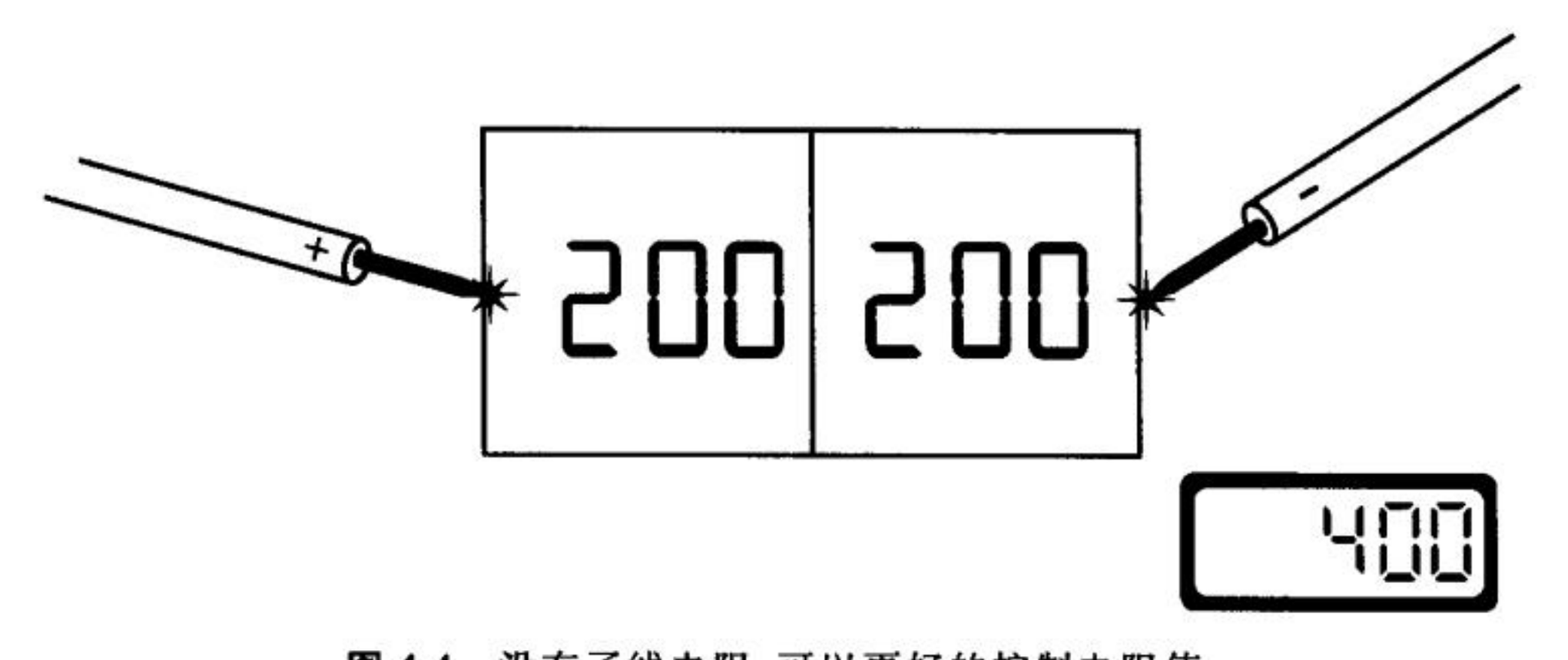


图 4-4　没有了线电阻，可以更好的控制电阻值。

如果我们将四个这样的正方形连接成图示的图形，每个正方形还是原来的值，即 200 欧姆，会怎样呢？

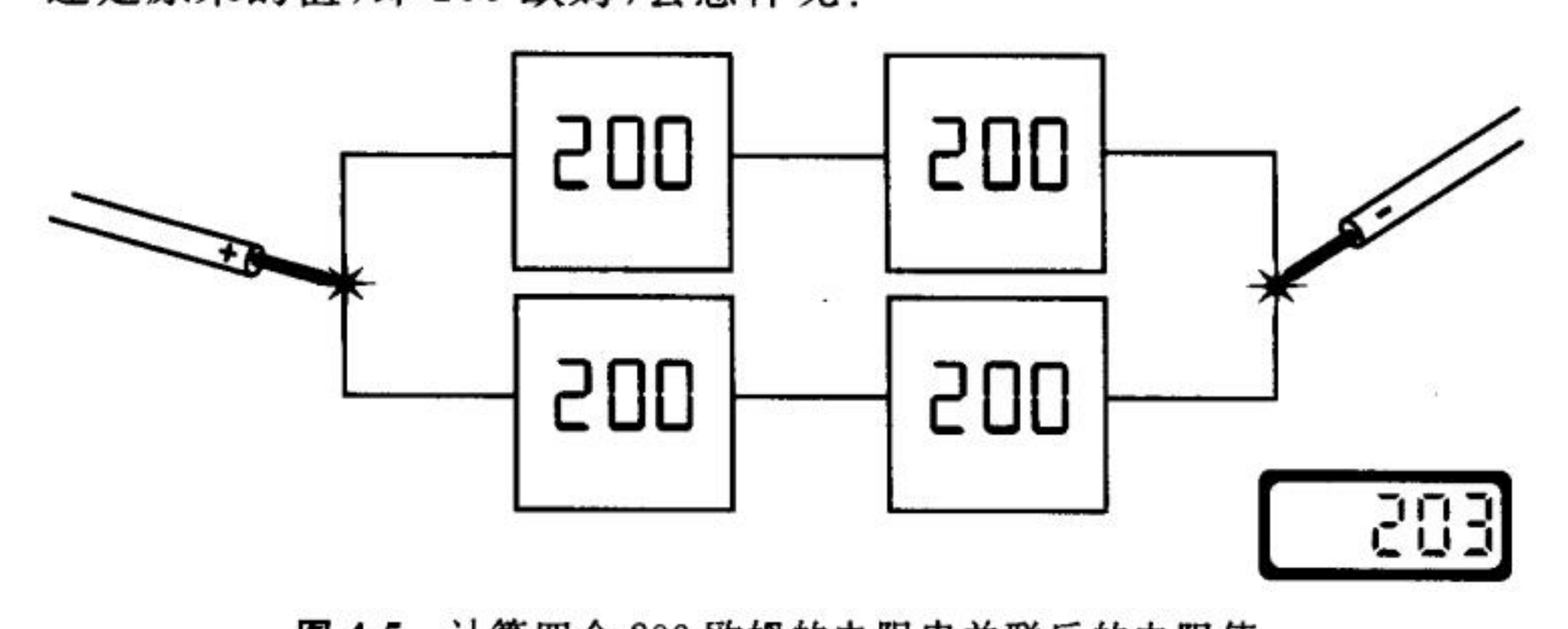


图 4-5　计算四个 200 欧姆的电阻串并联后的电阻值。

上图的计算留待将来进行。正如前面将两个电阻连到一起一样，为什么不将上面的两个电阻和下面的两个电阻也直接连在一起呢？

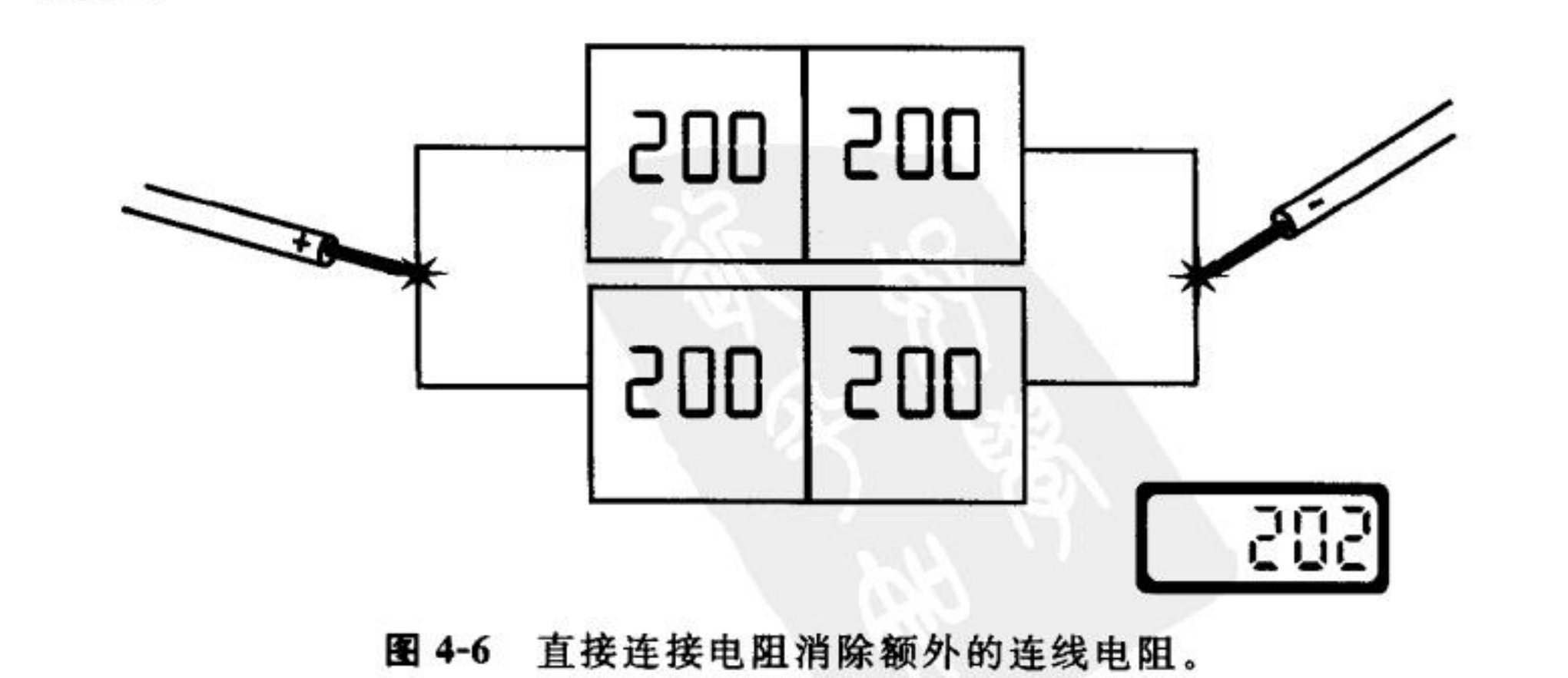


图 4-6　直接连接电阻消除额外的连线电阻。

事实上，如果我们以这样的串联方式连接它们，为什么不将它们再并联起来，即将四个电阻直接连接在一起呢？当这样做的时候，多余的线和空间被去除了。

现在，请记下一些基本的方法。

200＋200＝400（上面的两个），200＋200＝400（下面的两个），等效为两个 400 欧姆的并联。

按照并联理论：

$$\frac{1}{r}=\frac{1}{r_1}+\frac{1}{r_2}+\cdots \qquad (\Omega)$$

（参见前面章节的公式。）

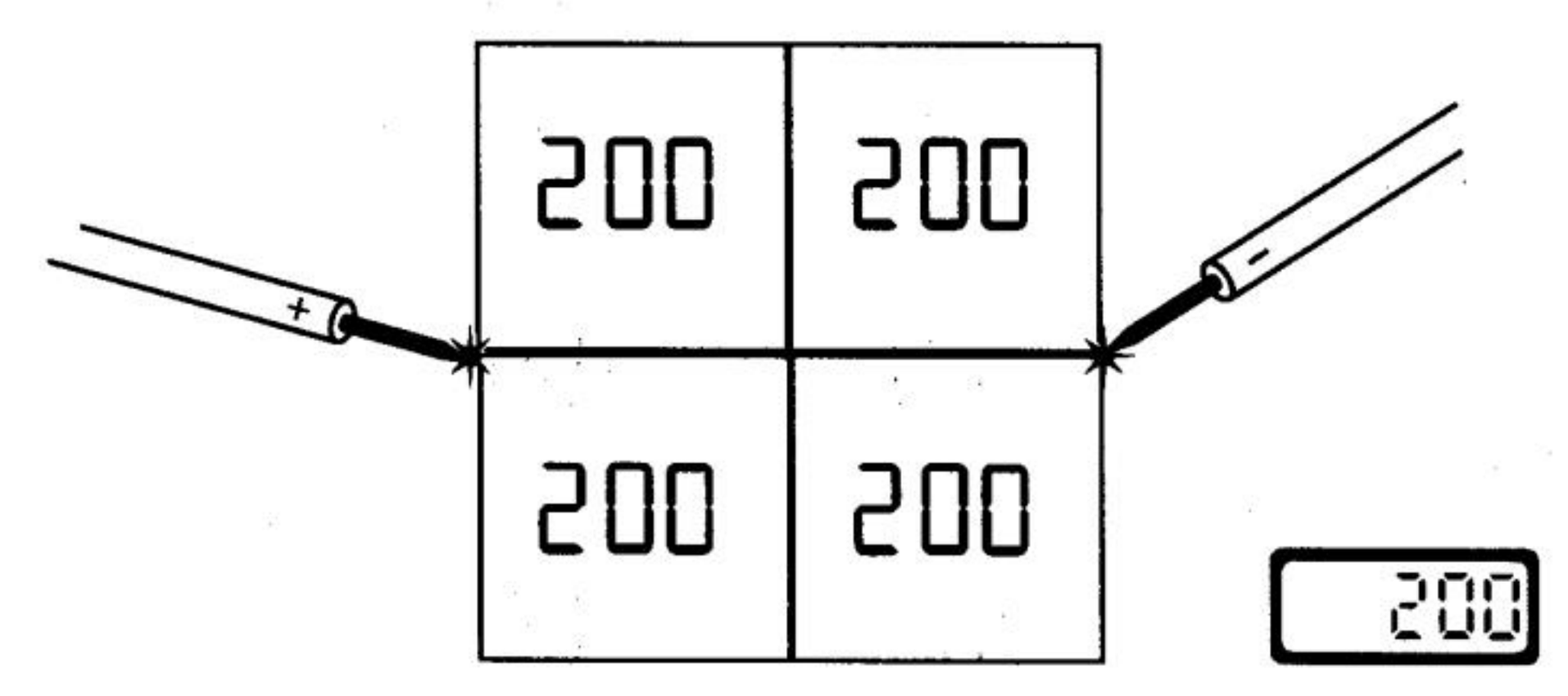


图 4-7 串并四个电阻仍成为一个正方形，注意，总电阻值与每个小的正方形相同。

该方程有一个特殊的情况，即 r_1 和 r_2 正好相等，在这儿各为 400 欧姆，总电阻正好是 200 欧姆。当两个同样的电阻并联的时候，它正好等于原阻值的一半。利用方程进行计算也证明这一点。

因此，对于四个 200 欧姆的正方形材料，将它们排列成一个大的正方形，这个大正方形的电阻值仍是 200 欧姆。就像变魔术一样，一直这样做下去，由小的正方形逐渐拼接成越来越大的正方形，但其总阻值始终是 200 欧姆，而与正方形的尺寸无关。你可以试着算算。

虽然面积已是原面积的四倍，但总电阻仍是原来正方形的电阻值，200 欧姆，并且还是正方形。因此，人们逐渐以**每方欧姆**来度量电阻。（以希腊字母 Ω 和方块的形状作为符号，每方 200 欧姆，记作为 200Ω/□。）

对相同的工艺，同一材料的所有正方形的电阻都具有相同值，我们只要计算方数即可。

每方欧姆是 IC 中电阻的基本单位。

每方欧姆数值也被称为材料的**薄层电阻**，稍后将对此进行更详细的讨论，该值将被代入电阻公式。

在量纲上，分子以欧姆为单位，分母以方块数为单位。

$$\frac{\text{欧姆}}{\text{方}}$$

如果有了每方欧姆的具体数值，就不必再考虑材料的厚度是多少，现在可以变化的只有长度与宽度。但如果厚度发生了变化，则一切的计算都是无效的。但是，在相同的工艺中，通常认为厚度是不会变的，因此，不必担心厚度变化的问题。

可以简单的计算方块的数量，而不必考虑方块的尺寸，在一个工艺中的同一材料，不论方块的尺寸是什么，其阻值都是相同的。1 微米×1 微米正方形的电阻和 4 米×4 米正方形的电阻是相同的。

一个正方形可以是 5 英里×5 英里，或者是 2 厘米×2 厘米，或者是 0.1 微米×0.1 微米，在同一个制造工艺中的同一材料，它们全都具有相同的电阻值。

4.4.3　每方欧姆

上面提到，每方欧姆是描述电阻的基本单位，我们也称它为某一材料的薄层电阻。某一物质的每方欧姆的数值告诉我们材料对电流有多大的阻力。记住，不必考虑材料的厚度。

假设一个电阻有 8 方，每方 200 欧姆，则这个电阻是 200×8（欧姆）。

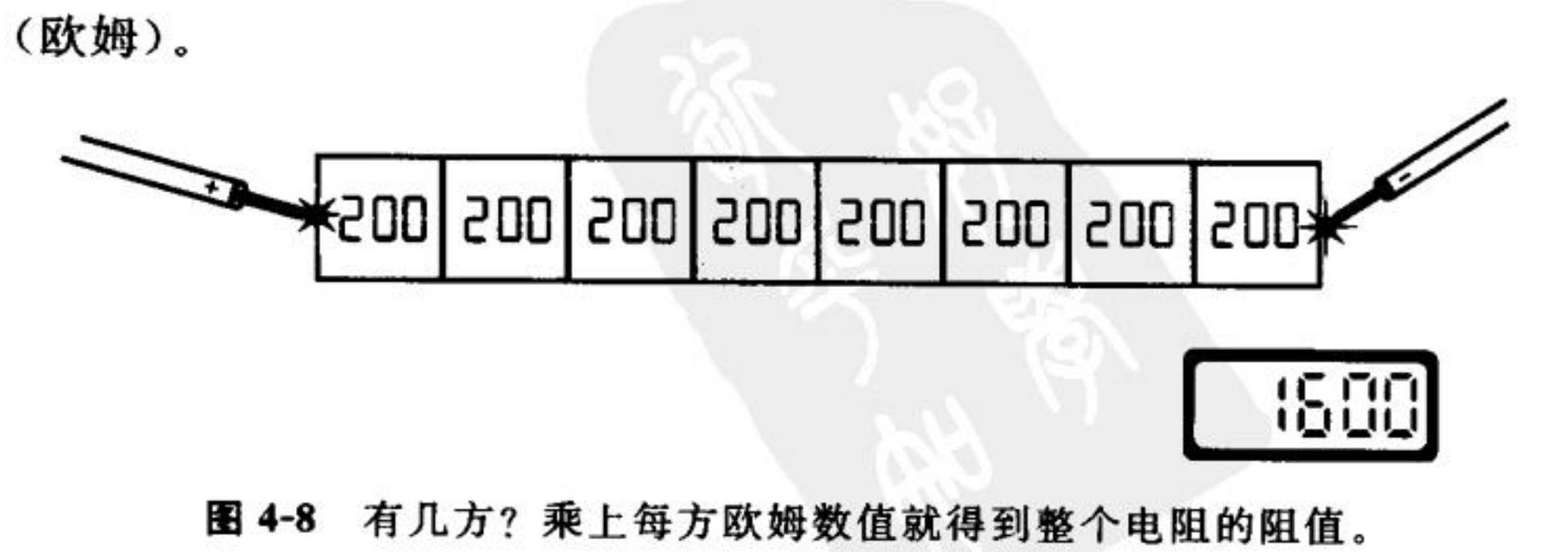


图 4-8　有几方？乘上每方欧姆数值就得到整个电阻的阻值。

在乘之前，我们仔细检查计算公式的量纲：

$$\frac{200\text{ 欧姆}}{1\text{ 方}}\cdot 8\text{ 方} = 1600\text{ 欧姆}$$

这里，每方欧姆作为一个要素，方块数作为另一个要素，结果消掉了方块数的单位，只留下用欧姆表示的电阻值，这是我们真正需要的单位。因此，从公式的量纲可知它是有效的。现在计算：

$$\frac{200}{1}\cdot 8 = 1600$$

计算方块数后乘上每方欧姆数值的方法是估算或者精确计算任何 IC 材料电阻的有效方法。这些材料可以是多晶硅，可以是金属，也可以是其他任何我们采用的材料。

当然，材料不同，其每方欧姆数值也随之改变。你所采用的材料的阻值或许会非常低，例如，多晶硅栅的每方欧姆数值可能只有 2～3 欧姆/□（有关多晶硅栅的内容参见前面章节）。

可以采用每方欧姆的概念去计算电阻器的阻值而不必考虑电阻器的尺寸，任何宽度和长度都可以转变为以方数表示。例如，假设一个材料是 80×10 大小（任何可能的单位）。

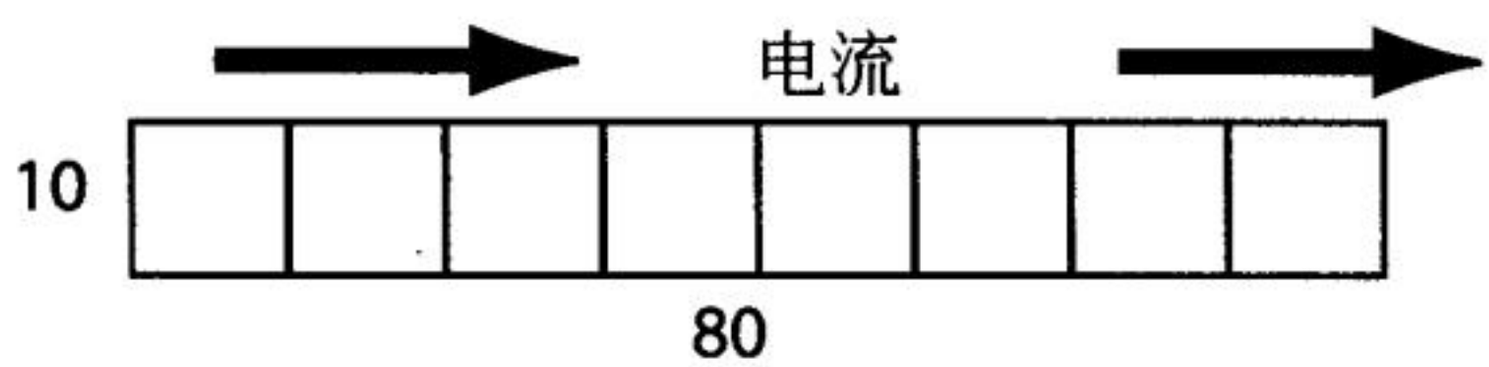


图 4-9 可以根据任意矩形计算方数，即长除以宽。

以电流流动的方向作为长度方向，用它去除以宽度，这儿，80/10＝8 方，因此，方数可以用下式计算：

$$\text{方数} = \frac{L}{W}$$

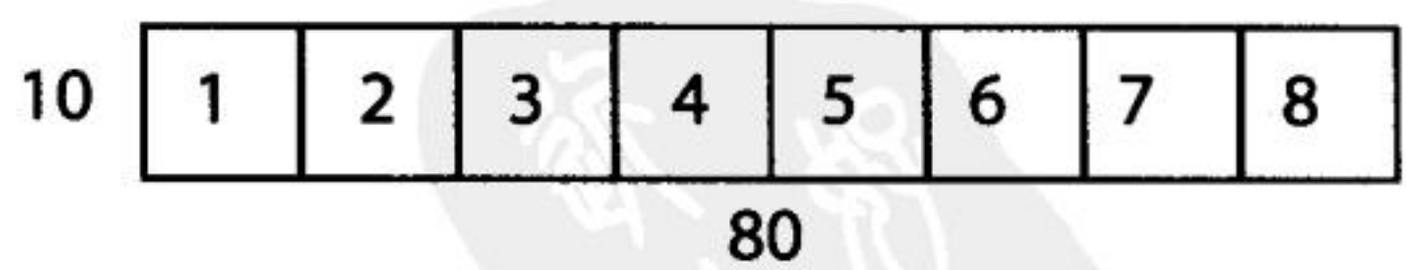


图 4-10 10×80 的电阻条等于 8 方。

方数并不一定是整数，它可以含有小数，如 4.28 方。

试试看

1. 下面的每一个电阻有多少方？（假设电流自左向右流动）

(a) 宽度＝5，长度＝65

(b) $22W \times 27L$

(c) 22 $\frac{\square}{47}$

(d) 宽度＝2，长度＝200

(e) 宽度＝200，长度＝2

答案

长度（水平方向）除以宽度（竖直方向）等于方块数。

1. (a) $\frac{65}{5}=13$　(b) $\frac{27}{22}$　(c) $\frac{47}{22}$

(d) $\frac{200}{2}=100$　(e) $\frac{2}{200}=0.01$

通常情况下，每个制造工艺有一个参数手册，它或许就在你身边的某处，制造商们称它为**设计手册**，或**工艺手册**，或**规则手册**。

在手册上，你可以查寻以每方欧姆表示的材料电阻率，它们被称为薄层电阻或**薄层电阻率**，符号是 ρ。

你能够找到被写作为薄层电阻率 ρ 的每方欧姆值。

设计手册上对工艺中采用的每种材料都给出了薄层电阻率的数值。通常情况下，制造商会提供这样的手册。对于同一种材料层，不同制造商的数值会有不同，其中一个可能的原因是厚度不同。提供给你的手册上列出了在工艺制造中得到的材料数据，这些数据是通过大量的测试而获得的。

如何确定每方欧姆数值

通过所谓的**四探针测试**方法可以进行材料测试，就是对芯片上一个很大的正方形电阻器通以给定的电流并且测试两端电压差的方法（没有电流流过电压测量探针）。这也称为测量的**激励/检测**方法。

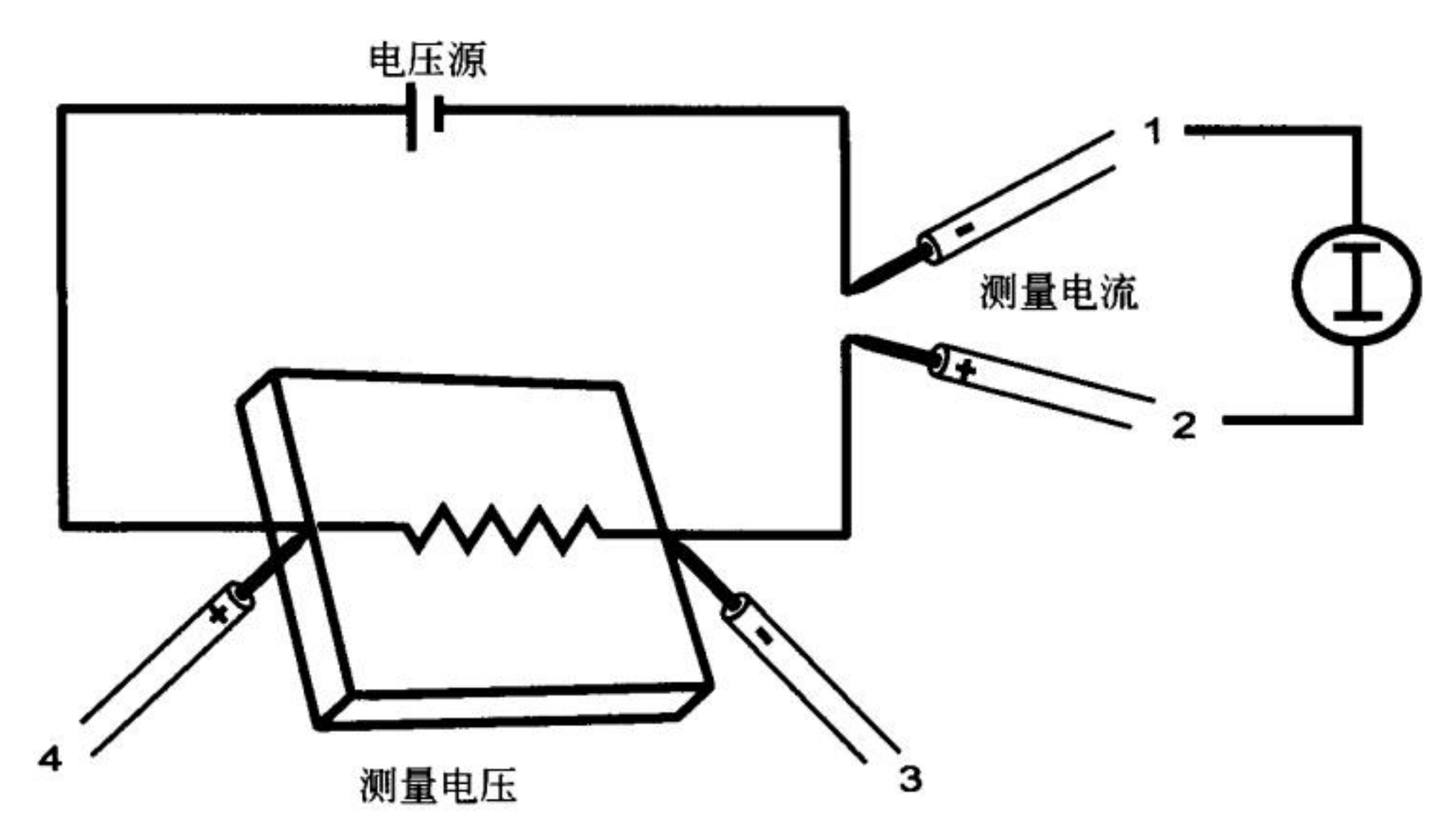


图 4-11 利用四探针测量一个大的正方形材料，确定每方欧姆数值。

根据已知的电流测得电压值，根据 $V=IR$，就能够计算电阻。因为采用正方形，所以可以立刻得到材料的每方欧姆数值。

因为版图设计师有时也必须设计用于测量薄层电阻率的图形，因此你也必须了解测量方法。

将典型电阻值变为有用的数值

当工艺设计师在进行工艺设计的时候，他们会咨询电路设计师："你们希望的电阻值有哪些？"

电路设计师可能会提出："我希望有一些电阻值非常低的材料，一些中等电阻值的材料，还有一些电阻值非常高的材料。"

工艺工程师们则找出在工艺上已有的各种材料，然后说："这些不同参数材料的哪些可以使用？"

集成电路中典型电阻值包括：

- 栅多晶硅——2～3Ω/□
- 金属——20～100mΩ/□（小电阻；良导体）
- 扩散区——2～200Ω/□

集成电路工艺中的任何材料都可以做电阻。但尽管所有材料都可做电阻，实际上由于各种原因，某些材料比其他材料更适合一些。

因为在 MOS 晶体管上使用了多晶硅，同时，我们可以很好地控制它的结构长度和宽度，所以，它是一种非常好的电阻材料，不仅如此，它还是已存在了的材料层。因为它是现成的材料，所以没有沉积新材料做电阻所产生的额外费用。扩散区是另一种常用电阻材料，它们是晶体管的一部分，因此扩散区总是存在的，也不必增加额外的费用。

通常，IC 材料的初始电阻值很低，例如，每方 2～200 欧姆，但是，如果你真的用这些初始材料做电阻时，就会发现它可能太低了，不适合应用。

我们常用的电阻器的阻值范围是：

10～50 欧姆；

100～2k 欧姆；

2k～100k 欧姆。

因此，如果你试图用每方 2 欧姆的材料做一个 100k 欧姆的电阻，则它的尺寸将是太大了，有 50000 方之多。反过来，如果用每方 200 欧姆的材料做一个 50 欧姆，它的尺寸就又太小了，这时，为了得到合适的长度，你不得不将它做得非常宽。

在这种情况下，可以通过增加额外的材料层或额外的工艺步骤去得到适宜的每方欧姆值。电路设计师可能会要求“做这个扩散”并且“多(少)注入一些”(注入参见前面的章节)。因此，借助其他的工艺步骤可以将电阻值修正到适合的范围。

下一节我们将了解在实际应用中如何计算电阻值。

这里做一个小结：如果已经知道了材料的薄层电阻率、电阻的长度和宽度，现在可以利用下面的公式计算电阻器的基本电阻值：

$$R = \frac{L}{W} \cdot \rho \qquad (\Omega)$$

$R=$ 电阻(Ω)

$L=$ 电阻器的长度(μm)

$W=$ 电阻器的宽度(μm)

$\rho=$ 薄层电阻率($\Omega/\square$)

4.5 多晶硅电阻公式

我们已经了解了为什么以每方欧姆的大小即薄层电阻值来度量材料的电阻。下面将以多晶硅电阻器为例，阐述实际 IC 中电阻器计算公式的不同方面，请注意公式中的许多参数都是以每方欧姆值为单

位给出的。

4.5.1 基本电阻器版图

为了对元件有一个全面的理解，下面分步介绍多晶硅电阻的制造工艺。

这里采用硅片作为**衬底**材料。在衬底上沉积一层多晶硅，这就是得到的电阻层。

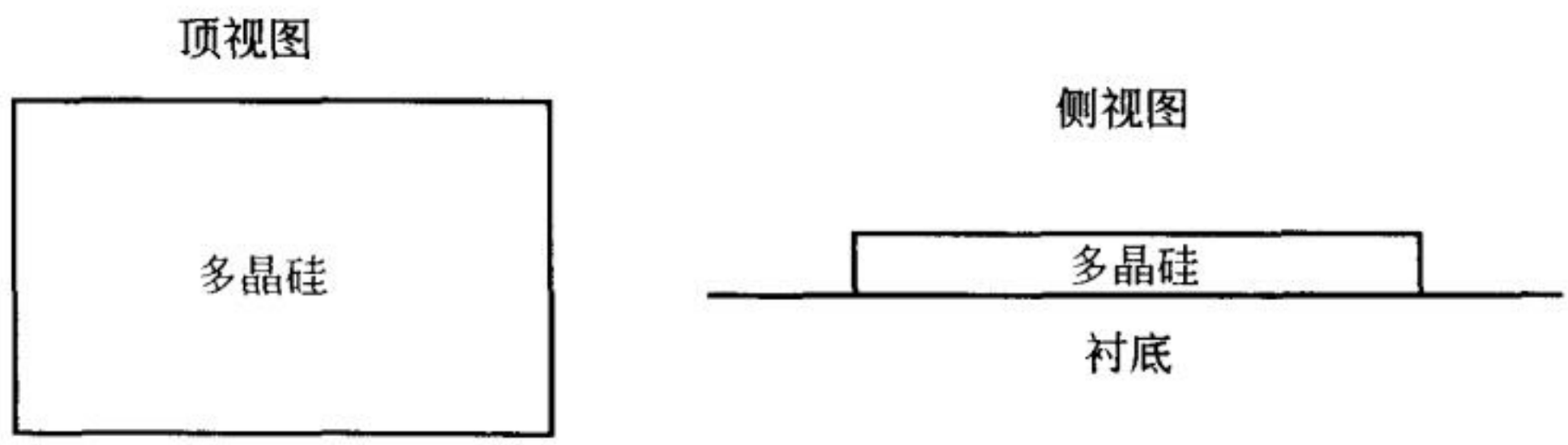


图 4-12 多晶硅层。

为使电流能够流入多晶硅，必须设置连接点，因此，需要在多晶硅层之上覆盖一层氧化层，它的良好绝缘性能将对以后的材料层形成隔离，防止在不需要接触的地方与下面的多晶硅短接。

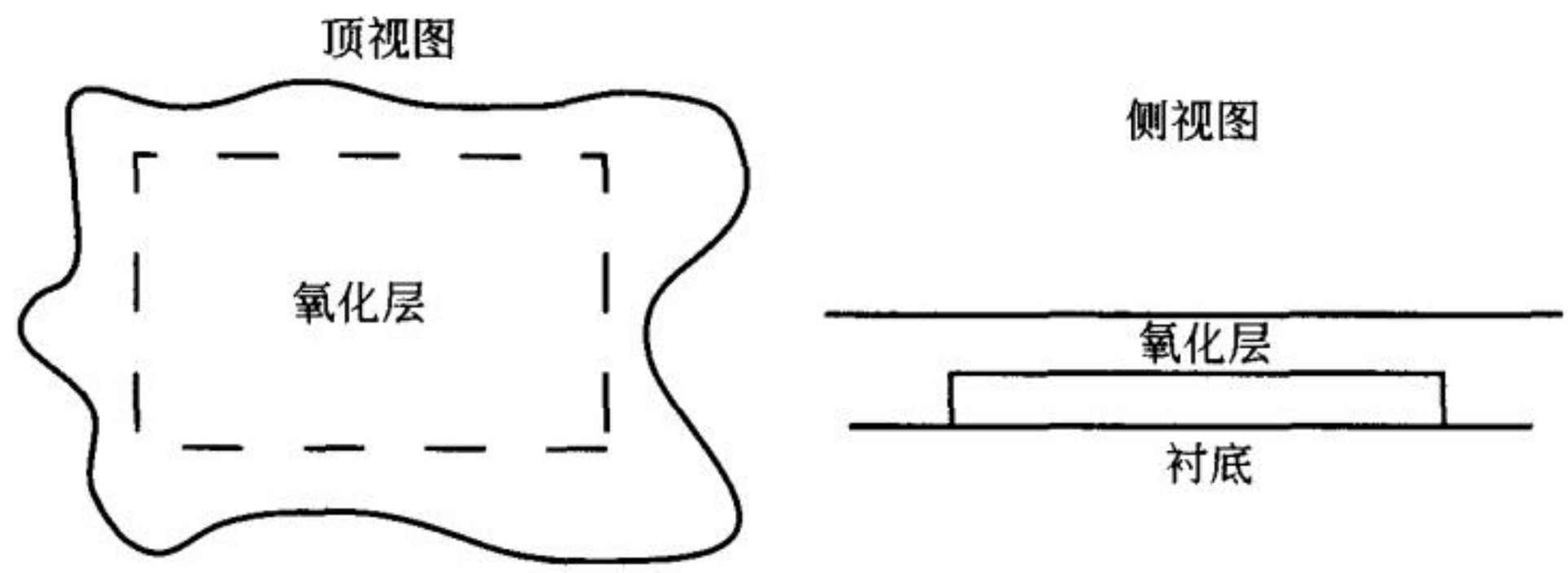


图 4-13 覆盖在多晶硅层之上的氧化层。

接下来是在氧化层上刻蚀出**接触孔**。这些孔准确地位于需要与多晶硅接触的地方，因此称它们为接触孔。

在刻蚀了孔的位置沉积一些金属材料，金属填入了接触孔并与多晶硅接触。在图上可以看到刻蚀的接触孔位于多晶硅的两头，在电路中，这两个接触点一个位于较高的电位，一个位于较低的电位，在电压的作用下，在多晶硅条上形成了电流。（经过仔细地设计，在接触孔之外的地方，金属将不会与多晶硅接触。）

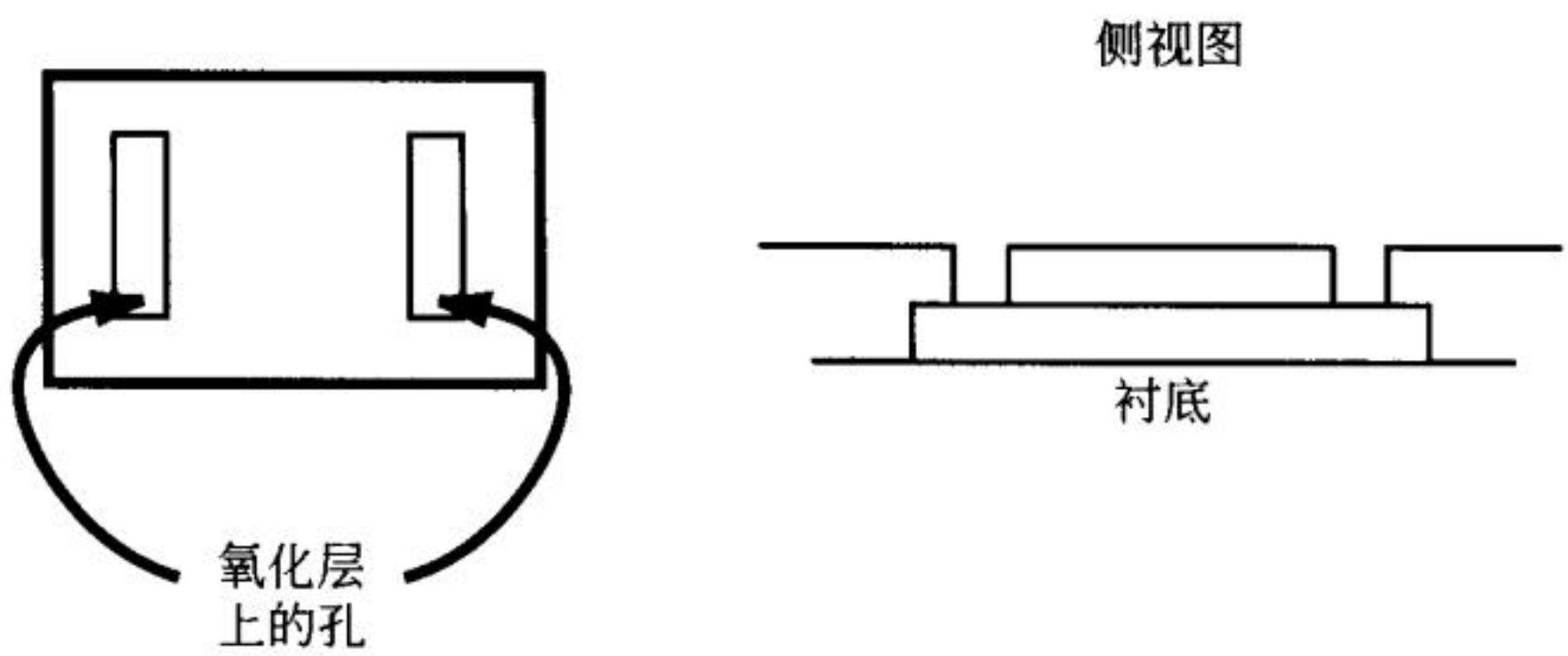


图 4-14　在氧化层上开孔的地方多晶硅被暴露。

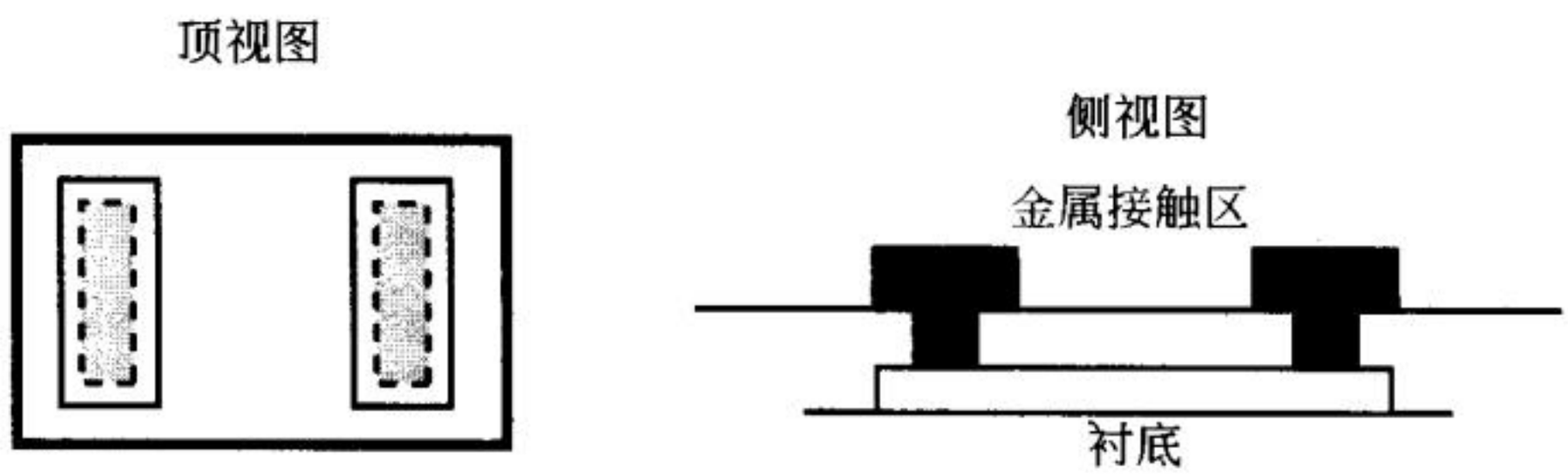


图 4-15　金属被沉积到孔中使其与多晶硅接触。

因此，实际接触点仅仅在那些被完全刻蚀了氧化层并填充了金属的地方。

这就是最简单形式的电阻。其基本电阻大小由两个接触孔之间的材料宽度和长度决定。

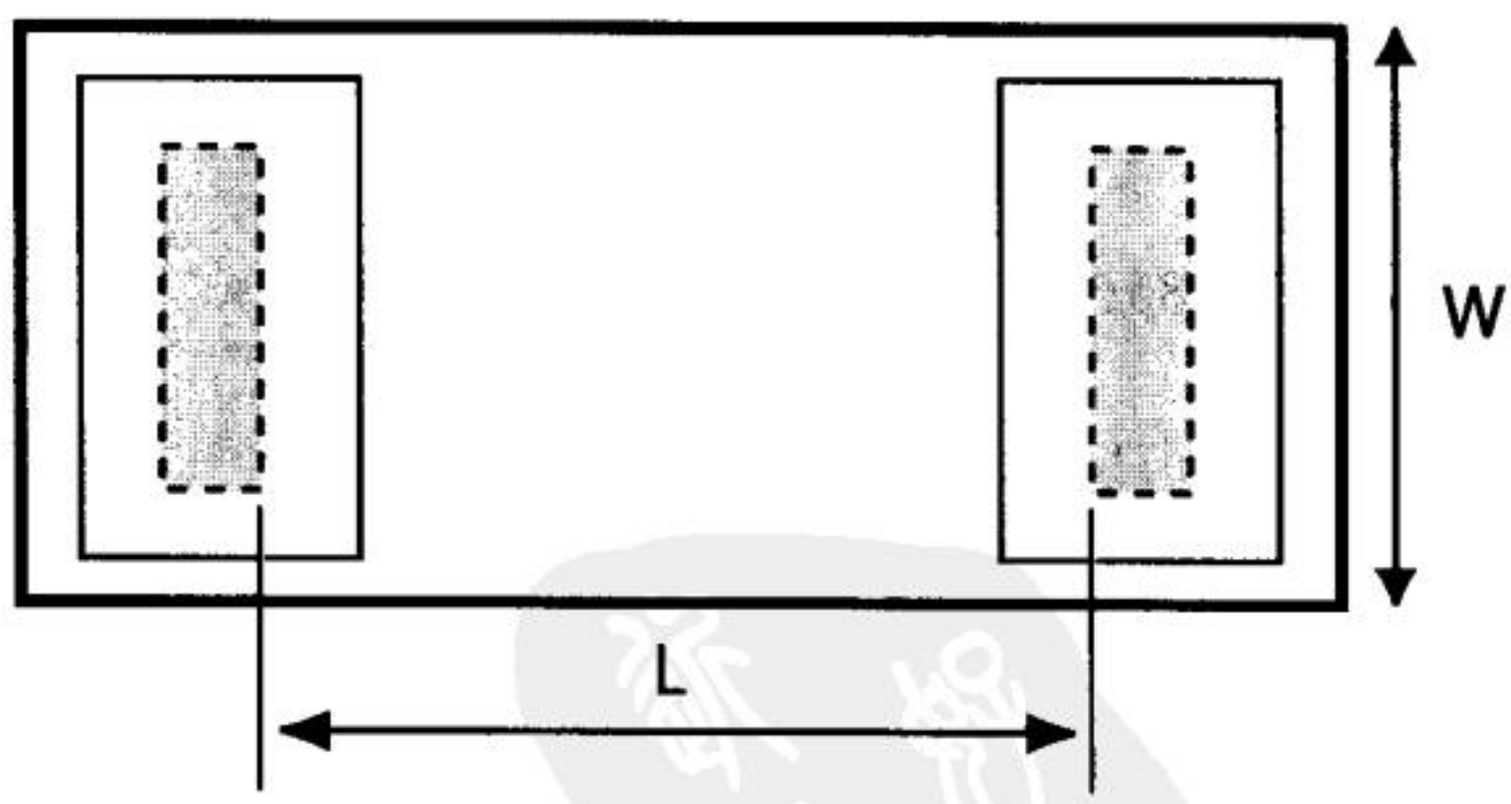


图 4-16　最简单形式的电阻。

对于前面推导的电阻公式，我们现在对长度、宽度和薄层电阻率加上下标 b，用以表示这里指的是体长度、体宽度和体材料的薄层电阻

率。在进一步推导公式中将继续采用这样的下标形式。现在的电阻公式为：

$$r_b = \frac{L_b}{W_b} \cdot \rho_b \qquad (\Omega)$$

$r_b =$ 电阻(Ω)

$L_b =$ 电阻体区长度(μm)

$W_b =$ 电阻体区宽度(μm)

$\rho_b =$ 体材料薄层电阻率(Ω/□)

试试看

利用公式 $r_b = \frac{L_b}{W_b} \cdot \rho_b$ 计算下列电阻值：

1. $L=10$ 微米，$W=10$ 微米，$\rho=200\Omega/\square$；
2. $L=129$ 微米，$W=2.5$ 微米，$\rho=500\Omega/\square$；
3. $L=10$ 微米，$W=65$ 微米，$\rho=350\Omega/\square$；
4. $L=5$ 微米，$W=200$ 微米，$\rho=10\Omega/\square$；
5. $L=96$ 微米，$W=12.2$ 微米，$\rho=956\Omega/\square$；

答案

L 除以 W，然后乘上 ρ，得：

1. $\frac{10}{10} \cdot 200 = 200\Omega$
2. $\frac{129}{2.5} \cdot 500 = 25,800\Omega$
3. $\frac{10}{65} \cdot 350 = 53.85\Omega$
4. $\frac{5}{200} \cdot 10 = 0.25\Omega$
5. $\frac{96}{12.2} \cdot 956 = 7522.62\Omega$

4.5.2 接触电阻

如果我们制造并且测量一个正方形的电阻器，我们就可以很容易地确定这个体材料的每方欧姆数值，特别是当这个正方形非常大的时候。早期的工程师们制作了大量不同尺寸的正方形电阻，例如，10，

20,30,40 微米见方,等等。他们绘制了正方形尺寸与电阻值的关系图,因为同种材料的各种正方形尺寸都具有相同的电阻值,所以,他们预料图形将呈水平直线。

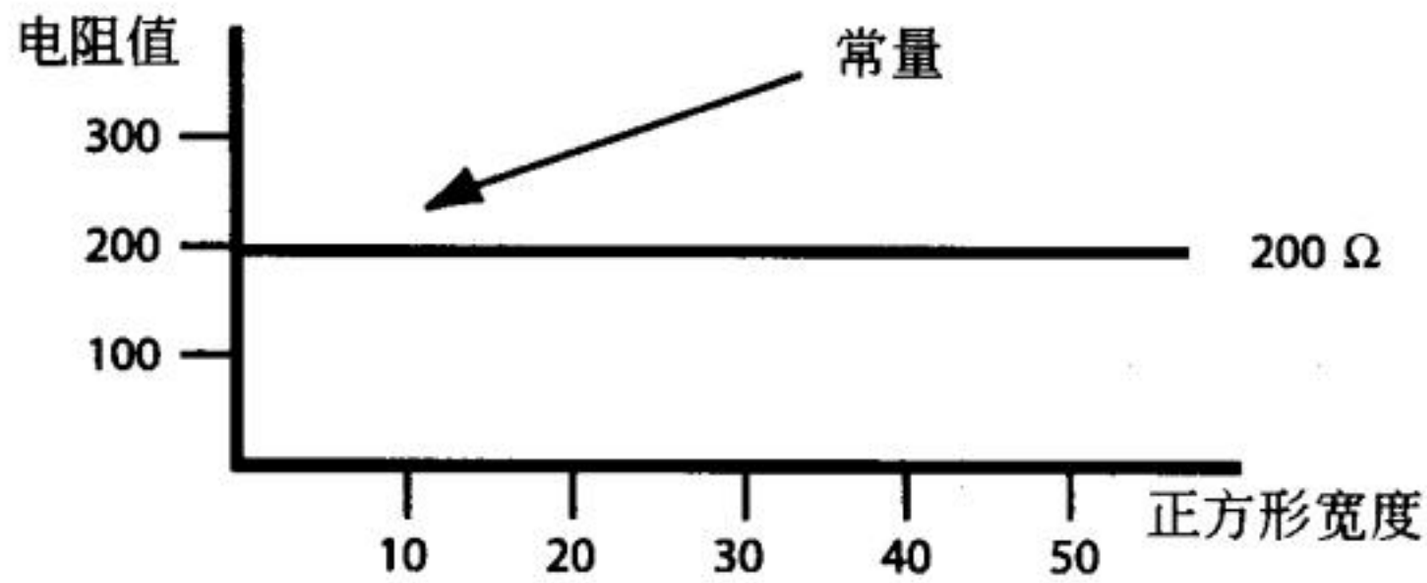


图 4-17 如前所述,即使正方形尺寸增加,正方形多晶硅的电阻也应该保持常量。

然而,实际的情况是,当通过金属接触点去测量一个较小尺寸的电阻时,测量值高于预计值,这个发现使大家感到惊奇。

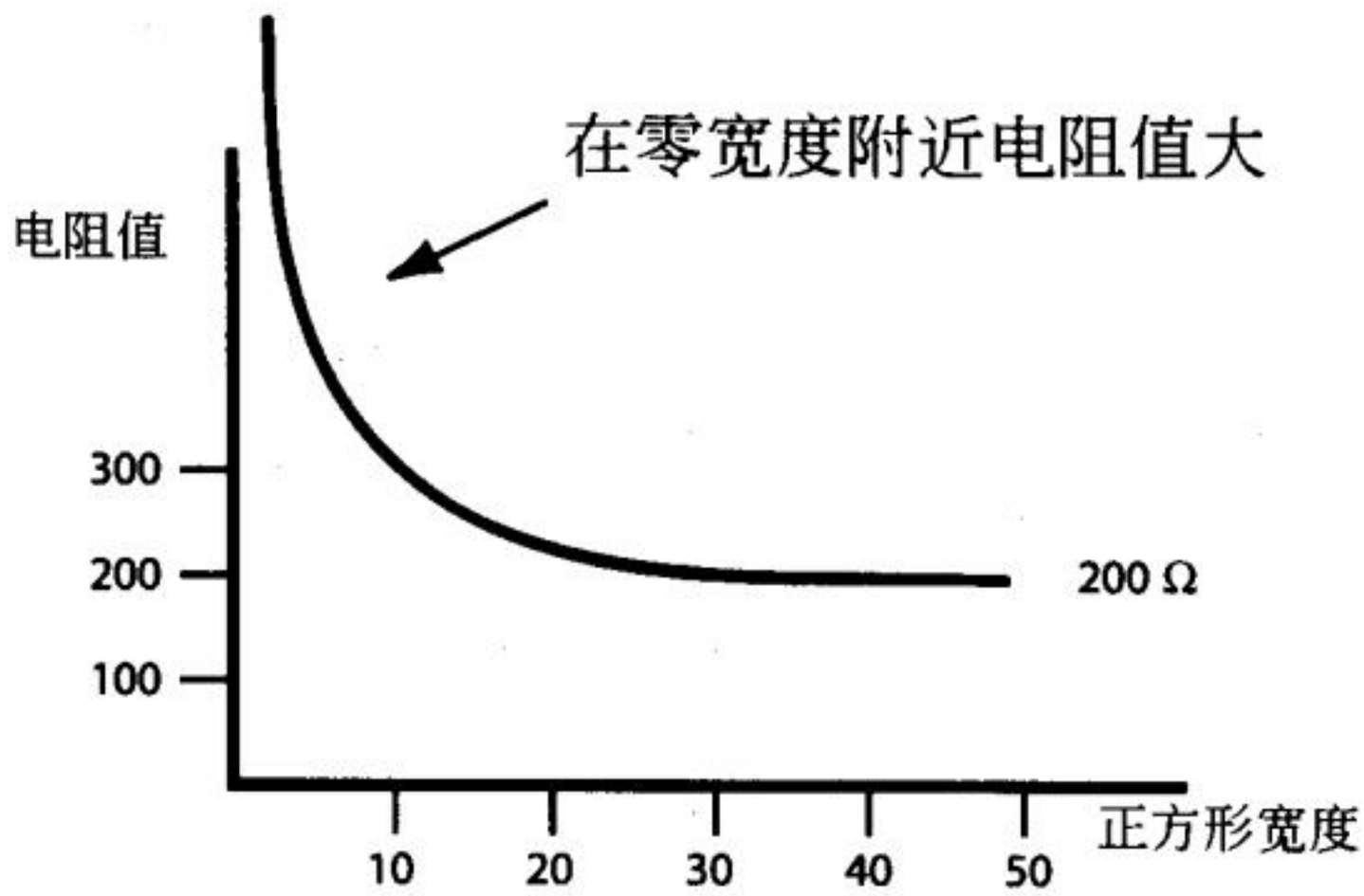


图 4-18 在实际情况下,随着正方形尺寸变小,我们发现电阻值并不保持恒定,背离了我们以前的认识。

这些不同尺寸的正方形电阻器具有相同的薄层电阻值,但电阻器的电阻值却不相同。事实上,随着正方形尺寸减小,电阻值变化相当地严重。除非有另外的方面也对电阻值做出了贡献,否则不应该发生这样的情况。事实确实是这样。

请不要忘了,在现实世界中的每种材料都有不同程度的电阻。现在再来看一下电阻器的截面图,在电流通路上,多晶硅层是主要的电阻,但同时也应注意,尽管非常小,左右两边的金属块也有电阻存在。

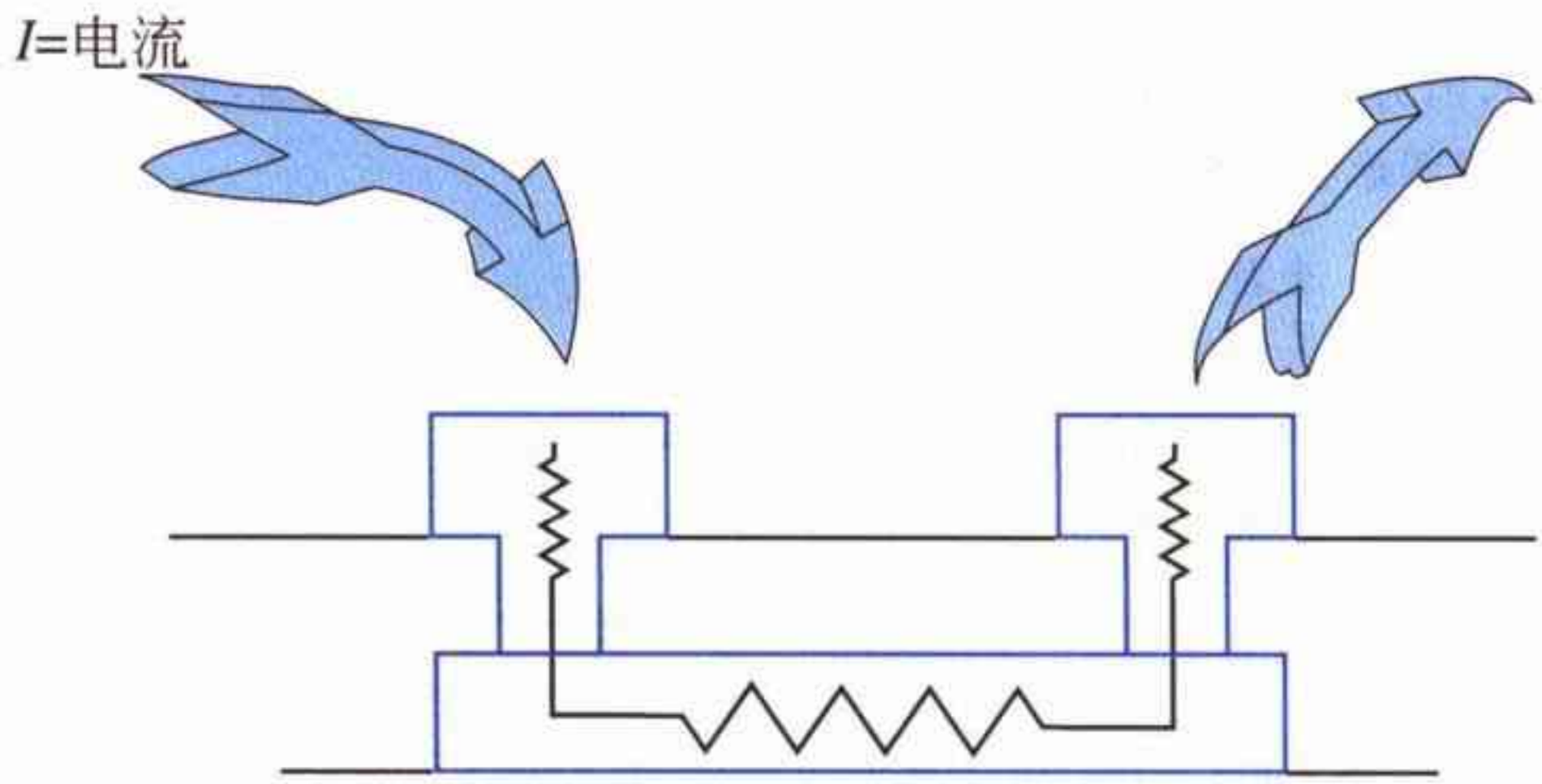


图 4-19 与电流通过多晶硅具有电阻一样，电流通过小的金属接触也表现出电阻。

因为存在两个非常小的电阻，所以必须将它们引入电阻计算公式，我们以 r_c 表示接触材料的电阻，以 r_b 表示体材料电阻。

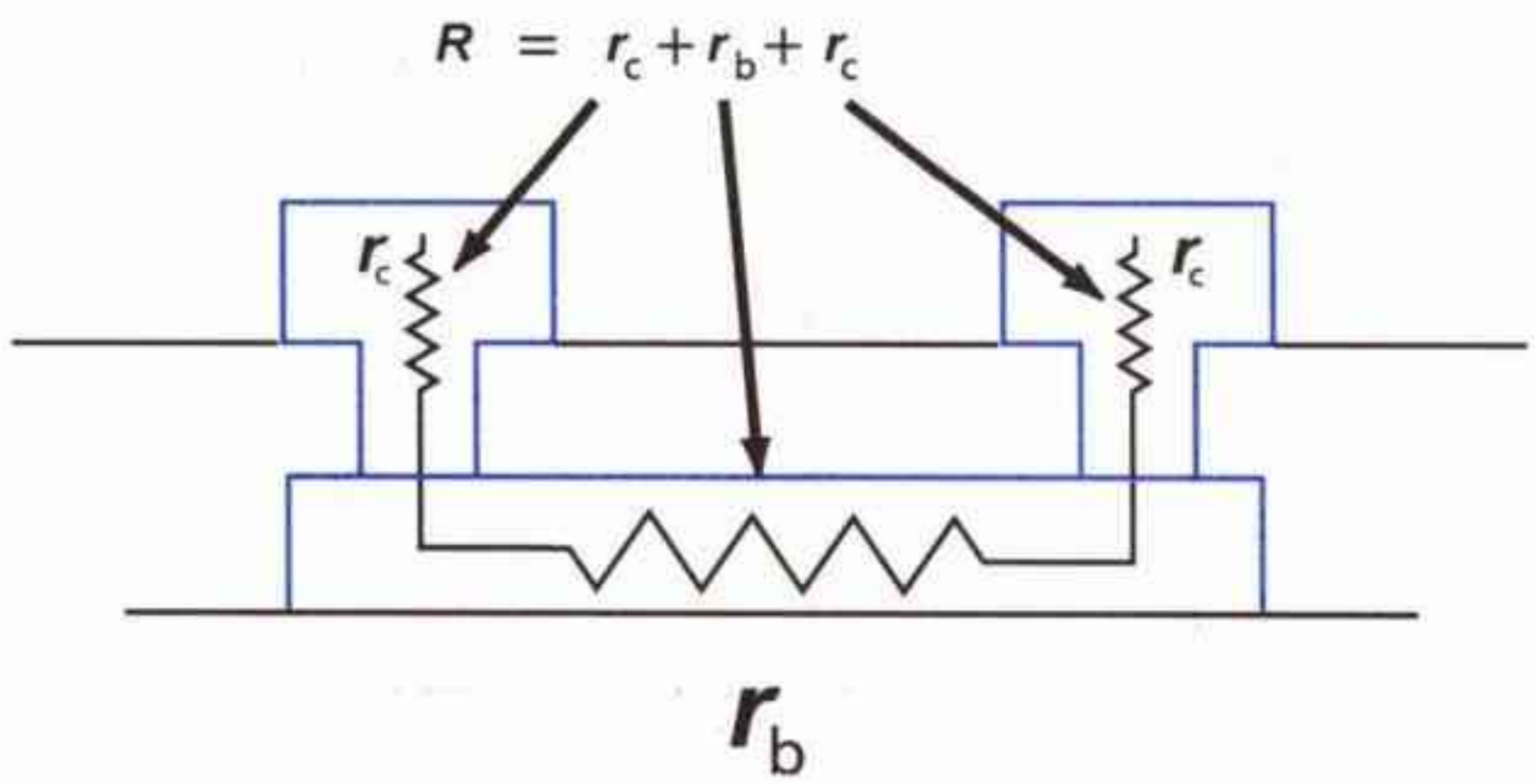


图 4-20 采用符号 r_c 和 r_b 表示不同区域的电阻值。

因此，总电阻可以表示为：

$$R = r_b + 2r_c \qquad (\Omega)$$

R= 总电阻(Ω)

r_b= 体区电阻(Ω)

r_c= 接触金属的电阻，两边各有一个(Ω)

在讨论每方欧姆数值的时候，我们已经了解了 r_b 怎样计算，但接触电阻怎样计算呢？

方块的概念对接触并不适合。首先，接触区被认为是具有固定长度的，当所有电流只从某一边流出的时候还要考虑延长接触区另一方

向上的长度吗？不仅如此，接触区具有的还是一个畸形的剖面结构，我们发现每方欧姆不适合作为计算接触电阻的单位。

下面的例子将有助于说明怎样测量接触电阻。

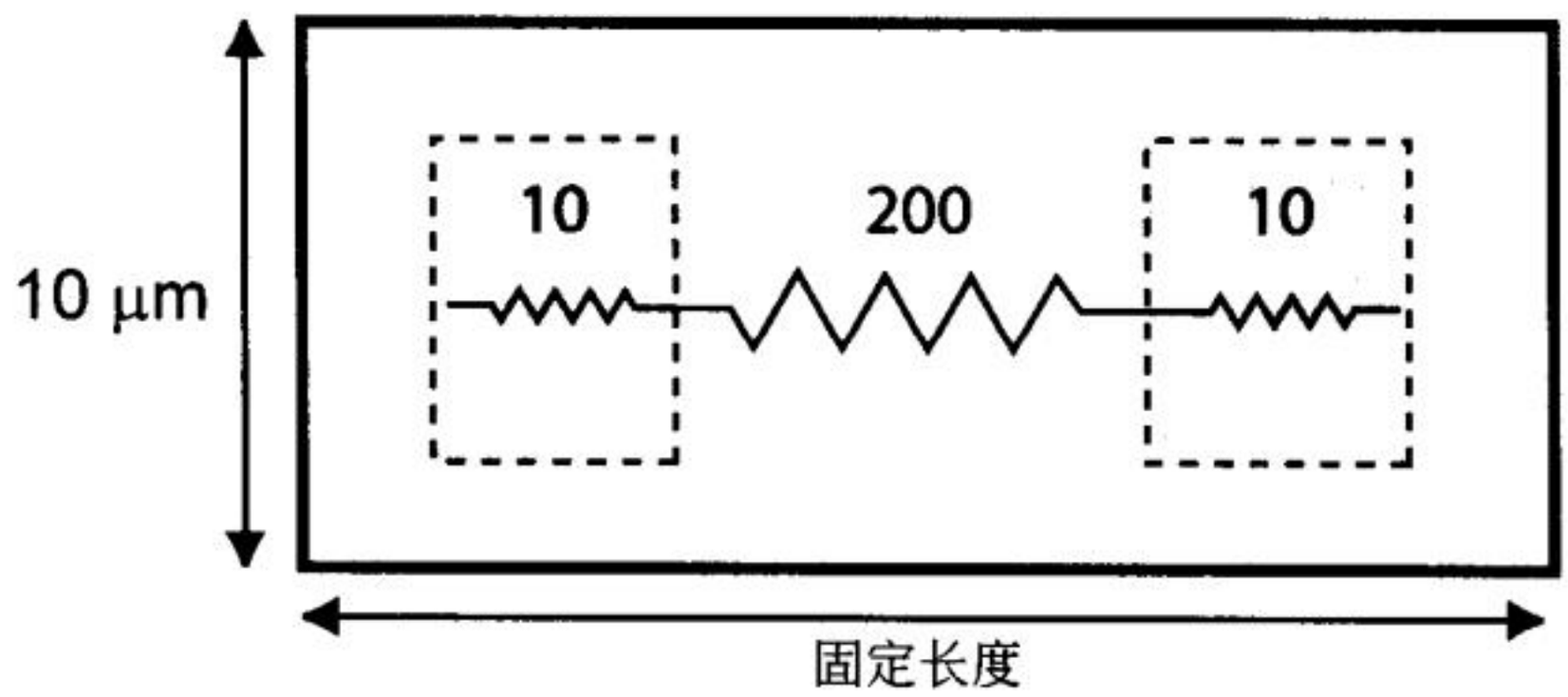


图 4-21　每个接触都阻碍电流流动。

首先假设电阻器具有一定的宽度，例如 10 微米。除了 200 欧姆的多晶硅电阻之外，假设存在接触电阻，用 r_c 表示，每个接触是 10 欧姆。

现在，将电阻器宽度加倍并维持长度不变。与上一个电阻相比，这个电阻采用的是同样的材料，同样的长度，但具有了两倍的宽度，当我们测量它的时候，发现每个接触电阻仅有 5 欧姆，而体电阻只有 100 欧姆。

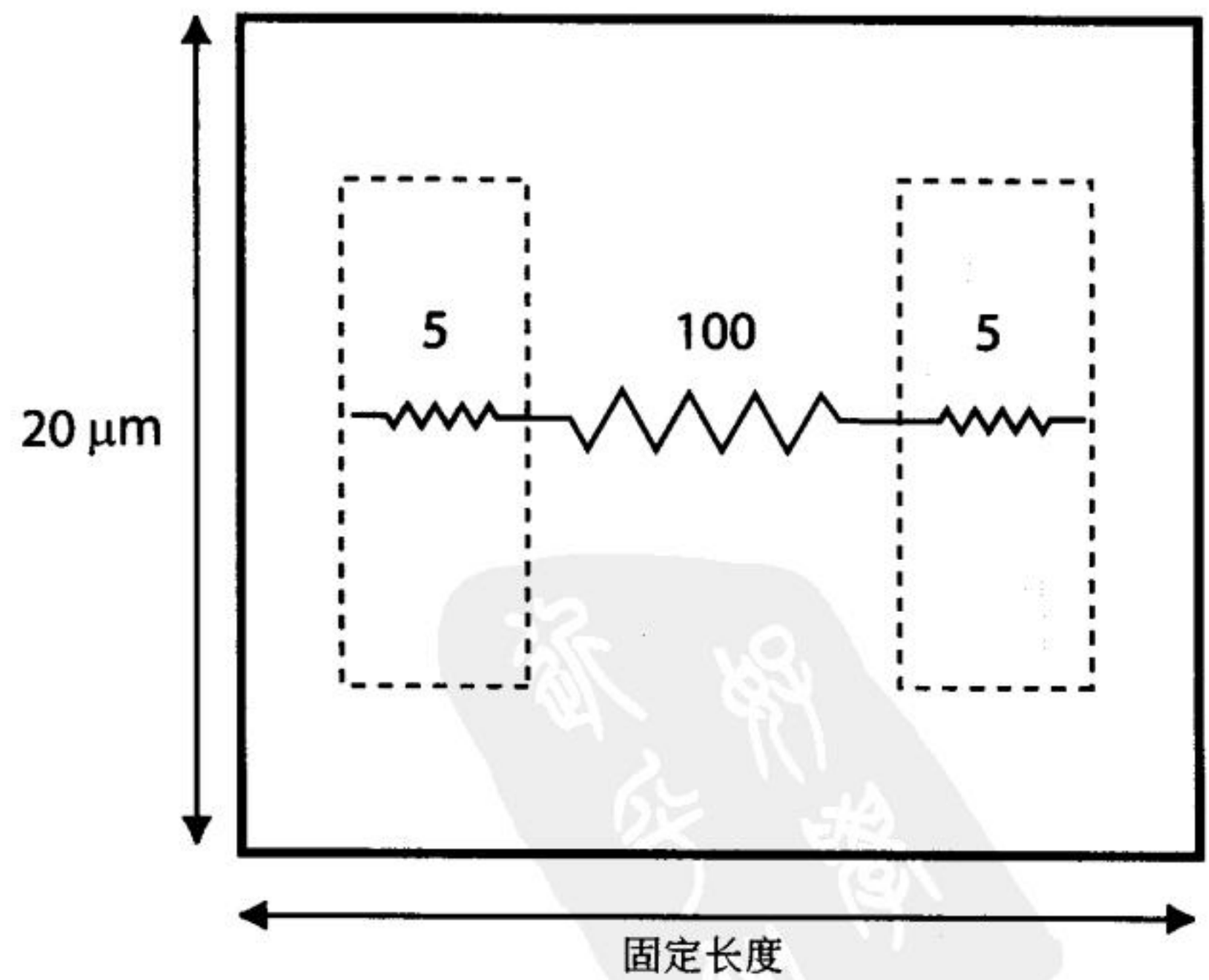


图 4-22　宽度加倍，测得的接触电阻仅为原来的一半。

当我们将接触区的宽度加倍的时候，电流得到了双倍的流动通道，类似于两个 10 欧姆电阻的并联，这当然会减小电阻。如果两个 10 欧姆电阻并联，则电阻只有 5 欧姆。

另一方面，如果接触区宽度变得非常小，则接触电阻将变得非常大。这就解释了图 4-18 中的曲线：电阻值随着宽度趋于零而增大。请注意，这与接触区的长度无关，延长接触区的长度使其保持正方形并没有补充作用。

如果接触区的宽度增大，接触电阻将变小；如果接触区宽度减小，则接触电阻将变大。这说明接触电阻与它的宽度成反比。利用这个规则，根据对尺寸大小的分析，我们就能够得到计算接触电阻值的方法。

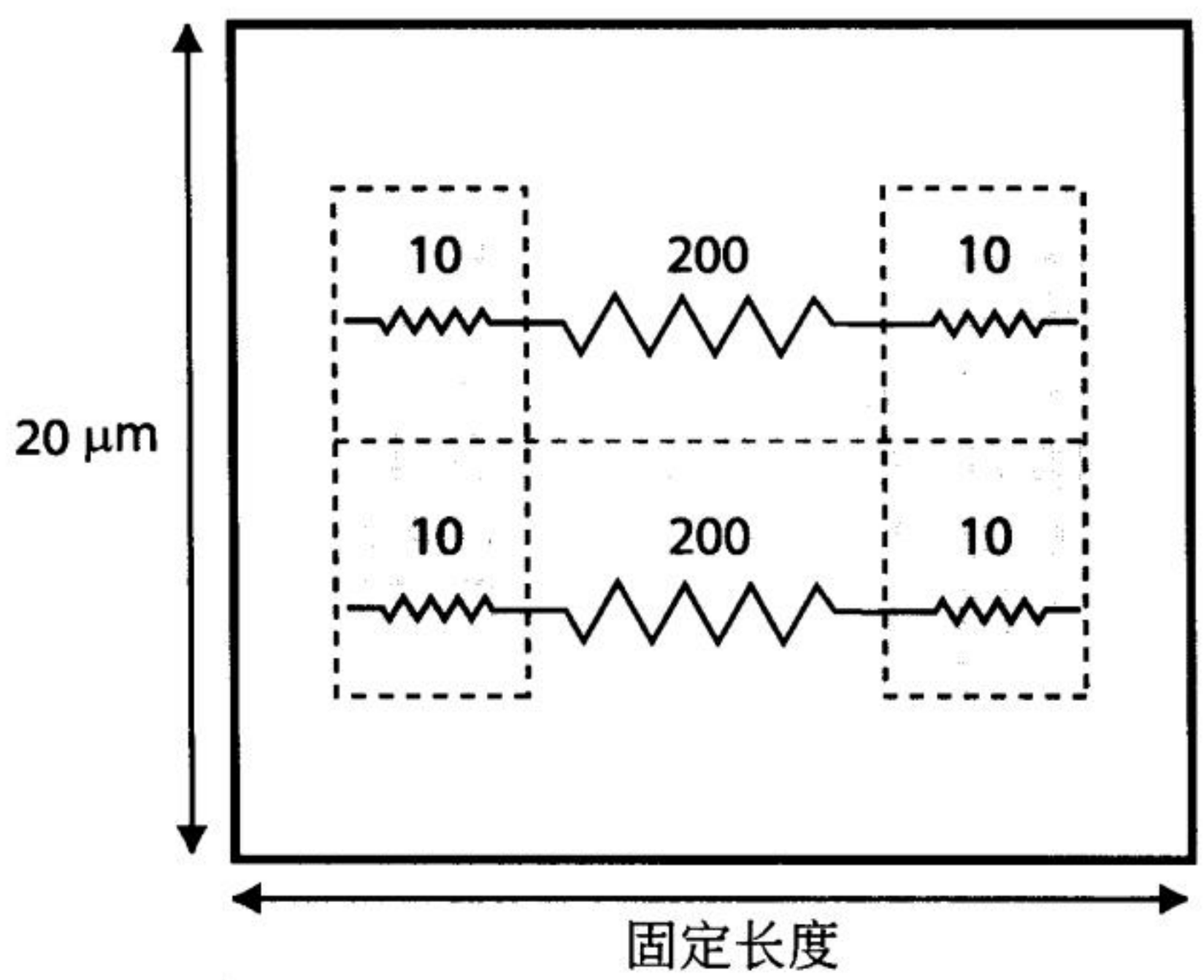


图 4-23

我们现在已讨论过的关于接触电阻的知识是：

- 因为电阻以欧姆为测量单位，所以电阻公式必须以欧姆为最终单位。
- 因此，公式的分子必须和欧姆单位有关。
- 因为接触电阻与接触区的宽度成反比，因此，希望公式中接触区宽度在分母上。
- 因宽度以微米度量，所以，分母的单位是微米。

■ 为了消掉分母上的微米单位，分子也必须与微米相关，否则，结果中就会含有微米单位。

这样，公式中分子必然是以欧姆乘微米为单位，分母则是以微米为单位。

下面我们来推导。首先定义一个接触材料的电阻因子，它以欧姆乘微米表述，为了与由工艺决定的数值加以区别，这里采用“欧姆-微米”表示，它表示与宽度相关的电阻值。以 R_c 表示接触区的欧姆-微米因子。

$$R_{\text{contact}} = \frac{R_c}{W_c} = \frac{\Omega \cdot \mu\text{m}}{\mu\text{m}(\text{宽度})} \qquad (\Omega)$$

$R_{\text{contact}} = r_c =$ 总接触电阻(Ω)

$R_c =$ 由接触所决定的电阻因子(Ω-μm)

$W_c =$ 接触区宽度(μm)

在上面的例子中，因为我们已知接触电阻是 10 欧姆，宽度是 10 微米，所以，接触电阻因子是 100 欧姆-微米(Ω-μm)。

$$10(\Omega) = \frac{100(\Omega \cdot \mu\text{m})}{10(\mu\text{m})}$$

工艺制造商正是以这样的方法计算欧姆-微米的值。

但欧姆-微米到底是什么呢？我们已经了解了为什么在公式中引入该单元，但它是人为设定的。你可以客观地看到微米是什么，它是一个很小的长度；你能够知道公升是什么，它是度量液体容器尺寸的单位。同样的，对于英里、米、克、小时以及其他单位你都已经知道了它们的实际意义。但是，有些单位却不能很好的具体化，欧姆-微米就是这样的单位，它是不客观的，就像加速度的单位，每秒-每秒-米。你想过平方秒是什么吗？我们经常和这些单位打交道，在某些场合，它们为我们提供了便利。在实际中应用的单位是多于实际存在的单位的。

欧姆-微米仅仅是我们用于表示电阻因子的一个单位。你可以试着将这样的长度乘以阻值的单位看作为一个智力练习，当然，这并不是必须要做的。

请记住，构造公式的首要工作仅仅是引入单位，检查在预计的结果中是否能得到正确的单位。现实中如果仅用数字进行计算，则人类可能将消亡、移动电话可能将不工作、飞船可能将和火星相撞。

为检查我们掌握得如何，下面来做一些计算。

试试看

利用上述的欧姆-微米公式计算下列电阻器的接触电阻。

1. 假设接触电阻因子是 100Ω-μm，计算以下电阻器的接触电阻值：
   (a) 宽度＝5μm
   (b) 宽度＝10μm
   (c) 宽度＝22μm
2. 假设接触电阻因子是 22Ω-μm，计算以下电阻器的接触电阻值：
   (a) 宽度＝2μm
   (b) 宽度＝22μm
   (c) 宽度＝50μm

答案

用欧姆-微米数除以宽度(单位为微米)。

1.

(a) $\frac{100}{5}=20\Omega$

(b) $\frac{100}{10}=10\Omega$

(c) $\frac{100}{22}=4.54\Omega$

2.

(a) $\frac{22}{2}=11\Omega$

(b) $\frac{22}{22}=1\Omega$

(c) $\frac{22}{50}=0.44\Omega$

引入欧姆-微米因子 R_c 定义接触电阻后，总的电阻公式为：

$$R_{total}=\frac{L_b}{W_b}\cdot\rho_b+2\frac{R_c}{W_c} \quad (\Omega)$$

R_{total}＝总电阻(Ω)
L_b＝电阻体区长度(μm)
W_b＝电阻体区宽度(μm)
ρ_b＝体材料薄层电阻率(Ω/□)
R_c＝由接触所决定的电阻因子(Ω-μm)
W_c＝接触区宽度(μm)

注意：接触区的宽度可能并不一定和电阻器的宽度相同，它取决

于工艺的设计规则，可能会要求接触区宽度必须小于电阻器宽度。

试试看

1. 根据下面给定的值计算表中列出的五个电阻器的长度。

给定：$R_c = 25\Omega\text{-}\mu m$

$\rho_b = 1200\Omega/\square$

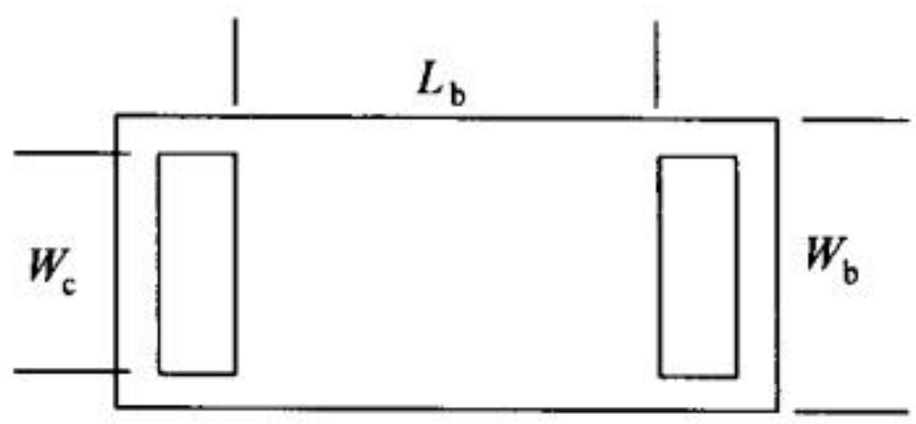
$W_c = W_b - 1\mu m$

#	$W_b(\mu m)$	$R_{total}(\Omega)$	两个接触之间的长度
1a	20	1200	
1b	2	10,000	
1c	10	850	
1d	50	200	
1e	15	425	

2. 根据给定的值计算接触电阻、体电阻，以及下表中的五个电阻器的总电阻。

给定：$R_c = 60\Omega\text{-}\mu m$

$\rho_b = 270\Omega/\square$



#	L_b	W_b	W_c	$R_{contact}, R_{body}, R_{total}$
2a	100	10	8	
2b	20	12	10	
2c	45	6	4	
2d	6	20	18	
2e	27	50	48	

答案

1. 利用上文给出的公式，解得 L_b。

1a. $1200=\frac{L_b}{20}\cdot 1200+2\frac{25}{20-1}$，电阻体长度$=19.96\mu m$

1b. $10000=\frac{L_b}{2}\cdot 1200+2\frac{25}{2-1}$，电阻体长度$=16.58\mu m$

1c. $850=\frac{L_b}{10}\cdot 1200+2\frac{25}{10-1}$，电阻体长度$=7.04\mu m$

1d. $200=\frac{L_b}{50}\cdot 1200+2\frac{25}{50-1}$，电阻体长度$=8.29\mu m$

1e. $425=\frac{L_b}{15}\cdot 1200+2\frac{25}{15-1}$，电阻体长度$=5.27\mu m$

2. 利用上文给出的公式，解得 R_{total}。

2a. $R_{total}=\frac{100}{10}\cdot 270+2\left(\frac{60}{8}\right)=2700+2(7.5)=2715$

$R_{body}=2700\Omega$

$R_{contact}=7.5\Omega$(每个)

$R_{total}=2715\Omega$

2b. $R_{total}=\frac{20}{12}\cdot 270+2\left(\frac{60}{10}\right)=450+2(6)=462$

$R_{body}=450\Omega$

$R_{contact}=6\Omega$(每个)

$R_{total}=462\Omega$

2c. $R_{total}=\frac{45}{6}\cdot 270+2\left(\frac{60}{4}\right)=2025+2(15)=2055$

$R_{body}=2025\Omega$

$R_{contact}=15\Omega$(每个)

$R_{total}=2055\Omega$

2d. $R_{total}=\frac{6}{20}\cdot 270+2\left(\frac{60}{18}\right)=81+2(3.33)=87.66$

$R_{body}=81\Omega$

$R_{contact}=3.33\Omega$(每个)

$R_{total}=87.66\Omega$

2e. $R_{total}=\frac{27}{50}\cdot 270+2\left(\frac{60}{48}\right)=145.8+2(1.25)=148.3$

$R_{body}=145.8\Omega$

$R_{contact}=1.25\Omega$(每个)

$R_{total}=148.3\Omega$

"为什么要求版图设计师会做这些计算呢?"—Judy

在实验室工作的人常会做新的实验,"小强尼需要一个 5 微米宽的 1k 电阻,我们需要按照他列出的软件去计算这个电阻。"

有些人必须去设法调校阻值。过去,我必须对给出的每个电阻去计算它们的阻值。我有一个数据表,是来自书上的数据。按照给定的参(常)数来计算电阻器应该是多长才能满足我们的阻值要求。一旦你了解了这些,那就是一些简单的代数计算。

基于那些规则,我自己就能够做一个电阻器。根据告诉我的相对于结构的各种数据,我对长度和宽度进行调整。他们告诉我电路设计师需要一个 5 微米宽的 1k 电阻,我必须计算长度。通常,我必须做的并不是计算电阻 R,而是计算 L。

这些说的是过去,大约是 5～10 年以前。现在,你只要启动软件,单击"*Generate me a resistor*"按钮,输入你需要的阻值和宽度,软件就会给你生成一个版图。但是,软件也是人编的,所以,某些人必须懂得原理,通常情况下,这些人是了解材料特性并进行研究的版图工程师。

对于希望了解人们进一步需要什么或制造什么材料的人而言,这些信息是有益的。你或许在研究室工作,你或许没有成套的设计工具,如果这样,你就可能需要从草图开始做所有的一切了。

4.5.3　改变体材料

前面介绍了简单电阻,现在将介绍复杂一些的结构。

一般而言,用于 FET 的多晶硅栅希望有尽可能低的电阻,目的是尽可能地提高 FET 的运算速度。

我们曾经提过,多晶硅栅电阻大约只有每方 2～3 欧姆。这样的低电阻对于栅的工作是有利的,但作为电阻则希望范围更大一些。你可能需要数百欧姆的电阻,或许会要求方块电阻在 200 或 250 欧姆。

因此,我们希望改变电阻。仍从已经讨论过的材料层开始,如多晶硅、接触以及金属,重画简单电阻器如图 4-24 所示。

改变体材料能够有效地提高电阻率,这将有助于得到较高的,更有用的电阻率。

有几种方法可以改变体材料。一种方法是沉积另一层具有不同电阻特性的多晶硅。然而,是否可以通过改变已沉积在芯片上的材料层结构来做呢?这将省掉额外的工艺并且不增加费用。

让我们在所用的多晶硅材料的中部开一个窗口,设法使我们能够

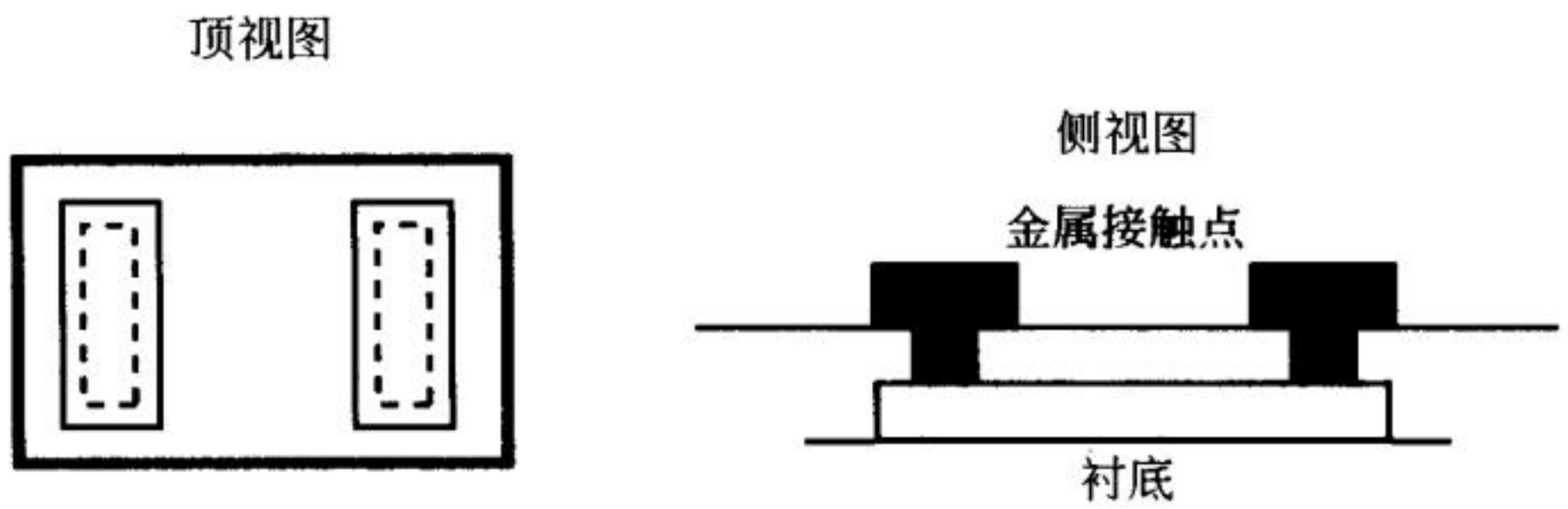


图 4-24 基本电阻器。

得到一个较高的方块电阻值。

制作较高电阻率区域的一种方法是在窗口处对多晶硅注入另外的杂质材料，阻碍电子的流动。增加电阻的另一个方法是将多晶硅刻蚀掉一部分使其变薄。无论上述的哪种方法，都需要对中间的材料块进行改变以增加电阻值。

我们称这些被改变的材料块为电阻的**体**，虽然电阻器的尺寸仍保持不变，但我们已经简单地改变了中心处的材料。

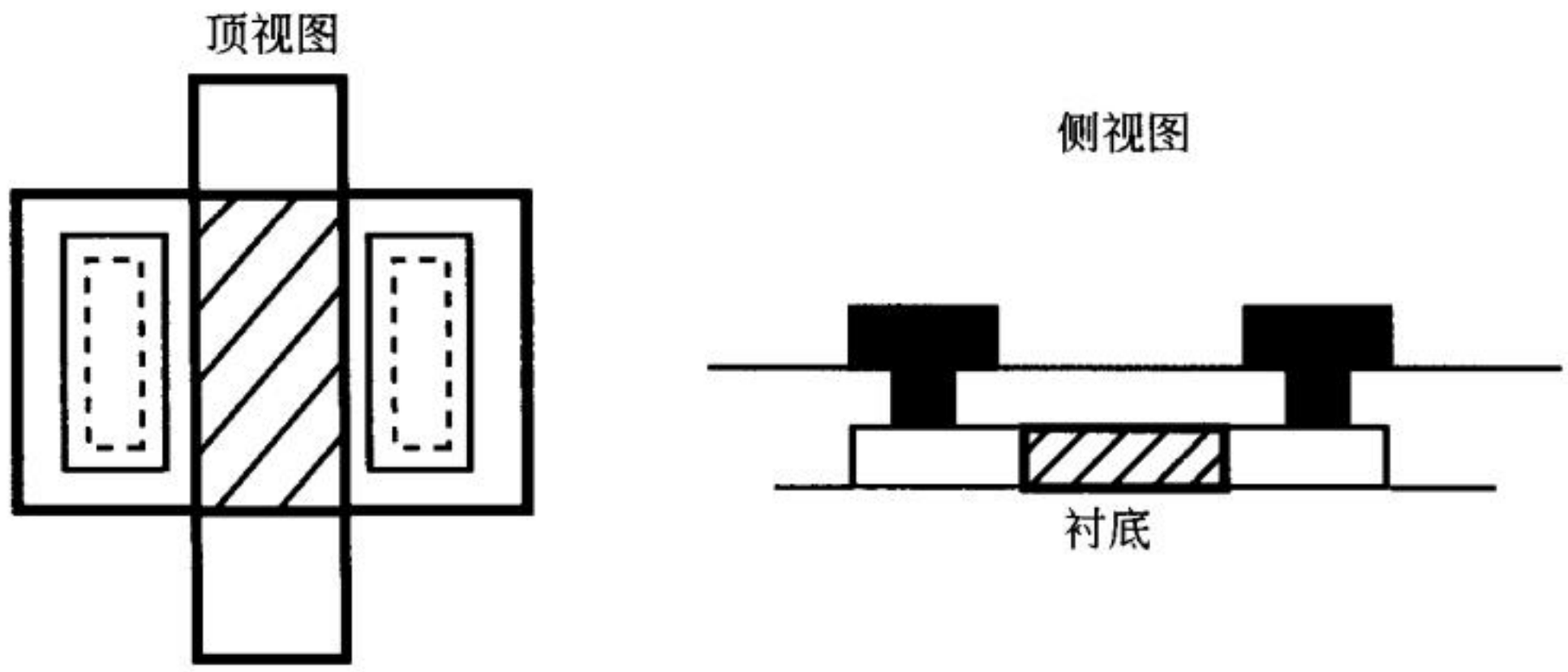


图 4-25 为提高通路的电阻，注入较高电阻率的材料进入多晶硅，在中心形成体部分。

现在，我们有了一个新的，经过特殊处理的体区域。通常会有一个设计规则用以说明体区边界与接触区的最小距离，因此，在体与接触区之间总是存在一段原来的多晶硅位于通路上。这两块位于电阻体区两边的多晶硅区我们称为电阻器的**头**。在电阻器的每边都有一个头区，这两个头区所具有的电阻也必须包括在我们的计算公式里。

现在，在体区可能是每方 250 欧姆，而左右两边的原有多晶硅可能是每方 2 欧姆（这就是我们为什么改变中间小部分的原因），还有接触电阻，所有这些是不同的电阻。因此，总电阻的公式应包括三个部分：特殊处理的体电阻，两块原始多晶硅块（一边一块），以及两个金

属接触电阻(也是一边一个)。这些电阻的每一个都必须单独计算,然后加在一起得到电阻器的总电阻。

采用简化的形式,总电阻方程为:

$$R = r_b + 2r_h + 2r_c \qquad (\Omega)$$

$R=$ 总电阻(Ω)

$r_b=$ 体部分计算得到的电阻(Ω)

$r_h=$ 每个头部计算得到的电阻(Ω)

$r_c=$ 每个接触区计算得到的电阻(Ω)

方程中出现了特定的体区每方欧姆数值、特定的头区每方欧姆数值、接触的欧姆-微米值,不仅如此,每个区域还有它自己的尺寸,因此,方程开始变得相当复杂。

现利用每方欧姆和欧姆-微米单位去计算每一部分电阻。将上面简写的变量 r 展开,展开后的方程如下

$$R = \frac{L_b}{W_b} \cdot \rho_b + 2\frac{L_h}{W_h} \cdot \rho_h + 2\frac{R_c}{W_c} \qquad (\Omega)$$

$R=$ 总电阻(Ω)

$L_b=$ 体区长度(μm)

$W_b=$ 体区宽度(μm)

$\rho_b=$ 体区薄层电阻率(Ω/□)

$L_h=$ 头区长度(μm)

$W_h=$ 头区宽度(μm)

$\rho_h=$ 头区薄层电阻率(Ω/□)

$R_c=$ 接触电阻因子(Ω-μm)

$W_c=$ 接触区宽度(μm)

试试看

1. 利用上文给出的方程和下面给定的参数值,计算下列电阻的总电阻值、体电阻值、头电阻值和接触电阻值。

给定: $\rho_b = 300\Omega/\square$

$\rho_h = 2\Omega/\square$

$R_c = 70\ \Omega\text{-}\mu m$

$W_b = W_h$

$W_c = W_b - 2\ \mu m$

(a) $L_b = 20\mu m$

$L_h = 2\mu m$

$W_b = 5\mu m$

(b) $L_b = 60\mu m$

$L_h = 4\mu m$

$W_b = 20\mu m$

(c) $L_b = 10\mu m$

$L_h = 1\mu m$

$W_b = 50\mu m$

答案

将变量代入方程：

$$R = \frac{L_b}{W_b} \cdot \rho_b + 2\frac{L_h}{W_h} \cdot \rho_h + 2\frac{R_c}{W_c} \qquad (\Omega)$$

求解得到总电阻、体电阻、头电阻和接触电阻。

(1a) $R_{total} = \frac{20}{5} \cdot 300 + 2\left(\frac{2}{5}\right) \cdot 2 + 2\left(\frac{70}{5-2}\right)$

$R_{total} = 1200 + 2(0.4) \cdot 2 + 2(23.33)$

$R_{body} = 1200\Omega$

$R_{head} = 0.8\Omega$(每个)

$R_{contact} = 23.33\Omega$(每个)

$R_{total} = 1248.26\Omega$

(1b) $R_{total} = \frac{60}{20} \cdot 300 + 2\left(\frac{4}{20}\right) \cdot 2 + 2\left(\frac{70}{20-2}\right)$

$R_{total} = 900 + 2(0.4) + 2(3.89)$

$R_{body} = 900\Omega$

$R_{head} = 0.4\Omega$(每个)

$R_{contact} = 3.89\Omega$(每个)

$R_{total} = 908.58\Omega$

(1c) $R_{total} = \frac{10}{50} \cdot 300 + 2\left(\frac{1}{50}\right) \cdot 2 + 2\left(\frac{70}{50-2}\right)$

$R_{total} = 60 + 2(0.04) + 2(1.46)$

$R_{body} = 60\Omega$

$R_{head} = 0.04\Omega$(每个)

$R_{contact} = 1.46\Omega$(每个)

$R_{total} = 63.00\Omega$

4.6　实际电阻分析

我们已经了解了对于采用 CAD 工具所画的图形尺寸如何计算电阻器的阻值，然而，实际的制造过程并不是像 CAD 画图那样完美，做出来的电阻器经常是明显地小于或大于你所画的。我们可以在公式里对这些变化量，或称**德耳塔(delta)项**进行补偿，现在来考察电阻器的各个部分。

4.6.1　接触区误差

当接触孔被刻蚀的时候，实际的加工尺寸会存在一些不确定的误差。如果过刻蚀，即使轻微的，也会导致孔变大，因此，你得到的实际接触孔尺寸和宽度发生了变化。当设计电阻器的时候，你需要对这些有足够的了解，要考虑这些实际的误差。

制造商会提供工艺变化量，他们将为你测量这些误差。例如，你可以询问："如果我们需要 1 微米的图形，在实际的掩模上应是多大?"，他们可能会回答："为保证这个尺寸，你可以放大 0.1 微米"。

这种设计和实际尺寸之间的不同我们称为宽度的德耳塔(也称为公差、误差、变化量、尺寸变化、溢出或变化)。德耳塔项可以是正的，也可以是负的，即过加工或欠加工。常用希腊字母 δ 表示这种误差。宽度变化用 δW 表示，长度变化用 δL 表示。

例如，假设 W 是 4 微米，而 δW 是 0.06 微米，这表明实际的宽度最小是 3.94 微米，最大是 4.06 微米，大小取决于 δ 表示的是过加工或是欠加工。

4.6.2　体区误差

类似接触的情况，多晶硅也存在过刻蚀或欠刻蚀(通常情况下，多晶硅加工将使其变小)。因此，在计算体电阻时我们必须考虑 δL 和 δW。

每个 δ 将有一个特定的数值。某种材料和工艺可能有一个误差范围，而另一种材料或工艺却可能有完全不同的误差，人们通过大量地硅片测试来确定每个项目的误差。

为了得到这些误差数值，可能需要做非常大量的样本测试。一旦提取了某一个项目，就可以转向提取另一个项目值，直到得到每一个 δ 的值。

4.6.3 头区误差

如果体区主要是宽度变化引起误差，那么，电阻器的头区也是一样。如果体区变长，则头区将变短，同样的，如果接触区过刻蚀，则头区的长度也将变短。所有这些误差将使我们的计算更加困难。将所有这些 δ 代入我们的计算公式，得到：

$$R = \frac{L_b + \delta L_b}{W_b + \delta W_b} \cdot \rho_b + 2\frac{L_h + \delta L_h}{W_h + \delta W_h} \cdot \rho_h + 2\frac{R_c}{W_c + \delta W_c} \quad (\Omega)$$

R = 总电阻(Ω)

L_b = 体区长度(μm)

W_b = 体区宽度(μm)

ρ_b = 体区薄层电阻率(Ω/□)

L_h = 头区长度(μm)

W_h = 头区宽度(μm)

ρ_h = 头区薄层电阻率(Ω/□)

R_c = 接触电阻因子(Ω-μm)

W_c = 接触区宽度(μm)

δ 表示"某方面变化"

注意，某些 δ 的值对多个单元可能具有共用性，例如，一个电阻器的体长度可能过刻蚀了 0.1 微米，这使得它的体区变长，但同时使头区以相同量减少，所以，数值 0.1 微米被同时用于两个项目。

试试看

1. 某电阻器的图形尺寸为：长度＝95 微米，宽度＝12 微米，材料的电阻率为每方 65 欧姆。在制造时，测量得到电阻器的宽度减小了 0.2 微米，实际电阻值是多少呢？
2. 某电阻体在制造时过刻蚀 0.15 微米，定义其长度的窗口有 0.2 微米的欠刻蚀，材料的电阻率为每方 150 欧姆。对下列的每一组尺寸计算电阻器的阻值：

宽度	长度	$W+\delta W$	$L+\delta L$	R
12	12			
20	60			
16	5			
50	10			
4	75			

3. 重填上述电阻器的表格，仅仅根据设计尺寸，计算设计值与制造值误差的百分率：

宽度	长度	设计值	制造值	误差百分率
12	12			
20	60			
16	5			
50	10			
4	75			

答案

1. 确定方块数，并将其与薄层电阻率相乘。

计算设计值：

$$\frac{95}{12}\cdot 65 = 514.58 \qquad (\Omega)$$

考虑存在 0.2 刻蚀误差，则

$$\frac{95}{12-0.2}\cdot 65=523.30 \qquad (\Omega)$$

2. 因为电阻体宽度是亮场掩模，因此，过刻蚀导致的是图形尺寸缩小；电阻器长度图形是暗场掩模，所以，欠刻蚀也是导致图形尺寸缩小，在这两种情况下都是减去 δ。

宽度	长度	$W+\delta W$	$L+\delta L$	R
12	12	12−0.15=11.85	12−0.2=11.8	149.36
20	60	20−0.15=19.85	60−0.2=59.8	451.89
16	5	16−0.15=15.85	5−0.2=4.8	45.42
50	10	50−0.15=49.85	10−0.2=9.8	29.49
4	75	4−0.15=3.85	75−0.2=74.8	2914.28

3.

宽度	长度	设计值	制造值	误差百分率
12	12	150	149.36	−0.42%
20	60	450	451.89	+0.42%

续表

宽度	长度	设计值	制造值	误差百分率
16	5	46.87	45.42	−3.099%
50	10	30	29.49	−1.7%
4	75	2812.5	2914.28	+3.62%

4.6.4 扩展电阻

再次考察电阻图形，虽然我们测量多晶硅宽度是以材料的边缘为基准，而实际电流流入的起点以及在流出接触区后在整个多晶硅区内是怎样流动的还不是十分清楚。

电流仅仅在两个金属电极之间流动吗？或者，电流在所有可用的多晶硅宽度内流动吗？这个宽度是我们的度量值吗？长度是什么呢？是从多晶硅的外拐角测量吗？你测量的仅仅是金属接触区之间吗？或者，实际上应该包括金属在内吗？多晶硅的计算宽度大一些或正好是接触区的宽度？

当电子离开了接触区后，电子传播的实际路径是逐渐扩展开的，直到它们最终达到整个的多晶硅宽度。这种逐渐的展开对电阻的大小产生了影响，因此，我们必须在计算公式中考虑这个因素。

扩展电阻和许多因素有关。如果你采用宽的接触区和宽的电阻条结构，这种影响是可以忽略的。但如果你采用宽电阻而窄的接触

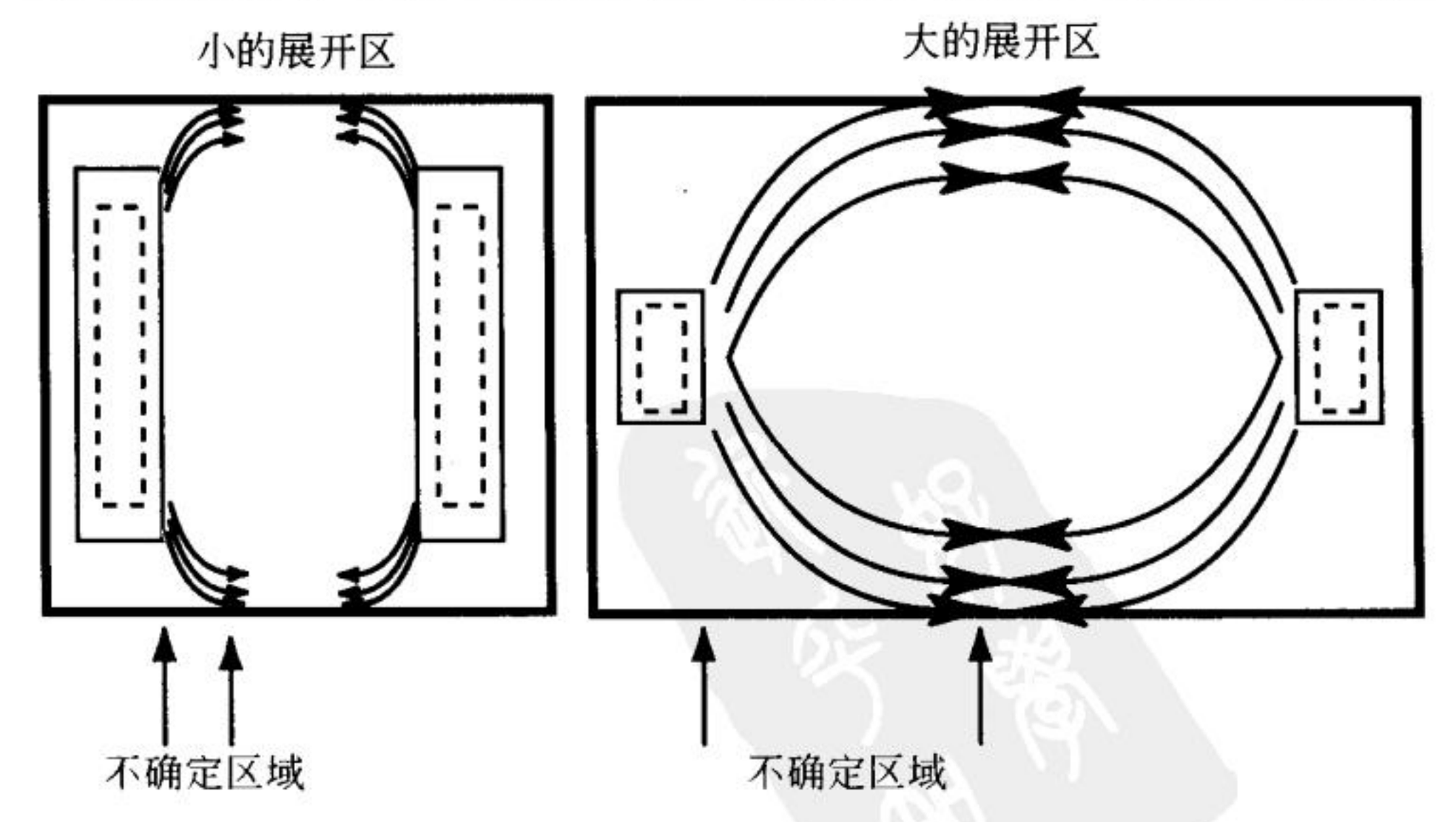


图 4-26 扩展情况会引起误差量的变化，在电阻公式中必须考虑这个问题。

区，则意味着电流在展开到全部电阻器宽度之前将走更长的路径，这给公式中所采用的电阻器宽度带来了更多的误差。

如果一个电阻非常短且设计的很糟糕，则可能因为不能适当地计算出电子流动的区域宽度而导致电阻值非常的不精确。

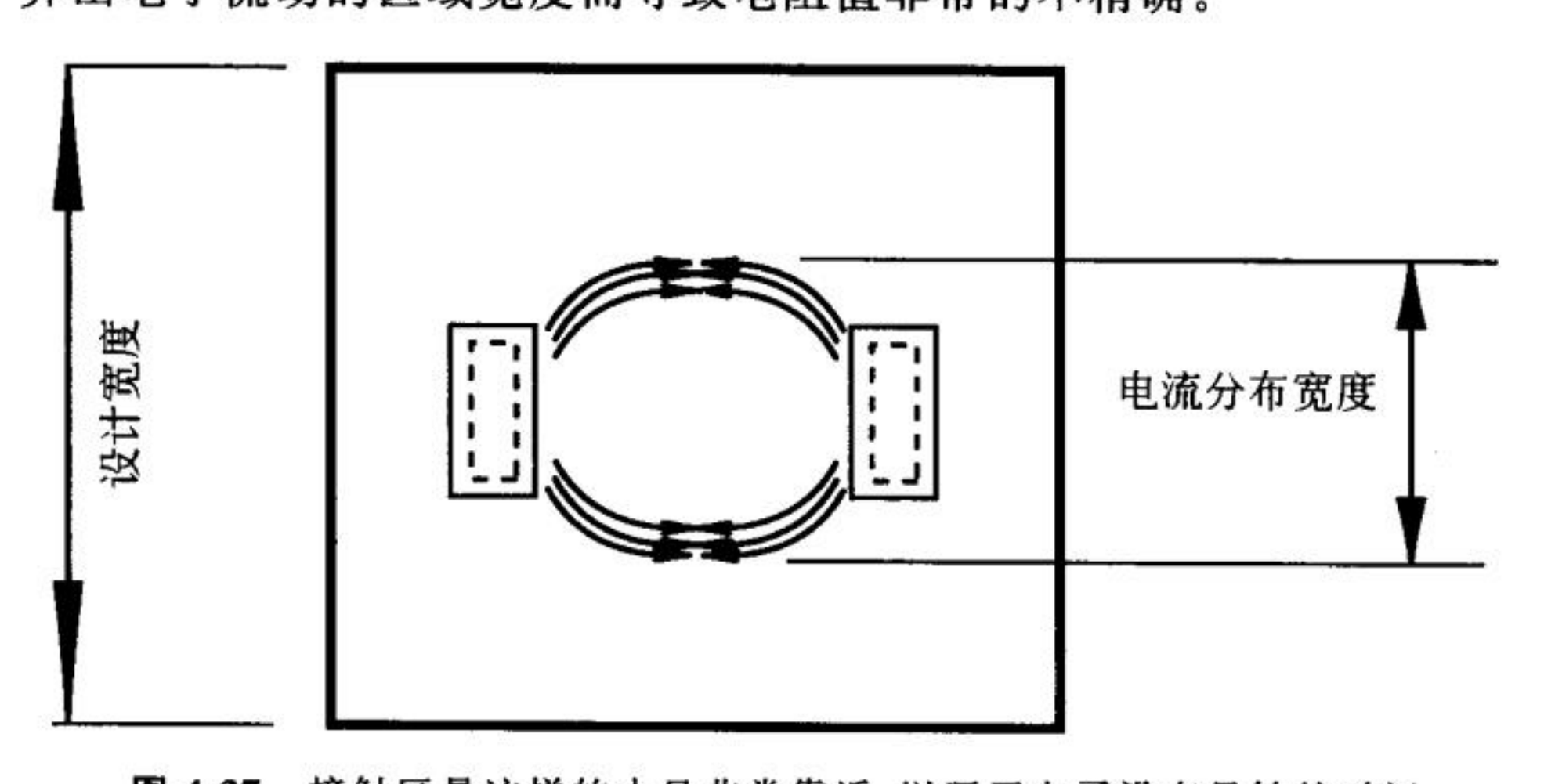


图 4-27　接触区是这样的小且非常靠近，以至于电子没有足够的时间展开到多晶硅全部宽度方向，电流分布的宽度小于多晶硅的设计宽度。

让我们来讨论如何做一个可以避免扩展问题的电阻器。

可以将接触区展宽到多晶硅材料的宽度之外，由于多晶硅定义了接触区的宽度，因此不必担心扩展的问题，这时多晶硅与接触区具有相等的宽度。

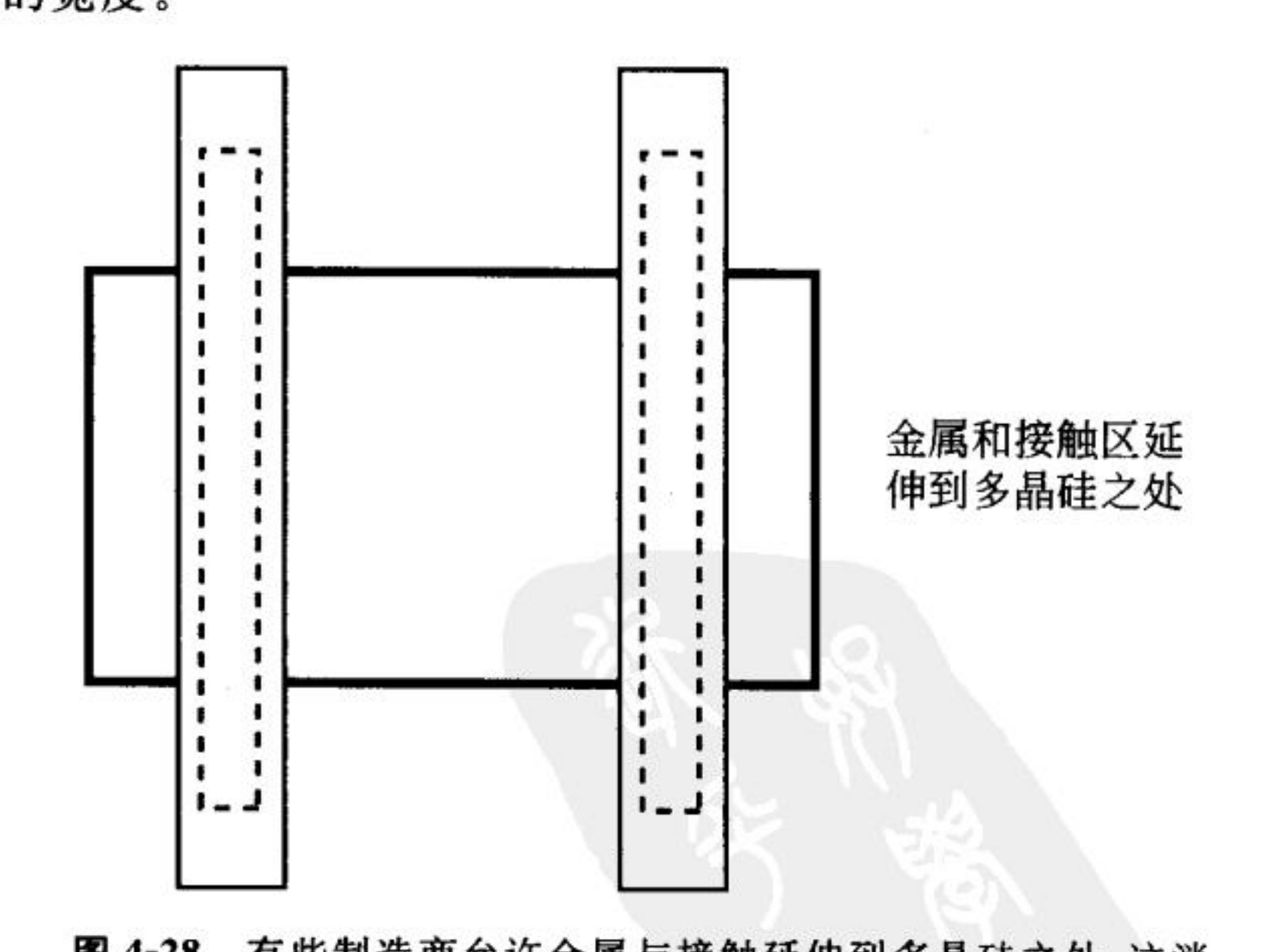


图 4-28　有些制造商允许金属与接触延伸到多晶硅之外，这消除了展开区的问题。

能否这样设计取决于工艺技术。某些设计者不喜欢将接触孔暴露在空气中。某些设计者希望孔穿透某些氧化层，而另一些设计者则不希望穿透这些氧化层，他们会说："这个孔必须在多晶硅的里面，因为我不希望刻蚀穿透到其他材料层"，但其他人却可能不这么认为。

是否将接触孔暴露在空气中，或者必须用许多材料层完全封闭接触孔，这些完全取决于制造商的工艺规则。

有些工艺只允许一种接触孔的尺寸，这是因为这些工艺刻蚀的最佳接触孔形状是正方形。这种以单一尺寸适合所有设计的方法使我们的工艺更具有可控制性，并且给我们更小、更精确的尺寸。

如果工艺仅允许我们使用正方形的接触孔，则我们必须在电阻器的宽度方向上用许多这样的小孔来填满以保持低的接触电阻。

尽管电阻公式仍是正确的，但接触电阻和扩展电阻项变得更加复杂。精确详细的计算随制造商的不同而变，并且这属于商业秘密①。

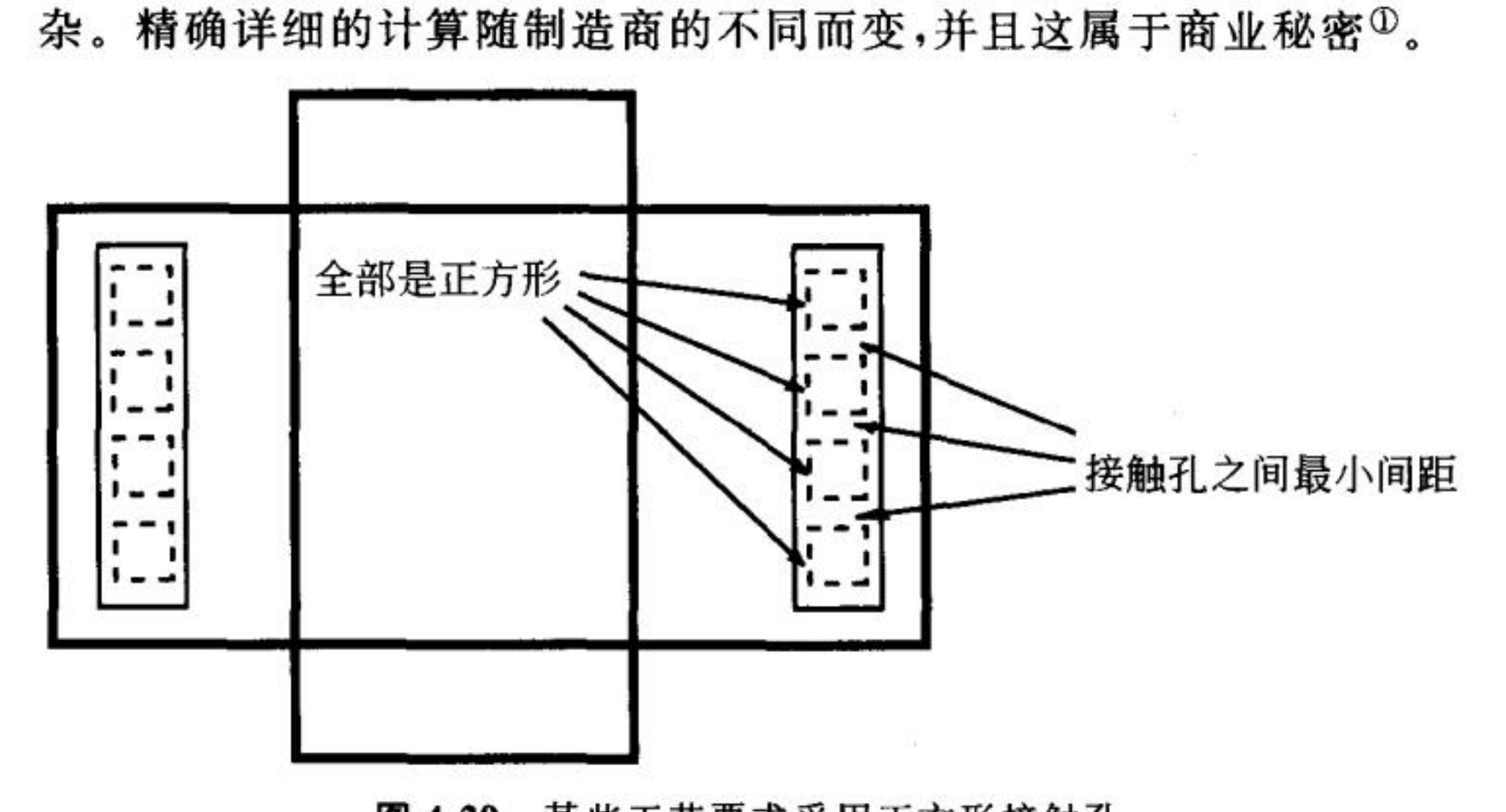


图 4-29 某些工艺要求采用正方形接触孔。

减小扩展问题的另一个选择是使接触孔的宽度精确地与体相同。

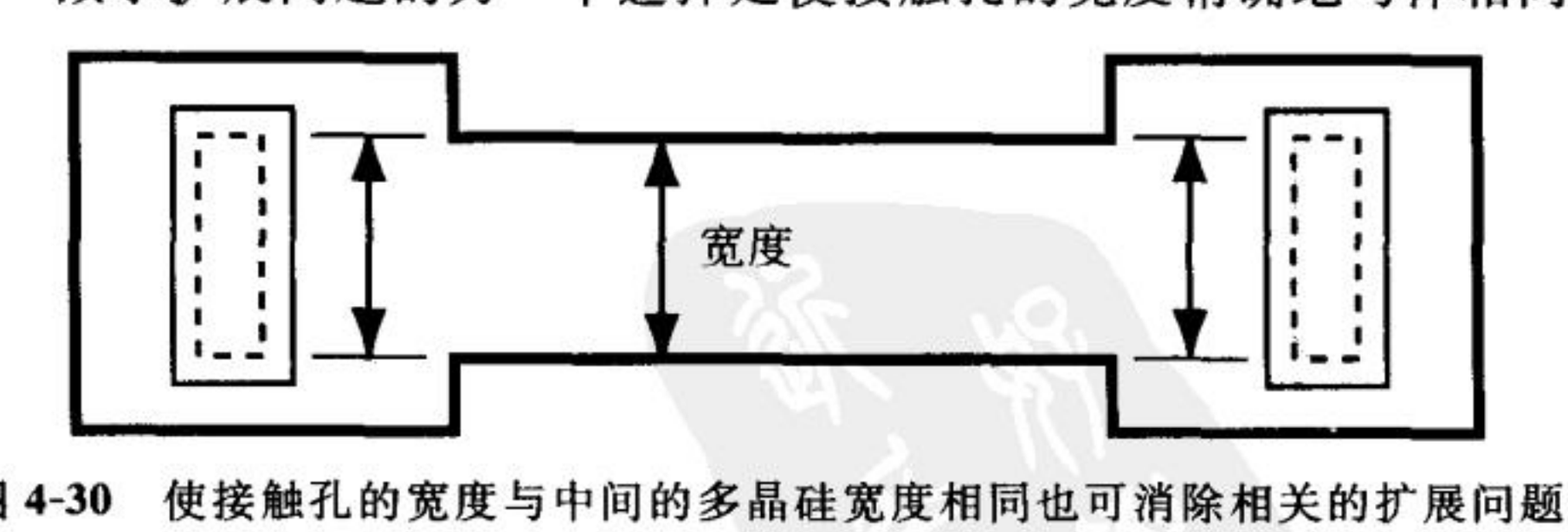


图 4-30 使接触孔的宽度与中间的多晶硅宽度相同也可消除相关的扩展问题。

① 秘密间谍员工。我知道，但我不能告诉你。如果我告诉你，我就不得不雇佣你了。

有些人则完全地撇开扩展的问题，他们采用欧姆-微米的方法将扩展和接触问题归结为一个数值，这样计算速度快，所需的精确计算少。因为接触电阻与电流如何展开无关，因此，实际的扩展电阻计算应该与接触电阻分开。

有多种技术和公式用于 IC 制造去确定扩展电阻项。这些技术与公式的大部分是不公开的。在这里我们所阐述的内容是为了让读者对所包含的物理的和电学的处理有一个了解，这些了解对于理解和使用你工艺手册中的公式是足够的了。

4.6.5 总电阻方程

现在，我们不再深入地探讨了。

在构造总的电阻方程中，我们从采用最基本变量的一阶方程开始，然后构造考虑了扩展问题、德耳塔和其他微细调节的二阶和三阶方程。

从前面的介绍你已经知道电阻方程是什么，从电阻体你了解了基本电阻，然后，你看见了各种细微影响被逐步加入了方程。这里是已建立的方程：

$$R = r_b + 2r_h + 2r_c + 2r_s \qquad (\Omega)$$

R= 总电阻(Ω)

r_b= 来自于体区部分的电阻(Ω)

r_h= 来自于头区的电阻(Ω)

r_c= 来自于接触区的电阻(Ω)

r_s= 来自于扩展区的电阻(Ω)

新项 r_s是由于电子展开而引入的电阻(每边一个扩展因子)，不同制造商对其数值有不同的定义。

请记住，方程中的每一个 r 项都必须单独计算，如果我们写出这样的方程取代最初的单元，就能够说明其中的每一个独立的计算：

完整的总电阻方程

$$R_{total} = \frac{L_b + \delta L_b}{W_b + \delta W_b} \cdot \rho_b + 2\frac{L_h + \delta L_h}{W_h + \delta W_h} \cdot \rho_h + 2\frac{R_c}{W_c + \delta W_c} + 2r_s \qquad (\Omega)$$

R_{total}= 总电阻(Ω)

L_b= 体区长度(μm)

W_b= 体区宽度(μm)

ρ_b = 体区薄层电阻率(Ω/□)

L_h = 头区长度(μm)

W_h = 头区宽度(μm)

ρ_h = 头区薄层电阻率(Ω/□)

R_c = 接触电阻因子(Ω-μm)

W_c = 接触区宽度(μm)

r_s = 扩展因子(参见工艺手册)(Ω)

注意：所有德耳塔项对于被使用的工艺都是唯一的，在方程中需要的δ值请查阅制造商的工艺手册。

在体电阻和头电阻项中，采用宽度去除是因为希望得到在电阻路径上的方块数，长度除以宽度就等于方块数，在这些项中，我们采用了每方欧姆数值(薄层电阻率)。

但是，在接触电阻项中，采用宽度除则是因为接触电阻是与宽度相关的，因此，该项采用欧姆-微米单位。

如前所述，也有将接触电阻与扩展电阻组合在一起以一个单独的项表示的。

你已经看到了我们所做的工作，从简单的方块到相对复杂的问题全都是以实际尺寸为基础。

对于一般的版图工程师并不需要了解得这样深，但如果他必须涉足一个集成的工具包时，他就必须理解方程并且了解如何在 CAD 工具中实现它们。

现在，我们已理解了电阻器的方程，我们可以使用方程帮助设计精确的版图、验算误差以及完善设计。在下面的几节中将探讨电阻设计中的一些其他考虑。

4.7 实际的最小电阻尺寸

体电阻应该在总电阻中起支配作用。如果你的电阻是由接触区和头区所支配，你就无法得到非常好的、可控的电阻。

现在你已得到了总的电阻方程，它是一个大的方程，该方程将随制造商的变化而发生变化，有时甚至还与材料有关。但是，现在你至少应该能够对用于计算电阻的方程的各种变化进行解释了。

请记住，制造商可以很好地控制中部区域(体区)的材料，但对外部的区域，如头区或接触区的控制却不太理想。

因此，如果电路设计师不了解有关电阻制造的问题，他可能会提

出“我需要一个 2 微米宽，100 欧姆大小的电阻”。而版图设计师计算的结果发现体区长度或许只有 0.1 微米，这是不可能实现的。即使能够实现，这样多的实际尺寸变化也将使电阻值失控，它可能会是两倍或更多。

因为某些德耳塔项可能会比较大，如 0.1 微米，因此应保持最小体区长度为 10 微米，这将使你的误差下降到百分之一。如果需要一个相当精确的电阻，则要确保体区长度为 10 微米或更长，以使德耳塔项的影响最小化。

■ 经验法则：确保体区长度至少达到 10 微米，宽度 5 微米。

同样地，电阻器的最小宽度应为 5 微米，这有助于确保得到更好的精度和适当的匹配。如果需要非常高精度的电阻，应使它们更宽更长，而德耳塔项不变将使误差的影响按比例变小。

4.8　特殊要求的电阻

4.8.1　大电阻-低精度

现在，有一些需要大阻值电阻的情况，例如，你需要一些大电阻保护电路。如果电阻是 5kΩ、10kΩ 或更大，只要是大电阻，设计师可以不必太注意。

如果在你的版图设计中正使用了高电阻率的材料，那你很幸运。但是，通常情况下，在 CMOS 工艺中只有一些低电阻率材料，因此，如果电路设计师要求在电路中做一个 10kΩ 的电阻，你可以问他：这个电阻的作用是什么？为什么要这么大？你需要仔细地了解设计这个电阻器的目的。

如果电路设计师说他对精度要求不高，比如 15%左右，那么可以选择已存在的材料，在电阻器的中部采用工艺所允许的最小宽度，如图 4-31 所示。

设计规则的制定者为你制定了最小的实际宽度。例如，他们可能会说“对于这一材料层，最小的宽度是 1μm”，这样，你就可以采用 1μm 宽度的设计。

通常，体区材料的最小宽度比接触区材料的最小宽度小，因此，

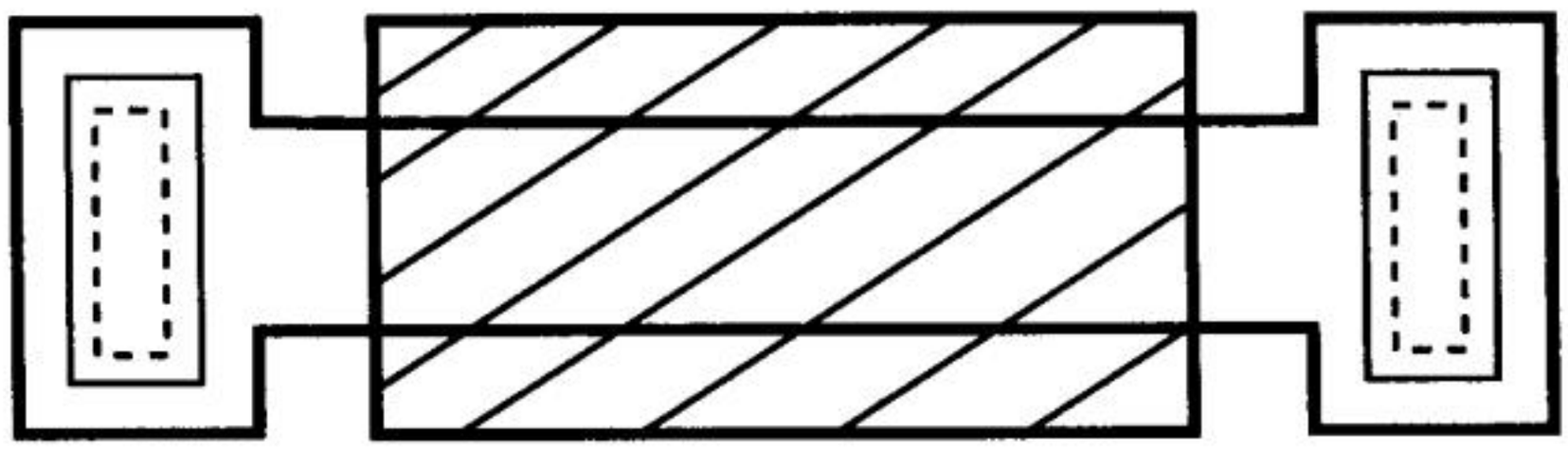


图 4-31 高阻值电阻的狗骨结构。

最小宽度的电阻可以具有大于体区宽度的接触区。这种尺寸上的差异使得电阻具有了一种非常特殊的外形，它像一个狗骨，人们也是这样称呼它：**狗骨**。如果，你对于阻值波动的细节控制没有要求，则可以采用折弯结构，如果需要考虑占用空间的大小，这样的结构特别有用。

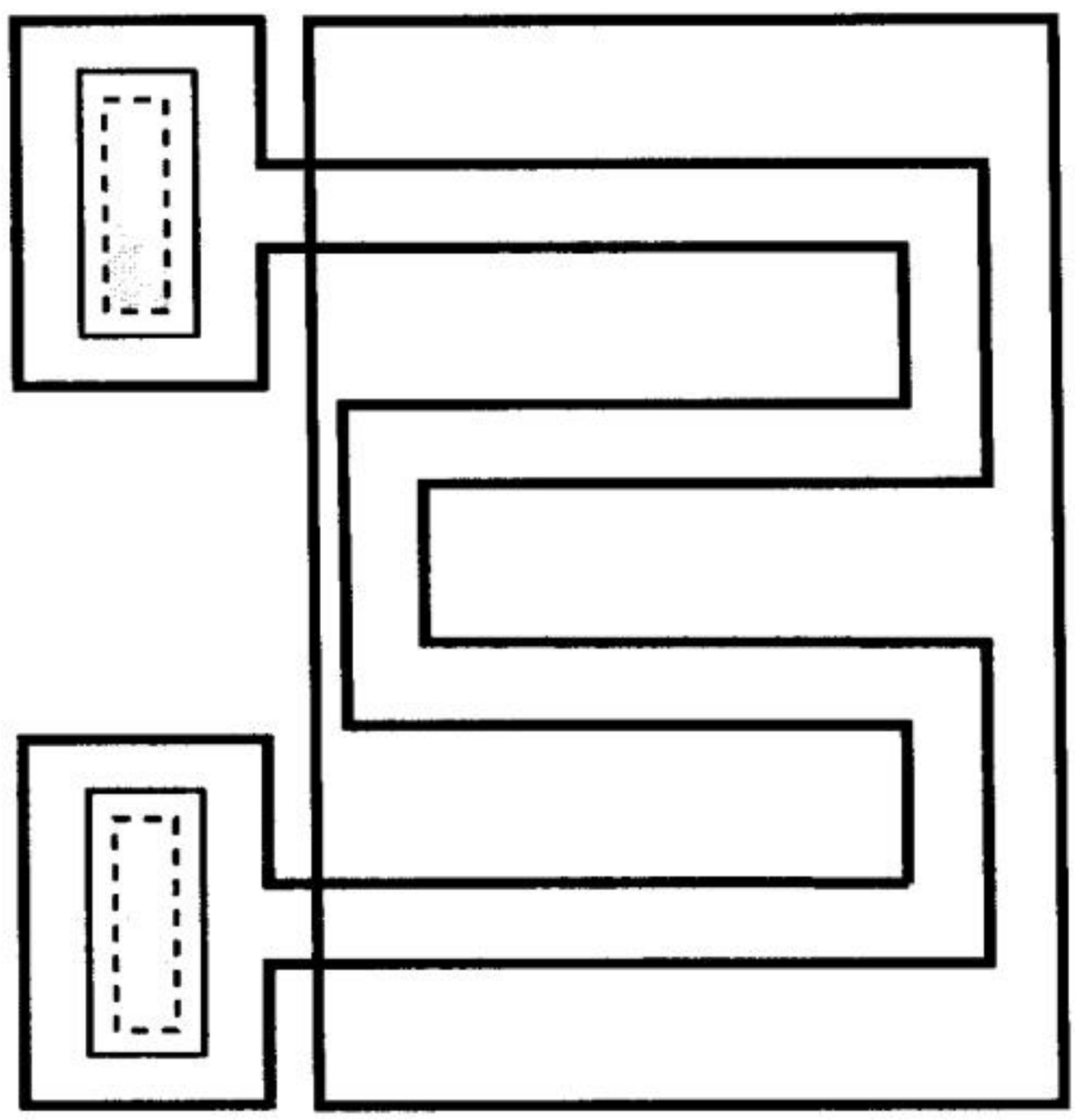


图 4-32 折弯型电阻。

按照该结构的外形命名，它被称为**折弯型电阻器**。

到此，你对所需的接触区、头区和扩展区已有所了解，现在的问题是“如何计算方块数来确定体电阻呢？”

图 4.33 中的计算尽管不准确，但毕竟计算了方块数。

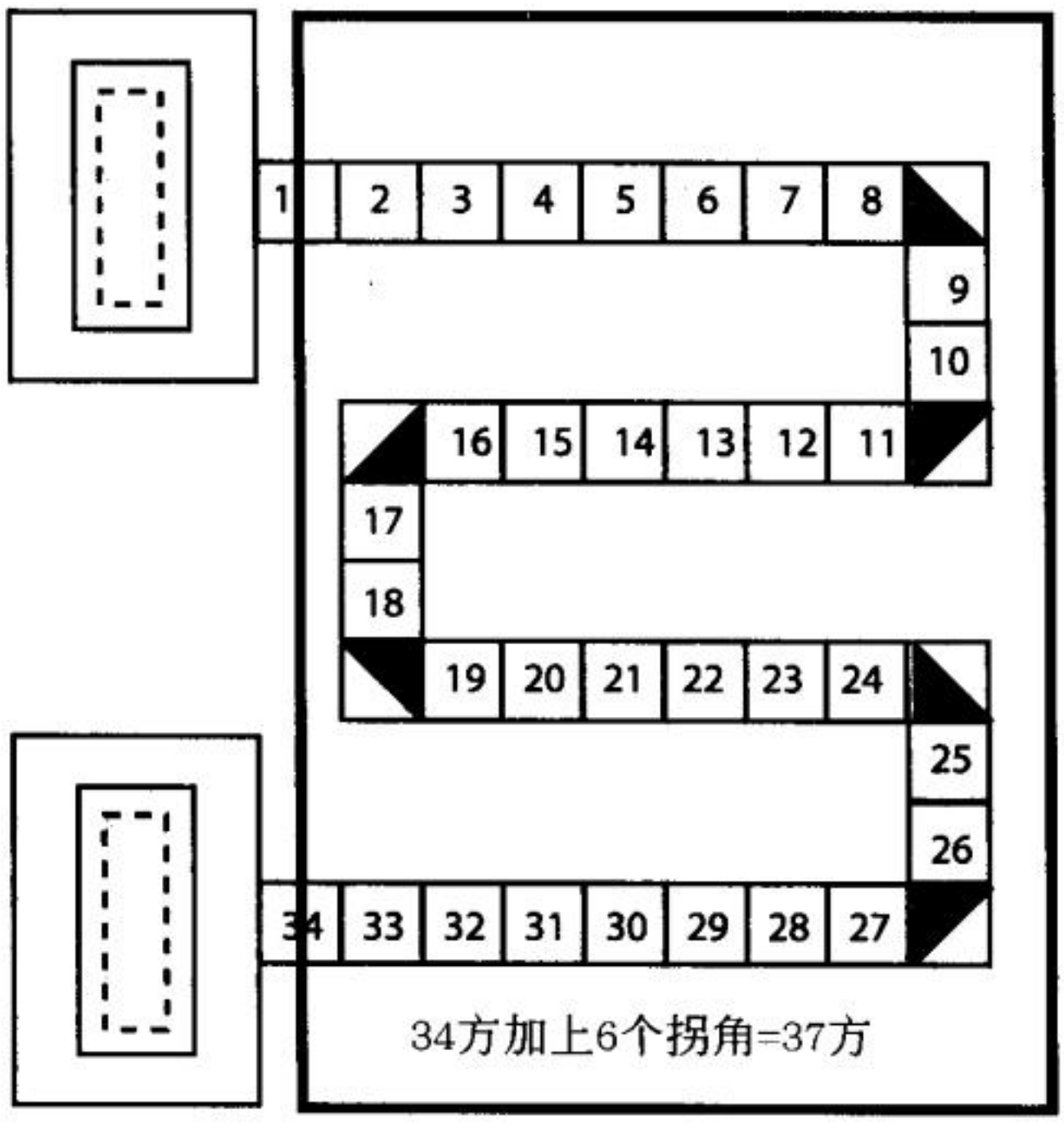


图 4-33　怎样计算折弯结构的方块数。

方块数是你的朋友。

方块数计算不准确的原因是每个拐角的外角没有被完全利用。

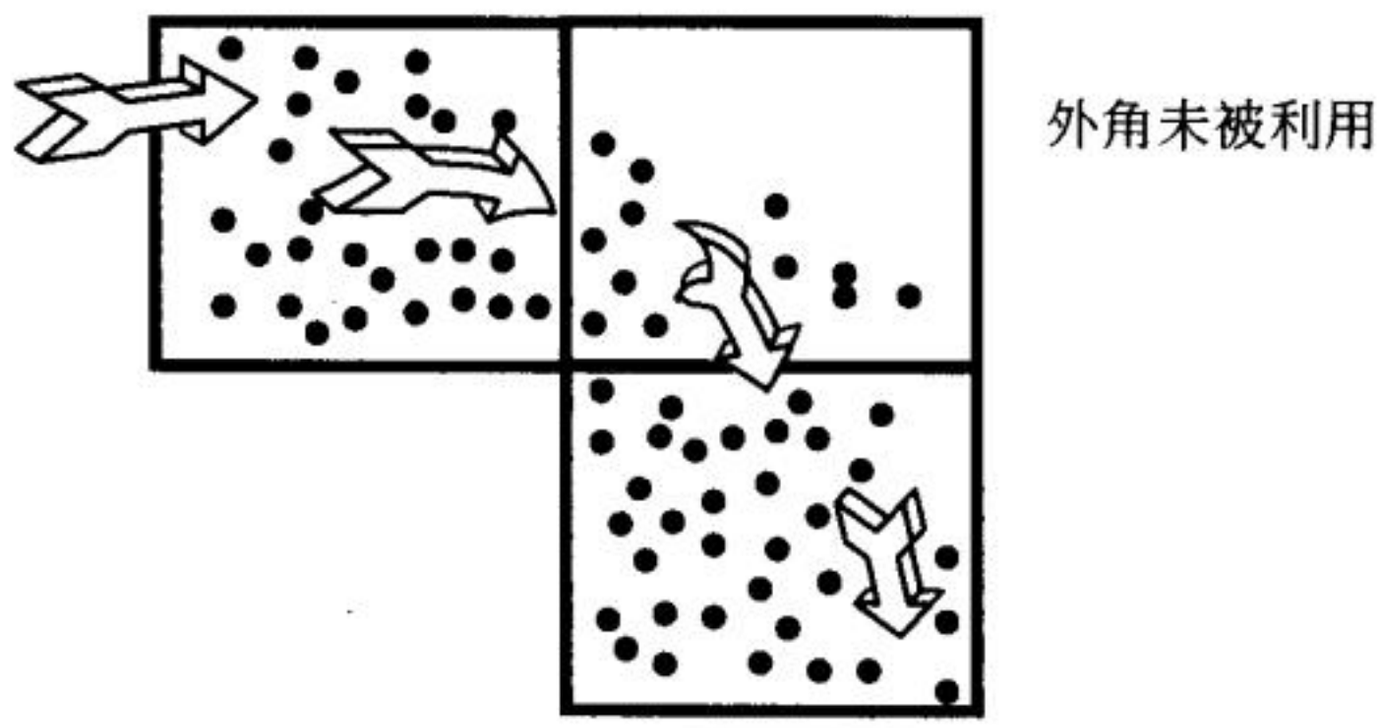


图 4-34　在拐角处，电子不是通过整个方块流动。

■ 经验法则：直线区按方块数计算，而每个拐角仅按半方计算。

如果仅从数学角度上说，拐角处实际上是多于半方，但采用半方也是相当合理的。如果你阅读列在参考书目中的书，你就能从数学上

验证实际工作过程。

对折弯型电阻的讨论就这么多了。到现在你能够选择的电阻形式有了这样多的变化，一般来说，2kΩ 电阻比较容易设计。

4.8.2 小电阻-高精度

如果你需要一个阻值非常小而精度很高的电阻就可以利用大块的金属。金属将满足低电阻的要求，大尺寸则将使德耳塔项的影响最小化，有助于精度提高。

4.9 设计的重要依据——电流密度

电路设计师有时可能会对你说："我需要 1 个 200 欧姆的电阻，其中流过的电流为 10 毫安，薄层电阻率是每方 200 欧姆"。怎样做这个电阻呢？

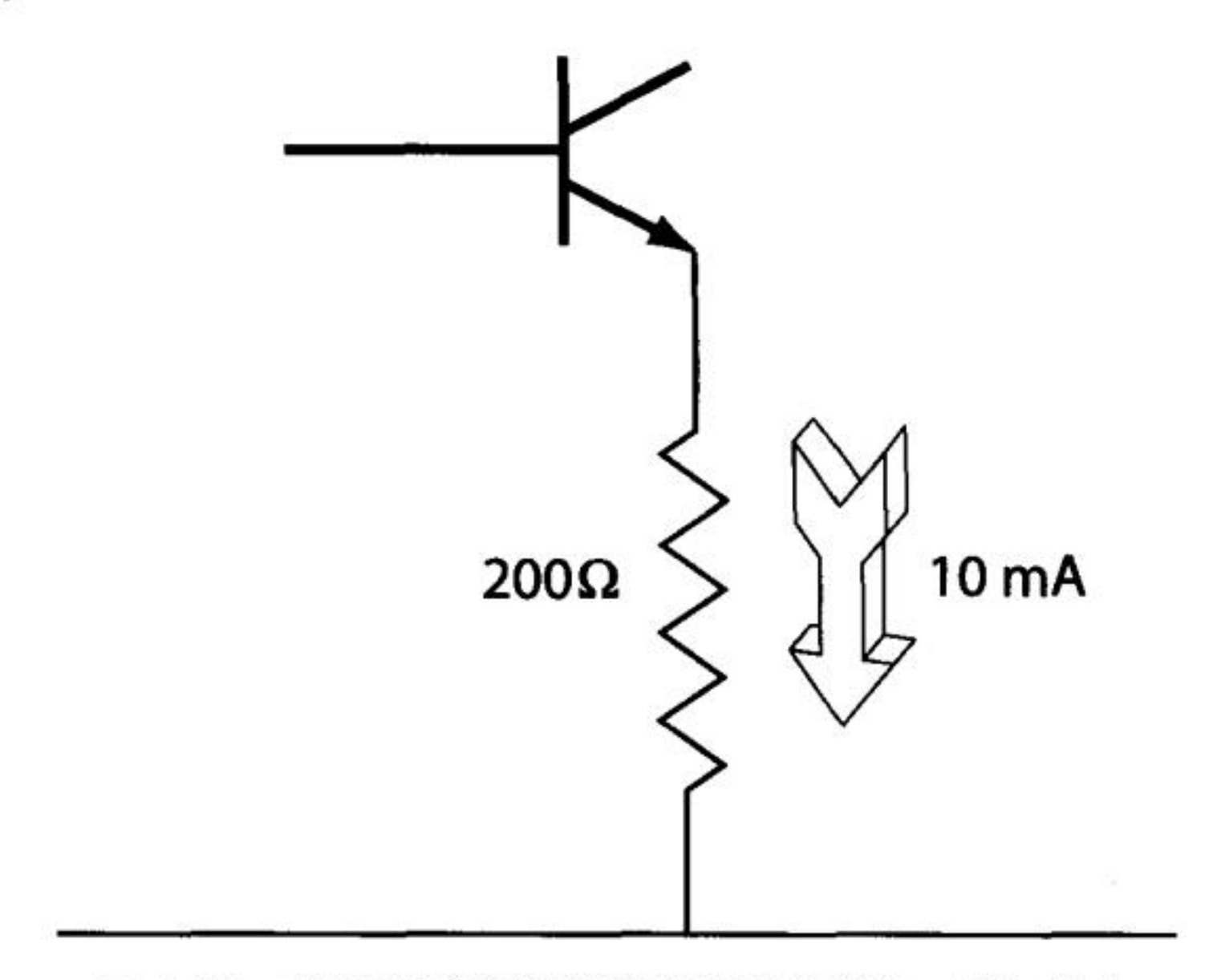


图 4-35 有时你不能得到所需的所有信息。例如这个电阻的宽度是多少呢？

做一些简单的考虑就可以得到答案。根据材料的每方欧姆值，可以给你一个需要多少方的概念。在这个例子中，需要的是 1 方的电阻。

为了得到更高的精度，在前面的经验法则中曾说过，电阻的长度不能短于 10 微米。在这个例子中，电阻应该是 10 微米长×10 微米宽

(正方形),而每方是 200 欧姆。

在给这个 10×10 电阻布图以前,你可能为能计算出尺寸而高兴,但现在我们要对你的设计进行考察。为什么要考察呢?举例而言,你不会使用电铃线去给你的房子布电线,对不对?你不会采用细线去挂起你的洗衣机和干燥器。如果需要大量的电流,你会使用一个大的、粗的线。那么,10 微米的线宽能够经受 10 毫安电流吗?

打开工艺手册,阅读关于某些特定材料电流密度的小节。制造商的这些数据是根据薄层厚度来确定的,如果能得到真正厚的材料,你就能通过更多的电流。(这不同于工艺手册中的薄层电阻率数值。)

电流密度是什么呢?电流密度是材料中能够可靠流过的电流量,这里的关键是"可靠"。例如,当你真的采用细的电铃线去连接家用干衣机的时候,电线很快就过热了,这将熔化绝缘层,引起火灾,你可能不得不将你的妻子送到岳母家以便再建住房,或者你在妻子建房时露营到湖上。即使如此,这可能也是你用电铃线连接干衣机所得到的较好的结果了。

粗的线能够承受干衣机的电流而不过热,它可以沿用更长的时间,或许是许多年。因此,我们说,任何线都**能**工作,但能够维持多长时间呢?连接干衣机的线越细,寿命越短。这就是我们追求可靠的原因。

同样的,窄的电阻能够流过各种大小的电流,但问题是能持续多长时间呢?因此,我们必须选择一个宽度,这个宽度对于流过它的电流是合适的。

在集成电路中电阻的电流密度通常是比较保守的,可靠性系数达到数万小时。你可以使电阻超过它的容限电流工作,但这将减少芯片的可靠性,缩短了产品的寿命。由于同样的原因,各种这样的产品都会因此缩短工作时限,公司的形象被损毁,他们的产品不可靠。有了好的版图设计工程师,他们知道怎样去核对电流密度,这些问题都是可以避免的。

有时,在工艺手册中会告之**熔断电流**大小,就是在一定的时间内毁坏电阻所需的电流大小。这可能是我的希望,它可能是零乱的。

工艺中任何能够被用于传导电流的材料都有一个对应的电流密度。如果有某一材料,你希望用它传导电流,但不知道它的电流密度,

则**不要使用它**。因为你不能设想它应该是多宽才是可靠的。

如果电路设计师坚持要采用这种不能确定的材料层，只好将他带到工艺监督那儿请求帮助与指导。

典型的电流密度大约是每微米宽度 0.5 毫安。和宽度有关是因为设计得越宽，能够通过的电流越多(平行的材料越多)。

■ 经验法则：每微米宽度 0.5 毫安。

一旦我们确定每微米宽度的毫安值，我们就可以用宽度乘这个值，其结果就是电阻能够可靠流过的毫安值。

$$I_{max} = D \cdot W \qquad (\text{mA})$$

I_{max} = 最大允许可靠流过的电流(mA)

D = 材料的电流密度(mA/μm)

W = 材料的宽度(μm)

在上面的例子中，我们 10 微米宽的电阻显然只能可靠承受 5mA 电流(0.5mA×10)，是存在问题的。

这时，你可以对电路设计师说：现在的设计超过了电流密度容限的两倍，我需要将宽度至少增加到 20 微米，这才能提供 10mA 电流。

电路设计师一般会赞同这样的修改。最后的宽度被设计成了 20 微米。

对于选择电阻的宽度，电流密度是重要的。

对于传导大量电流的电路，如果电路设计师预先知道了电阻的电流密度，他就会选择相应的电阻尺寸。当面对一个大电流电路时，作为版图设计师，我总是要反复地检查，我问自己：这段线或电阻是否足以承受这种电流要求。

有时，电路设计师自认为他的宽度选择够了并将检查工作留给了版图设计师，我们则经常能够发现他们的错误，有些电路设计师甚至还没有认识到这些，他们只会提交设计，并说："5 微米够了。"

有时你会遇上好的电路设计师，他们将导线中需要流过的电流标注在原理图上。但是，我仍做重复的检查并自问："这个电流从哪儿来，又到哪儿去呢？"这就是版图设计师为什么需要了解电压和电流的原因。这些是相当简单地计算：电流密度乘以电阻宽度。但通过检查可能拯救了整个的设计。

记住，对每个设计都去检查电流密度。统统检查！

“但是，有时有的芯片包含了数以千计的电阻，这可能会花费你很多的时间”——Judy

不可能对整个芯片的每一部分都进行检查，但你可以分块，例如，一块只有几百个电阻。首要的问题是询问电路设计师：“在这个单元中流过的电流有多大呢？”

如果他说：“10 毫安”，那可以接着问流过哪里。

“通过这个晶体管。”

“仅仅流过这儿吗？”

“不，还有这儿和那儿。”

“其他如何呢？”

“那儿仅有几百微安。”

“这里不必担心”。这儿是唯一的大电流通路，对大电流通路需要特别的处理。

这些就是需要额外计算的部分。

试试看

1. 某电阻需要通过 100 微安电流，该电阻宽 3 微米，如果它的电流密度值为 0.2 毫安/微米，该电阻能可靠工作吗？
2. 某工艺制作的电阻的电流密度值是 0.25mA/μm，下列宽度能承受的最大电流是多少：

电流密度	宽度	电流
0.25	2	
0.25	3	
0.25	5	
0.25	10	
0.25	20	
0.25	60	

3. 假设需要一个能承受 12 毫安电流的电阻。其大小为 50 欧姆，并且要求其对工艺变化不敏感。有三个选择：

多晶硅：电流密度为 0.27mA/μm，薄层电阻率为 225；

N 阱：电流密度为 0.72mA/μm，薄层电阻率为 870；

扩散电阻：电流密度为 0.93mA/μm，薄层电阻率为 1290。

哪个能满足我们的要求呢？

答案

1. 0.2×3=0.6mA，可靠工作的最大允许电流是 600 微安，我们的计划电流是 100 微安，因此，该电阻器能可靠工作。
2.

电流密度	宽度	电　　流
0.25	2	0.25×2=0.5mA
0.25	3	0.25×3=0.75mA
0.25	5	0.25×5=1.25mA
0.25	10	0.25×10=2.5mA
0.25	20	0.25×20=5mA
0.25	60	0.25×60=15mA

3. 可以看到各种材料为我们提供了适当的薄层电阻率，但是，在决定哪种材料最好时，还应该看看各个电阻的长度与宽度。

   我们根据下式决定电阻的宽度：

$$I = D \cdot W \qquad (\mathrm{A})$$

   而长度则由

$$R = \frac{L}{W} \cdot \rho \qquad (\Omega)$$

   决定。

电阻类型	宽　　度	长　　度
多晶硅	$\frac{12}{0.27}=44.44$	$50=\frac{L}{44.44}\cdot 225,\ L=9.87$
N 阱	$\frac{12}{0.72}=16.66$	$50=\frac{L}{16.66}\cdot 870,\ L=0.95$
扩散电阻	$\frac{12}{0.93}=12.90$	$50=\frac{L}{12.90}\cdot 1290,\ L=0.5$

   目前的多晶硅宽度尺寸约 45 微米，大于最小的扩散电阻区的 13 微米，虽然其他的电阻比多晶硅有更好的电流密度，宽度较小，但出于对长度尺寸的考虑，实际上它们是不合适的。

4.10 版图误差分析

体区、头区和接触区是电阻器的三个部分，我们已经介绍了这些部分的实际尺寸对电阻值的影响，通过预设计去减小这些误差的影响将提高版图设计的效率。

4.10.1 电阻器误差的来源

影响电阻器误差的因素有哪些呢？

- 长度和宽度的变化（德耳塔项）
- 薄层电阻率（ρ）的变化
- 各层之间的对准（例如，接触孔偏移或过腐蚀）
- 薄层厚度的变化

4.10.2 误差要求

加工与刻蚀会引起尺寸的不确定，你可能图上画的是 5 微米，而硅加工后得到的是 4.5 微米。尺寸是上下波动的，但有一个平均的公差，图形尺寸或许是 4.5，或许是 5.2。在实际制造器件过程中会出现这种误差。

你必须咨询电路设计师，我们能接受的阻值变化量是多大，你是否能接受两个彼此相邻的电阻存在 20%的误差。或许，你要求一个放大器的增益是 10，并且增益是由电阻值决定，这样，为了保证增益的准确就要求电阻器必须是精确的。

在类似的情况下，如果你要求精度，就必须使电阻非常宽或非常长。为了使工艺的误差在大部分情况下不影响你的设计应提高选择参数的裕度。如果处理得当，变化的仅是工艺参数，而版图的设计使其可以容忍尺寸误差。

试试看

1. 在长度为 40 微米时存在 0.1 微米的 δ，δ 和总长度的百分比是多少？
2. 在长度为 2 微米时存在 0.1 微米的 δ，δ 和总长度的百分比是多少？
3. 比较问题 1、2 的答案，为了减小工艺误差的影响，应该将电阻尺寸取的小一些呢还是大一些呢？观察结果。

答案

1. 0.1/40.1=0.25%
2. 0.1/2.1= 4.76%
3. 40 微米长的电阻器有较小的误差百分比，因此，相对而言，大尺寸的器件，工艺误差的影响较小，较长的长度具有更好的误差容忍能力。

经验法则：对高精度要求，将电阻做宽，做长，或既宽又长。（经验法则给出的是至少 10 微米长，5 微米宽）。

因此，一旦做到了可以忽略工艺引起的尺寸误差，则唯一仍需考虑的是薄层电阻率的变化。你可以控制长度和宽度以确保加工引起的变化不对设计产生严重影响，但基本的薄层电阻率仍可能有±10%的变化。如果你能了解这些，你就知道你所设计的电阻考虑到光刻和加工的误差将会产生组合误差，大约 15%～20%。

必须保证你设计的电路已经考虑了这些误差，这里的意思是设计必须留有余量，你必须考虑当电阻出现最坏情况时，仍能得到你所需要的性能。

我最后要说的是可以采用反馈回路补偿工艺的偏差。如果电阻误差达到 25%，电路设计者必须改变设计，考虑补偿，这包括一组匹配和补偿器件，通过它们反向补偿电阻变化带来增益变化。即，将自补偿电路加入设计。

4.11 基本材料的复用

回过头去我们再看看 FET（场效应晶体管）理论，在中心的栅会对其下的耗尽区进行调节，但如果我们将 NMOS 晶体管的栅去掉，那么，留下来的将会是什么呢？

正如我们看见的，留下的是一个 N 型电阻，从一个晶体管我们得到了一个电阻。

显然，在标准 CMOS 工艺中的每一种材料或大或小都有一定的电阻，都可以利用其作为电阻，但实际上最容易制作的电阻还是多晶硅电阻。

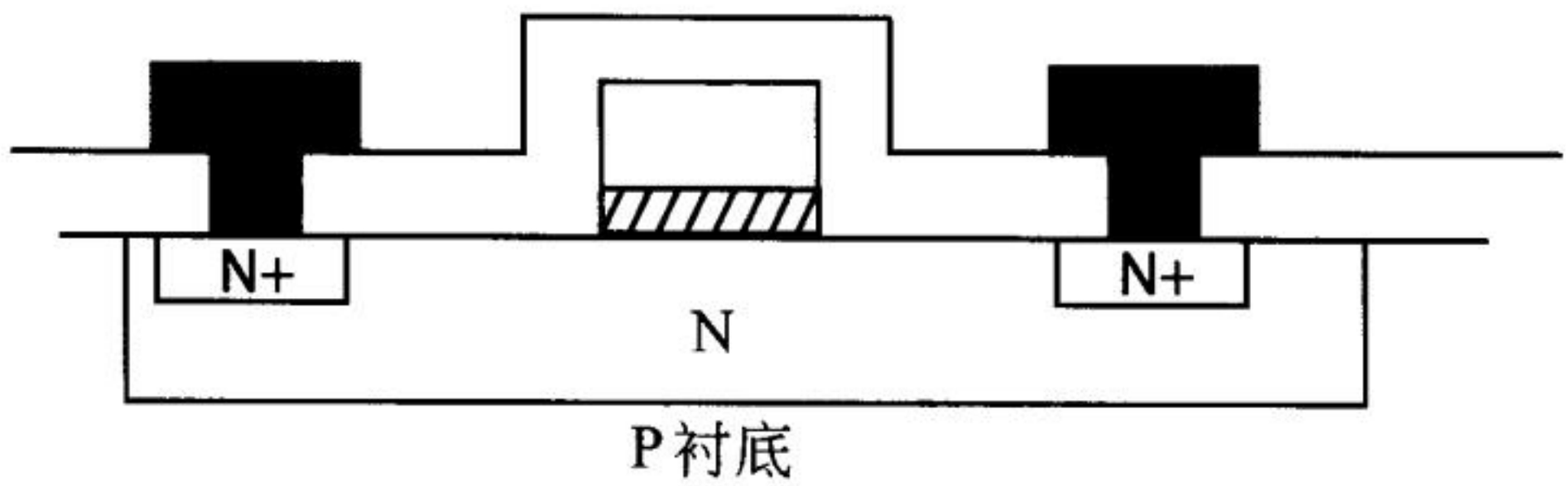


图 4-36　FET(场效应晶体管)。

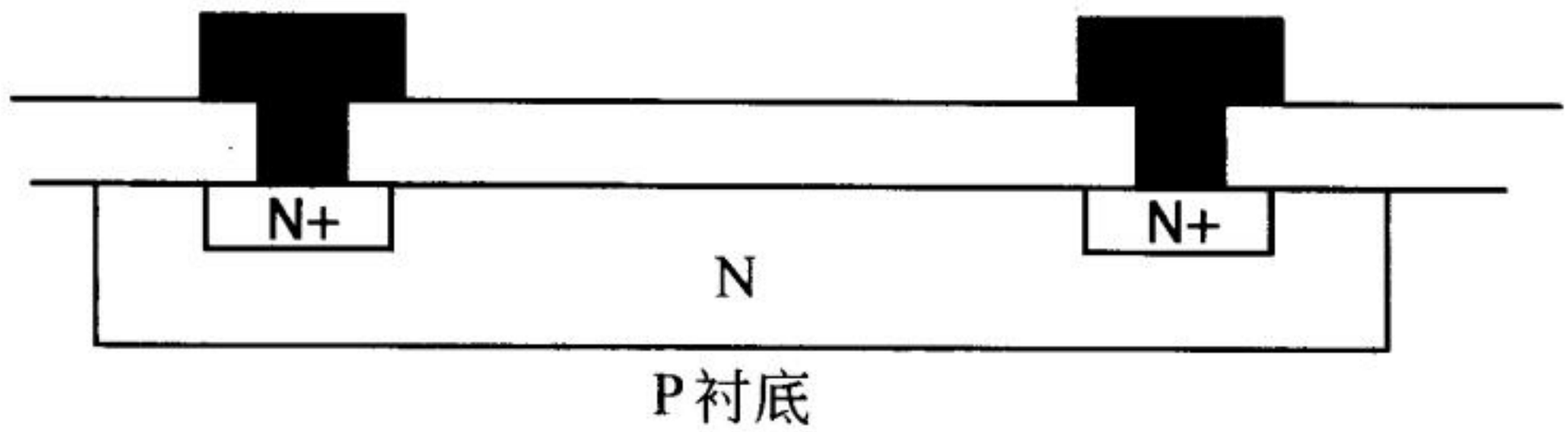


图 4-37　N 型电阻。

如果需要，可以采用相同类型的工艺方法跨越整个区域制作 N+，在这种情况下，你甚至不需要常规的 N 区，就是 N+电阻。N+有它自己的方块电阻值。

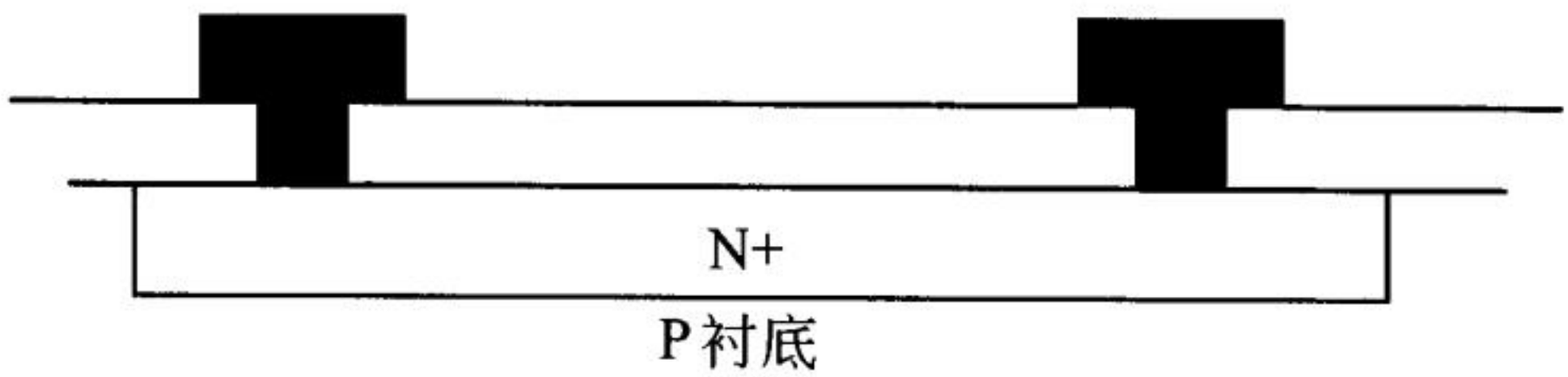


图 4-38　N+电阻。

采用已被用于制造器件的基本材料，不需要设计额外的掩模和额外的材料层，我们就能够开发各种电阻。不需要额外的工艺步骤我们就可以在制造同一芯片上的晶体管时构造电阻，我们可以免费的构造它们。

你也可以用 P-FET 做相同的工作，因为芯片上可能有你构造的 P-FET。因此，你可以采用相同的工艺，在你需要之处构造电阻，免费的电阻。

因为衬底是 P 型材料，所以必须在 N 型材料上构造 PMOS 管，需要采用 N 型材料做 P 区和衬底之间的隔离物。

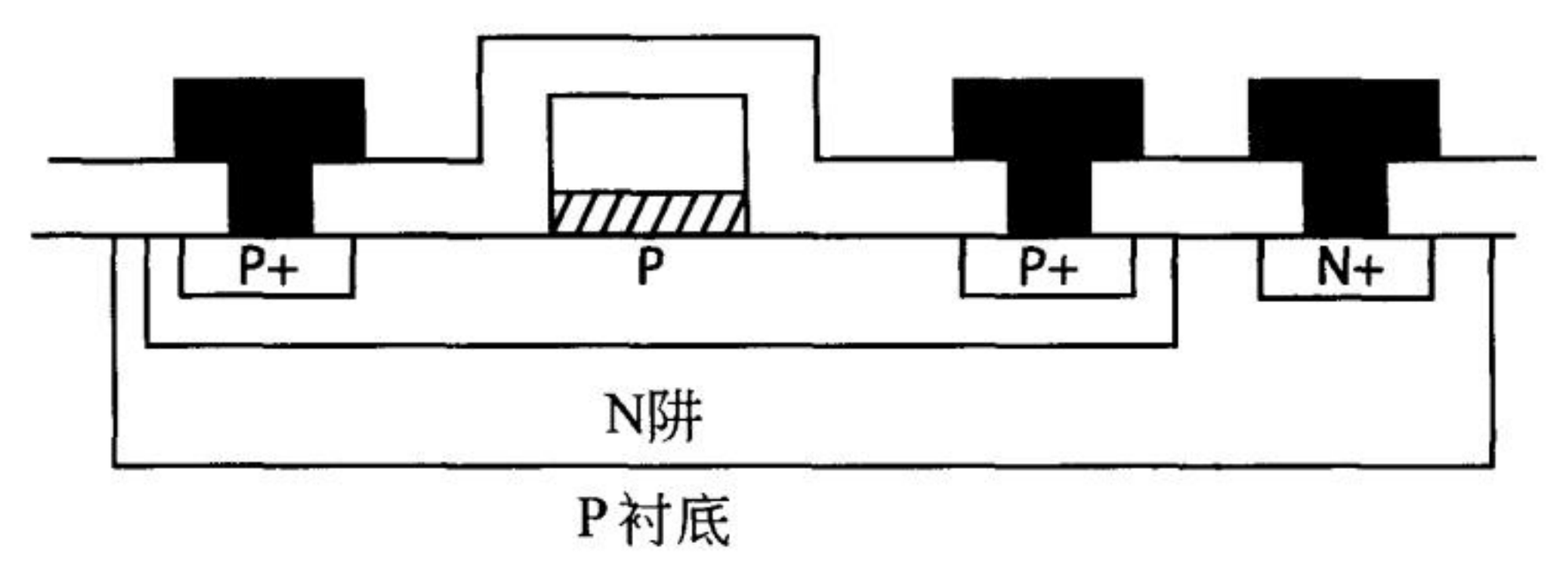


图 4-39 P-FET 也能提供免费的电阻材料。

现在去掉栅。

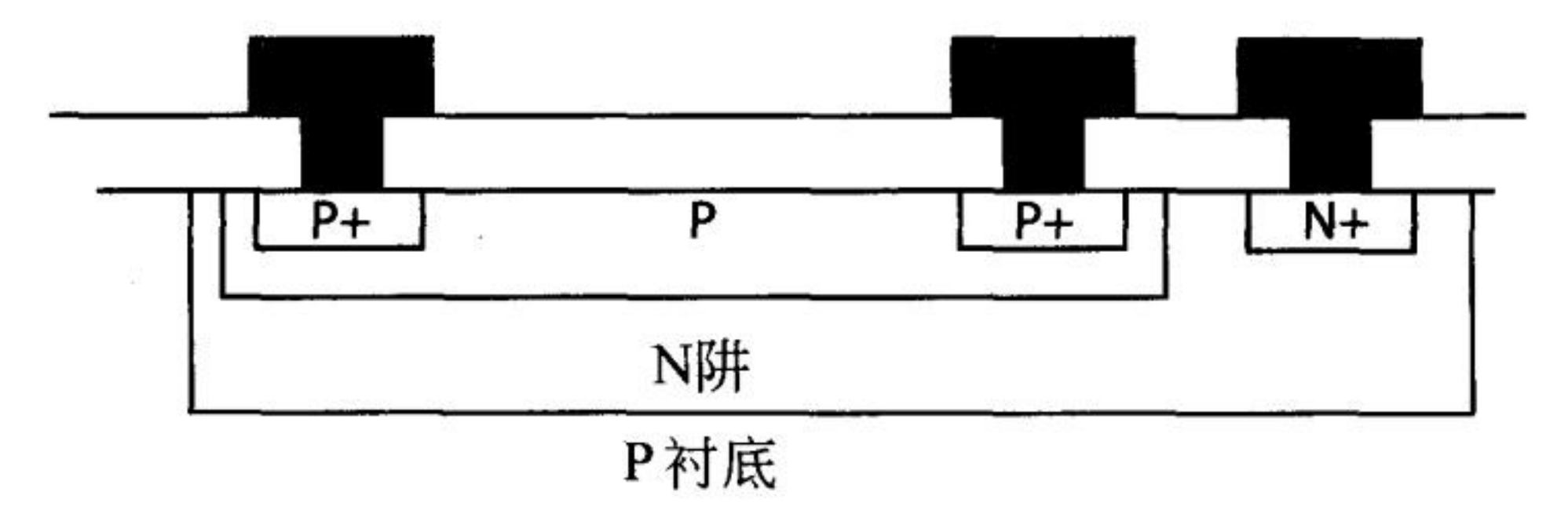


图 4-40 去掉栅的 P-FET 变成另一种类型的电阻。

因为 P 型电阻是在 N 阱中，这就存在了第三个电极，这是该种扩散电阻的特殊问题之一（它们被称为扩散电阻是因为它们是在衬底上做扩散区而制备的）。必须确保 N 阱被连接到被称为 **VDD** 的最正电位，这是存在第三个电极的原因。正如我们在基本器件介绍中阐述的，它阻止了寄生的有源导通。

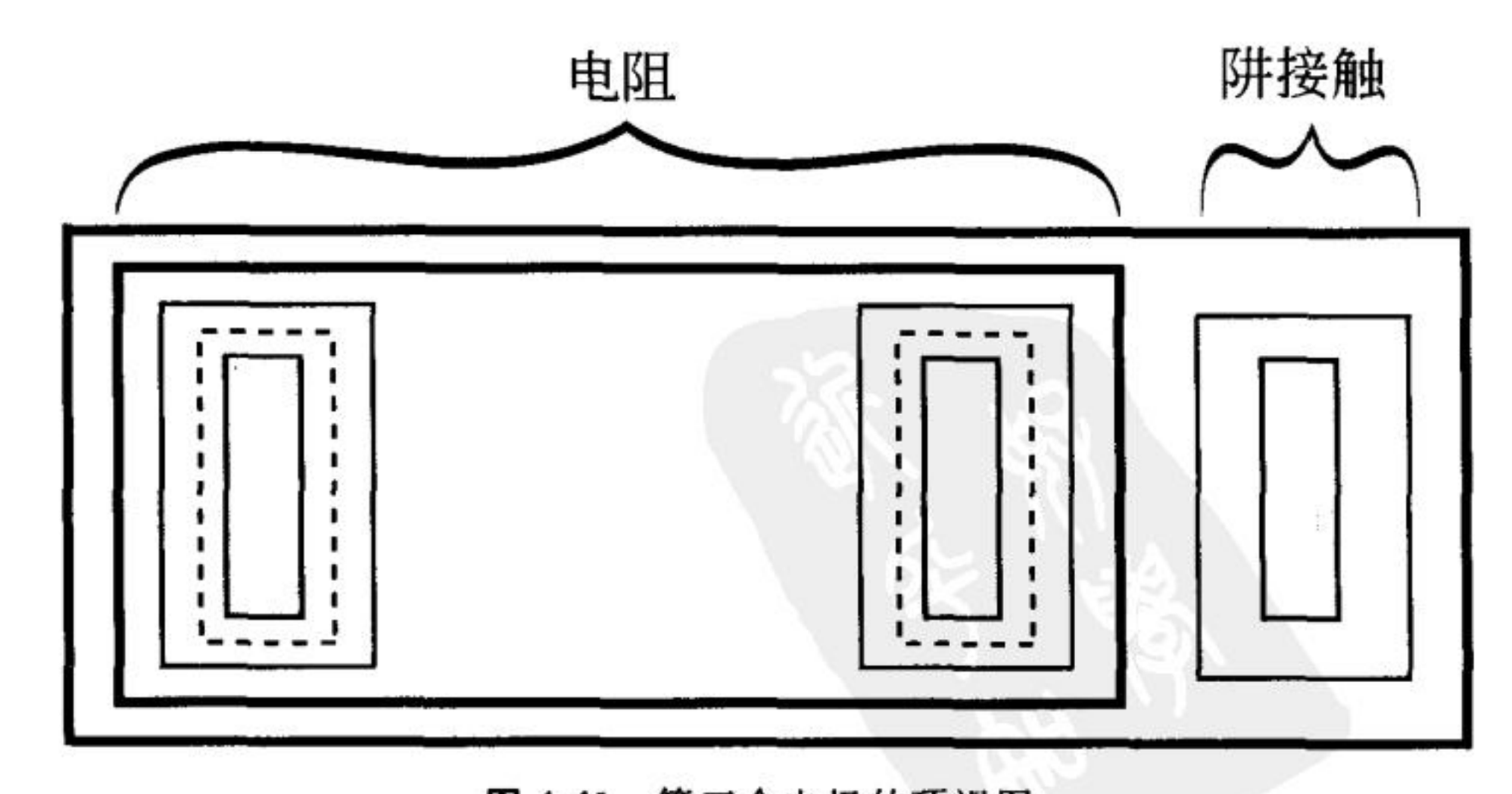


图 4-41 第三个电极的顶视图。

在这里，各种能够用于制作电阻的有：

- 去掉栅的 P 型器件。
- 去掉栅并且横着全部做成 P+，得到 P+电阻。
- 如果需要，可以去掉栅，再去掉 P 和 P+，只在 N 阱中制作 N+构成 N 阱电阻。

利用已有的可用材料构造电阻可以节省费用，减少问题和实验。有许多可以采用的方法，例如你可以采用额外的材料层，但使工艺步骤最少则效率更好。你可以问自己："哪些已存在的材料可以为我所用？"

4.12　扩散电阻和多晶硅电阻的比较

在最后一节，我们知道了如果你在芯片上建造了 P 型和 N 型晶体管，就可以将存在的部分或材料做其他的用途。但是，有时你也不得不制造额外的材料层，或许你还需要对它们进行一些调整，以获取你所需要的电阻率。

如果将扩散电阻的图形转成多晶硅电阻的图形，可以看到除了图右边的第三电极外，它们非常相象。和我们前面讨论的多晶硅电阻相比，这里的电阻是通过扩散方法制造的。

我们也可以在电阻器的中部进行类似的处理——在中部填充材料改变体区的电阻率。

可以对扩散电阻采用相同的方程、长度德耳塔项、宽度德耳塔项，等等。关于多晶硅的所有参数都可以引用到扩散电阻方程中。

下面作一个比较：

- 扩散电阻：在衬底上进行扩散制得。边界不清晰，在加工中扩散区的扩展使它们不太容易控制。
- 多晶硅电阻：栅也是由多晶硅制造的，所以多晶硅是存在的材料，多晶硅层沉积在表面，可以精确地控制厚度、长度和宽度。

对于扩散电阻器版图设计特别需要注意的是作为偏置连接的第三个电极。

为什么不总是采用多晶硅呢？如果你可以选择电阻的类型，你会选择哪一种呢？

电阻类型比较

多晶硅电阻	扩散电阻
• 低的功率耗散	• 高的功率耗散
• 寄生小	• 寄生较大
• 易于工艺控制	• 工艺控制较难
• 典型薄层电阻率小	• 薄层电阻率可大可小
• 两电极器件	• 三电极器件

4.12.1 双层多晶硅

有时，N 阱以及制造晶体管的各个扩散层仍不能满足我们对电阻的需求，一些挑剔的电路设计师会提出这样或那样的弯弯曲曲电阻要求。

因此，我们在芯片上沉积一层全新的多晶硅层，这层多晶硅是真正可控的，我们专门用它来制作电阻。这种工艺被称为**双层多晶硅工艺**——一层多晶硅做栅，一层多晶硅做电阻。计算方法相同，就像使用了不同类型的材料和数值一样。

4.12.2 Bipolar/BiCMOS

在 **BiCMOS 工艺**中，增加了额外的工艺材料层到 CMOS 工艺中，你也可以使用这些额外的材料层做电阻，在这种情况下，类似于得到了双层多晶硅的自由度。在工艺中被包括的步骤越多，你能够选择作为电阻材料的也越多，而且没有额外的开销。（参见双极晶体管）

结束语

好的电路设计师会研究他所做的整个工艺和薄层电阻率。这在开始就为版图设计者提供了正确的基础。实际上，这些我们正在学习的技术已被版图工程师们广泛地使用了。

一个好的版图工程师，应该能够捕捉任何可能出现的错误，能简化电路的设计，能够压缩芯片尺寸或增加电路可靠性。掌握这些技术将提高你的能力和价值。

本章学过的内容

在本章中，你看到了以下内容：

- 任何尺寸的正方形都具有相同电阻值的原因。
- 将每方欧姆单位用于体区和头区电阻计算公式的原因。
- 在扩展区和接触区使用欧姆-微米代入电阻公式的原因。
- 如何利用芯片上已存在的材料层以增加设计灵活性。
- 在电阻公式中如何运用长度、宽度和薄层电阻率。
- 电阻公式中的体区、头区、扩展区和接触区是如何确定和计算的。
- 如何利用德耳塔项去补偿公差以及为什么。
- 何时以及怎样利用狗骨型、折弯型或其他有创意的设计。
- 为什么将 $10\times5\mu m^2$ 作为最小的电阻尺寸。
- 怎样以及为何要检查电流密度和熔断电流以避免灾难。

……

应用练习

工艺工程师提供了一个报告，描述了对晶圆的一系列测试参数，已被加工完成的电路未达到预期的要求。

在设计工具中的电阻模型的精度值得怀疑，因为除电源电流外的电路功能和预期的不同，同样的，电路的增益也未达到技术指标。

在概述的下面，报告描述了一系列来自晶圆的测试数据。这个电路只有两个电阻版图。计算新的预测值并反馈给电路设计组以便他们采用新的电阻值进行模拟。

顺便说一句，这样的情况我也碰到过，所不同的是，不是两个电阻，而是 120 个。因此，我就为我自己写了一张新值的表格，利用这个表格我知道我需要做什么处理。

新的工艺信息可能需要 6 个月的时间才能完全纳入设计工具，但如果你下周就需要做实验将怎么办呢？如果你等不了 6 个月，那么那些可怜的人就必须完成这些计算了。

如果你从实验室得到了新的信息，但你的实验仍是基于现有工具，依赖设计工具中现有的规则，那你就会发现做出来的芯片不能正常工作。

挽起你的袖子，重新计算，修改版图，你将为公司节省几十万美元。

Techno Wizards, Inc.
12 Blastcap Avenue
Germanium Valley, Galifornia 95409
MEMO

To: Paul Eghan
From: 电路设计组
Re: 电路信息
Date: 2/白天/稍晚

	设计尺寸	测量尺寸
多晶硅	10	10.13
接触孔	8	8.21
电阻器刻蚀窗口	25	25.73

	原值	新值
体区 ρ	180Ω/□	190Ω/□
头区 ρ	2Ω/□	2.2Ω/□
接触因子(CF)	100Ωμ	120Ωμ
扩展电阻因子(R_{sp})	90	65

假设体区宽度未受刻蚀的影响是不正确的，我们发现在加工中电阻刻蚀窗口的多晶硅尺寸缩小了 0.2μm。

	L_{bd}	W_{hd}	W_{cd}	L_{hd}	设计尺寸
电阻 1	15	6	5	1	500
电阻 2	32	15	14	2	400

假设，上面的电阻尺寸是从你的版图数据库中得到的，不能完全确信它是正确的。最初的假设是工艺对尺寸控制的很好，加工得到的尺寸就是设计的尺寸。

Zoozle 制造公司原来的设计手册电阻公式是：

$$R=\frac{L_{bd}}{W_{hd}}\cdot\rho_{body}+2\left(\frac{L_{hd}}{W_{hd}}\cdot\rho_{head}+\frac{CF}{W_{cd}}+\frac{R_{sp}}{W_{hd}}\right) \quad (\Omega)$$

该公式是下列简式的展开：

$$R_{total}=R_b+2(R_h+R_c+R_s) \quad (\Omega)$$

（我不了解实际的 Zoozle 公司，如果与某些公司名字类似则完全是无意的。）

答案

下面是从报告中提取的资料：

- 在这个工艺中，体区宽度显然等于头区的宽度（方程中表示的是体区长度除以头区宽度）。
- 多晶硅体区缩小了 0.2μm（在报告的中部陈述了）。
- 多晶硅头区宽度将受 0.13μm 误差的影响。
- 方程中的变量看上去与本书中的稍有不同，这没什么，一旦你理解了数学关系，你就能够用任何你希望的方式表达。例如对某个变量，这家公司表示为 L_h，另一家公司则可以表示为 L_{hd} 或 L_{head}，或 LH，在怎样表示一个值时各公司是可以变通的，取决于其定义。
- 你有没有注意所有你需要的信息都是偏向某一边的？实际情况这是不可能的。

下面进行检查：

第 1 步：采用原来的信息计算电阻值，检查初始的设计是否正确。

电阻 1

$$R=\frac{15}{6}\cdot 185+2\left(\frac{1}{6}\cdot 2+\frac{100}{5}+\frac{90}{6}\right)=533.16\Omega$$

电阻 2

$$R=\frac{32}{15}\cdot 185+2\left(\frac{2}{15}\cdot 2+\frac{100}{14}+\frac{90}{15}\right)=421.48\Omega$$

第 1 步的结论：即使工艺未改变实际的尺寸，电阻计算的值也是不正确的，我们并未得到所期望的 500Ω 和 400Ω 的电阻。

第 2 步：对报告中有关“检查在版图数据库中上表的尺寸，不能完全确信它是正确的”做回答。

第 2 步的结论：由于这样多的不确定，需要从头开始检查每一个数字，包括在报告中观察到的数据。让我们希望在检查之后，尺寸能够正确。（参见报告，答案部分的结尾处）

第 3 步：采用新的信息计算电阻值。

电阻 1：

$$R=\frac{15+0.73}{6-0.2}\cdot 190+2\left(\frac{1-0.73-0.21}{6+0.13}\cdot 2.2+\frac{120}{5+0.21}+\frac{65}{6+0.13}\right)=582.59\Omega$$

电阻 2：

$$R=\frac{32+0.73}{15-0.2}\cdot 190+2\left(\frac{2-0.73-0.21}{15+0.13}\cdot 2.2+\frac{120}{14+0.21}+\frac{65}{15+0.13}\right)=445.94\Omega$$

第 4 步：比较原值与新计算值。

	原值	新值
电阻 1	533.16	582.59
电阻 2	421.48	445.94

电阻 1 新旧值差 49.43Ω，偏高。

电阻 2 新旧值差 24.46Ω，偏高。

第 5 步：修正。

假设所有材料层都能够被修改，我们可以修改电阻体区的长度：

电阻 1：

我们需要 500Ω，但实际得到的是 582.59Ω，根据这个信息来计算新的长度，利用误差值 82.59Ω 去查找长度方面的误差。

$$82.59=\frac{L}{5.8}\cdot 190$$

长度误差＝2.52μm

因为我们得到的电阻是偏大的，因此需要按计算缩短长度。

电阻 2：

我们需要 400Ω，但实际得到的是 445.94Ω，根据这个信息来计算新的长度。首先利用误差值去查找长度方面的误差。

$$45.94=\frac{L}{14.8}\cdot 190$$

得到长度误差＝3.58μm。

因为我们得到的电阻偏大，因此需要按计算缩短长度。

现在可以写一个报告给电路设计组。

Techno Wizards, Inc.
12 Blastcap Avenue
Germanium Valley, Galifornia 95409
MEMO
REPORT

To：电路设计组
From：Paul Eghan
Re：关于电路信息
Date：2/次日/晨

初始版图存在误差，我们希望得到 500Ω 和 400Ω，而我们计算发现电阻的值是 533 和 421Ω，此外，按照新的工艺信息计算得到的值则达到 582.59Ω 和 445.94Ω。

现要减小电阻 1 的长度 2.52μm，在更新后的版图上电阻 1 的总长度为 12.48μm。

现要减小电阻 2 的长度 3.58μm，在更新后的版图上电阻 2 的总长度为 28.42μm。

做了上述修正后应该可以解决问题。

其他考虑

如果你仅能够对电阻的体区进行改变，你当如何进行呢？这可是经常的情况。

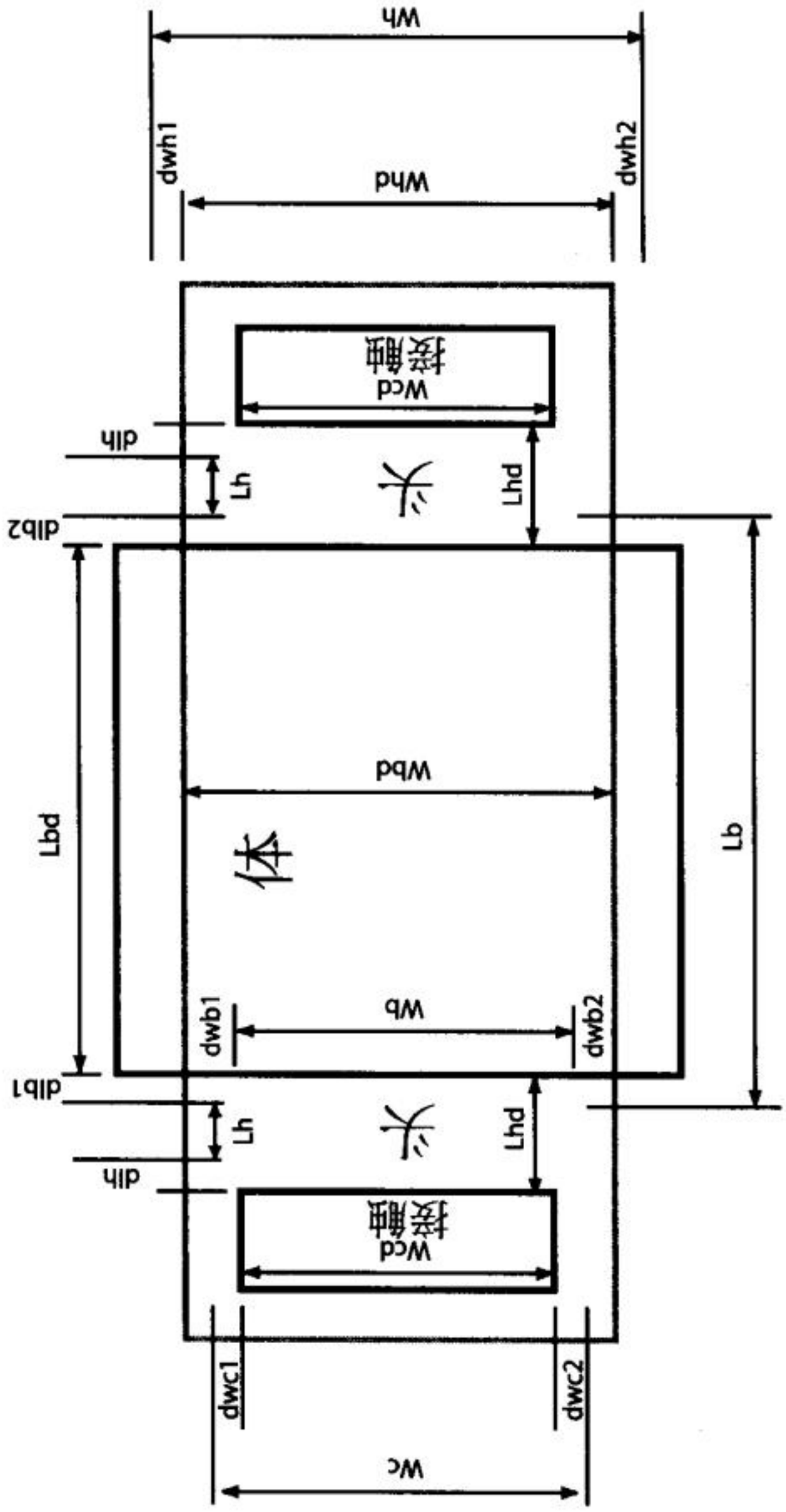
在上面的应用问题中，你调整了整个的电阻长度，你可以利用简单的方程求出新电阻的长度，改变整个的长度并不会对其他长度产生影响，因为公式中只有一个单独的变量 L。

但是，如果你仅仅能够对电阻的体区进行改变，则将引起两个区域变化：体区以及头区，这将会有两个变量，这时必须采用全电阻公式。

计算这两个变量的最快的方法是保持次要的变量为常数（头区长度），去求解主要的变量（体区长度）。然后，通过连续的逼近计算求解得到体区和头区的长度，使你得到理想的电阻值②。

② 我认为某些两变量方程的求解还是比较快的，因人而异。——Judy

电阻器的尺寸与德耳塔



Wbd=体区设计宽度
Lbd=体区设计长度
Wcd=接触区设计宽度
Lhd=头区设计长度
dwc1=dwc2=接触区宽度方向德耳塔
d1b1=d1b2=体区长度方向德耳塔

d1h=头区长度方向德耳塔
Lb=Lbd+d1b1+d1b2=体区实际长度
Wc=Wcd+dwc1+dwc2=接触区实际宽度
Lh=Lhd−d1h−d1b=头区实际长度
Wb=Wbd+dwb1+dwb2=体区实际宽度
Wh=Whd+dwh1+dwh2=头区实际宽度

第 5 章

电　　容

5.1　内容提要

在本章中，你将看到以下内容：

- 经典电容回顾
- 头发直立实验
- 电容器的 DC 特性
- 电容器的 AC 特性
- 滤波特性
- 构造片上电容器
- 确定电容值
- 边缘电容
- 寄生电容
- 叠层金属

……

5.2　引言

电容器是一种储存电荷的器件。

你可以自己做一个电容器，用两片锡箔，用一层包装食品的塑料纸将它们隔开，就这样，一个简单的电容器做好了。

我的物理老师过去做过一个恶作剧，他拿来一些大电容，等这些电容充完电之后将电池断开，而且做的很明显，老师离开教室前说："现在，任何人不准碰它们！"

当然，一些更为好奇的小家伙会说：哼，我想知道这是什么。结果，当他们拿起这些电容准备玩弄的时候，受到了电容的巨大电击，因为这些电容器已经充上了 500V 左右的电压。

那是在法律健全之前发生的事。但是它的确揭示了电容器能够存储电荷的事实，而且可以发挥很大的作用。

老师回到教室，只要看到谁的头发是笔直的，那么这个人就肯定碰了电容器。

自己千万不要尝试，这是非常危险的。

5.3 电容概述

电容器是一种能够储存一定量**电荷**，即一定数目电子的器件。电容器储存电荷的能力称为**电容**，电容的度量单位是**法拉**。电容器可以由两块导电平板构成，两块导电平板被称之为**电介质**的绝缘材料隔开，电荷就存储在这个电介质中。

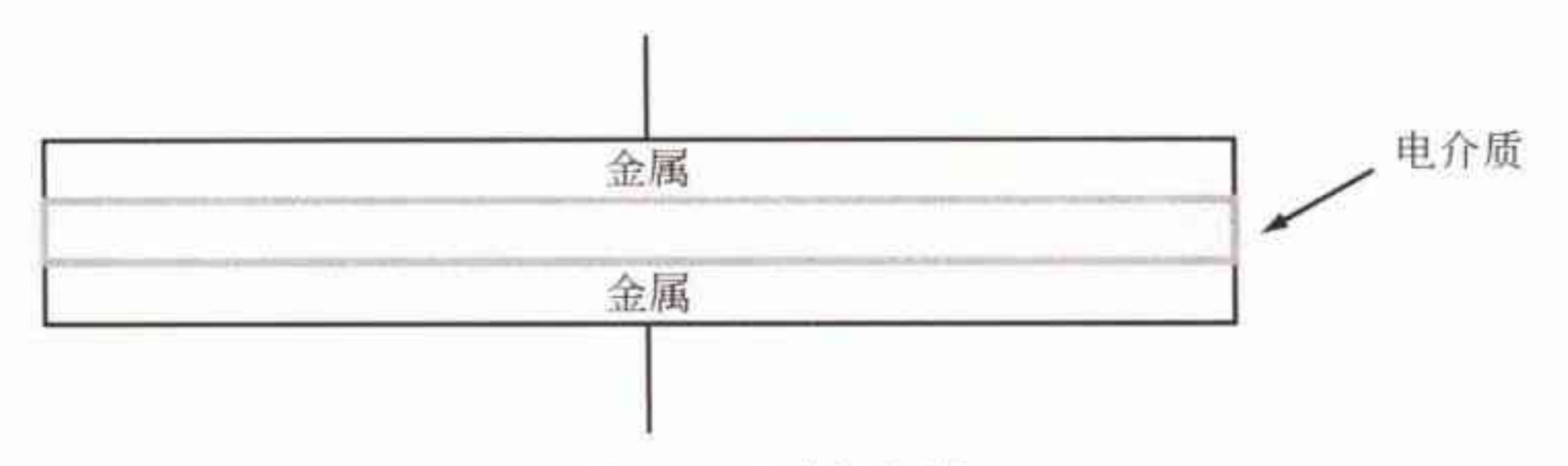


图 5-1 经典电容器。

电容器的容值由绝缘体的厚度、介电常数以及两块平板相互覆盖部分的面积决定，其中介电常数是衡量绝缘体质量的常数。

在集成电路中存在电容器是常见的情况，任何时刻，只要有一块导电材料跨过另一块导电材料就会形成一个电容器。即使有时我们不想它出现，但它就偏偏存在。在本章中可以看到如何制备有用且可控的电容器。

5.3.1 电容器的特性

把电容器与电池相连，可以看到当给电容器充电时，电容器两端的电压会上升。如果充电时间足够长，电容两端的电压最终会与电池的电压相等。电容器达到满电荷所需的时间与电路中串联电阻的大小有关，当将电容器与电池直接相连接时，电路中的串联电阻仅是电池的内阻。

当断开电路或者移走电池，可以看到电容器两端的电压仍保持不变。

电容器的符号看上去就像一个实际的电容器，用两条平行线来表示两块平行的极板。

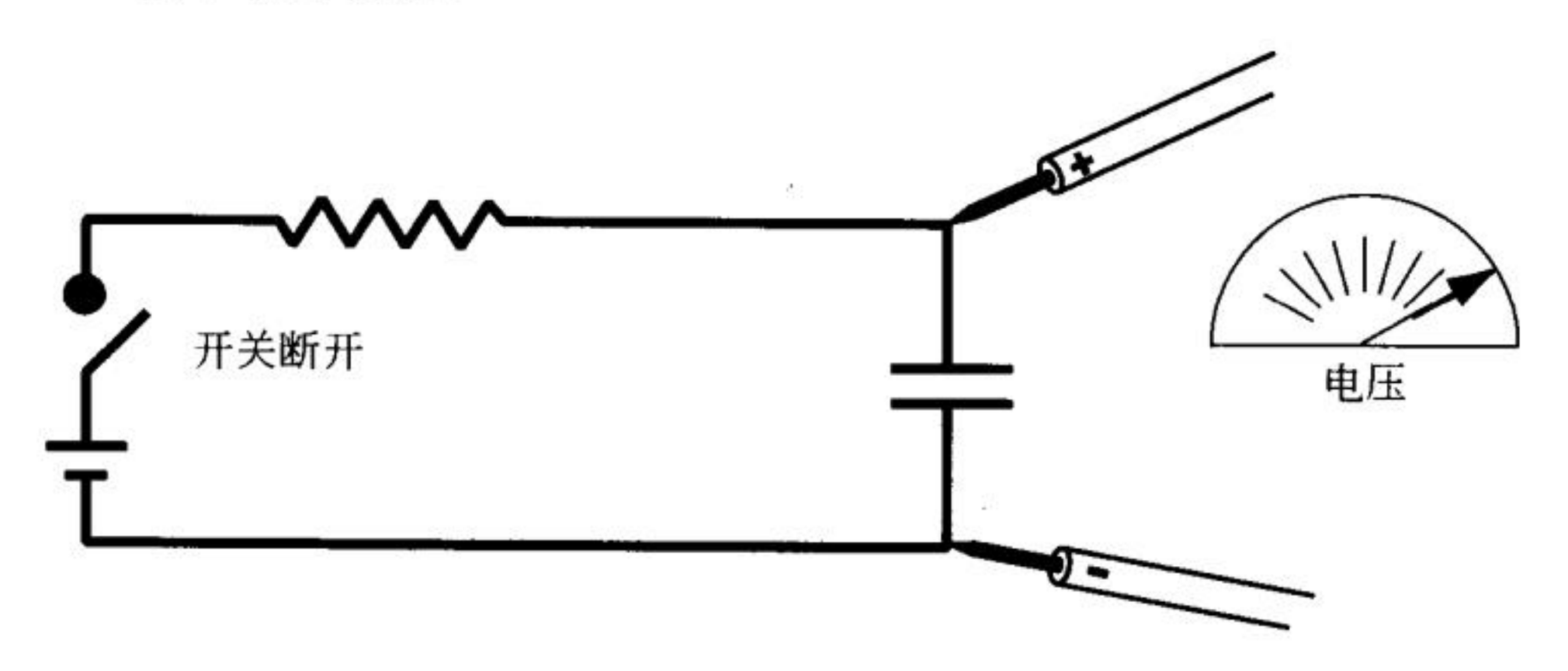


图 5-2　即使将电源从电路中移走，电容器仍能保持原来的电荷。电容器的符号在电路的右端可以看到，它位于仪表的两根探针之间。

如果用示波器来测量电容器两端之间的电压，你可以观察到电压不断增加。示波器上显示的轨迹线一直上升，直至逼近电源电压，然后轨迹线保持在这个最高值。

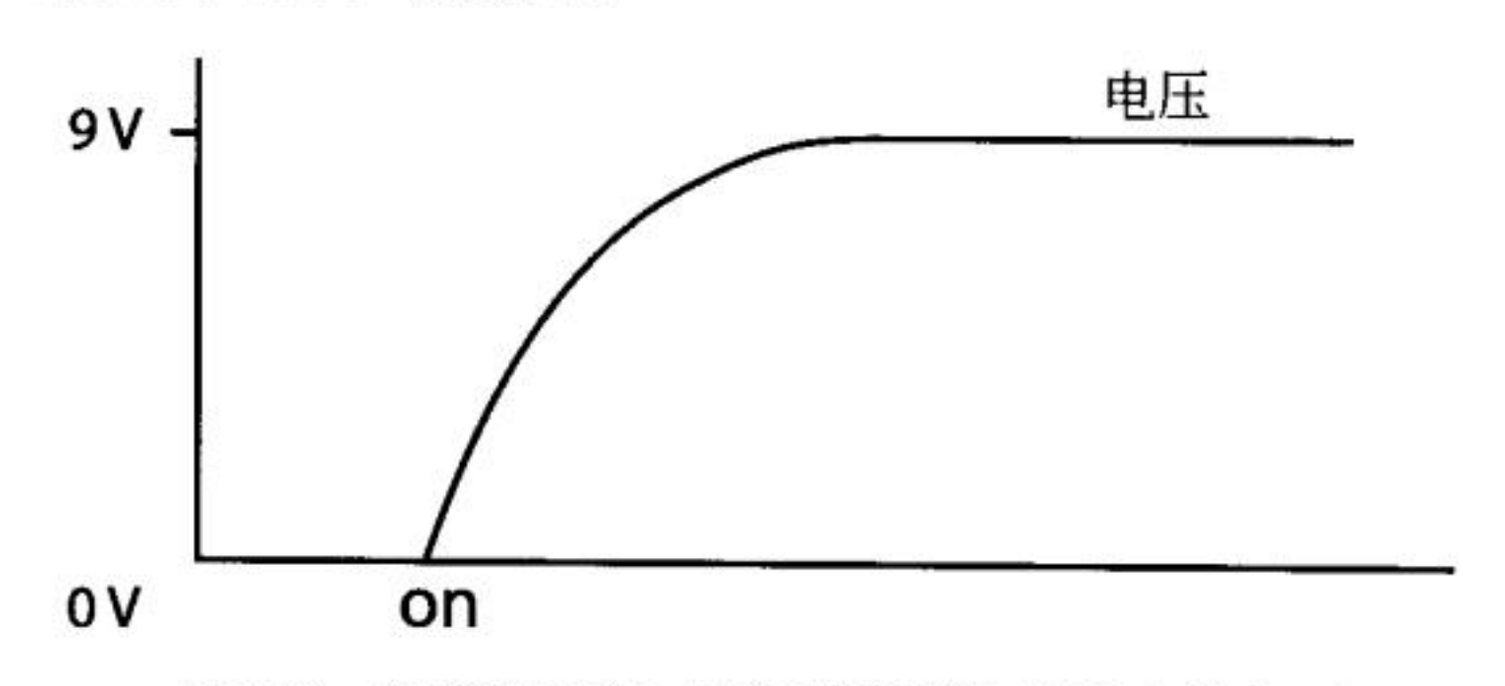


图 5-3　与电源相连，电容器两端的电压会增加至最大值，然后保持不变。

如果电容器与电池分开，它将保持原来的电荷。但是，电容器不会永远保持这些电荷。从某种意义上看，由于示波器的探针具有一定的阻抗，电容器上的电荷将通过这个电阻逐渐泄放掉。

电容器的 DC 特性

如果故意在电路中串联一个电阻，当电容器充电时，你可以测量电阻两端的电压，电阻两端的电压与流进电容器的电流成反比。当开

关刚刚闭合时，示波器会显示一个漂亮的电流尖峰，电流随着电容器的充电会迅速减小，一旦电容器到达了最大电荷值，示波器将不再显示有电流。

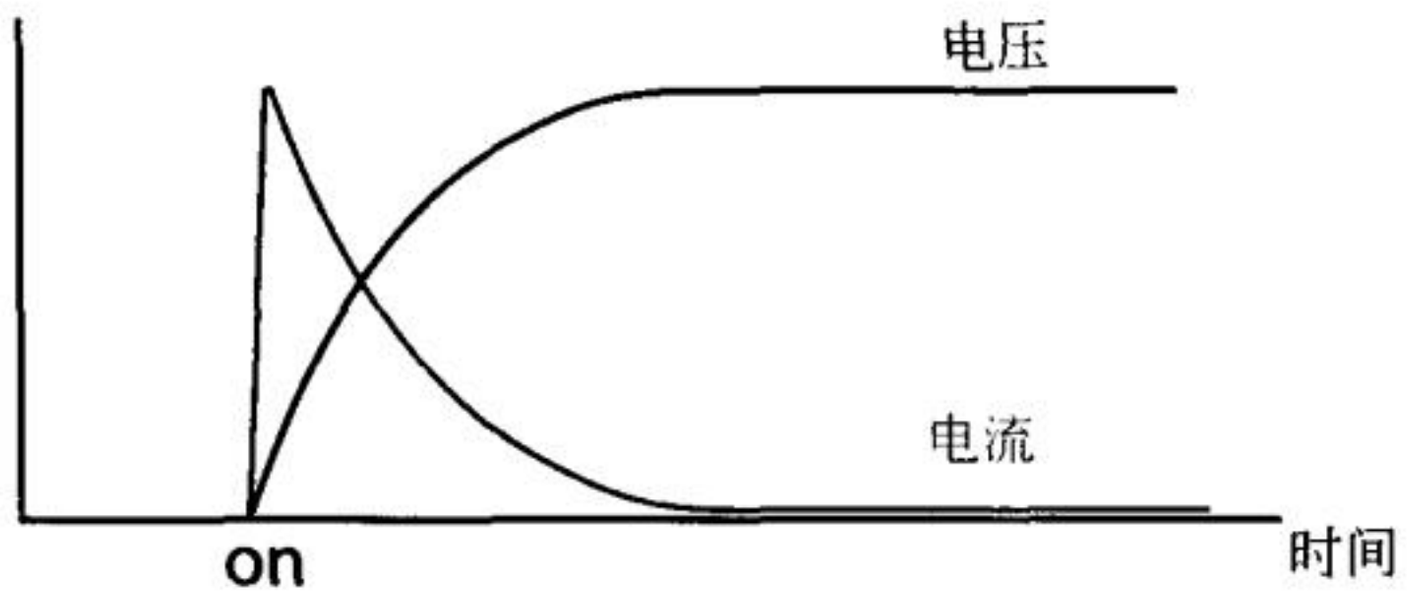


图 5-4 当电容器充满电后，电路中不再有电流。

由于两块平板之间存在绝缘体，所以电容器非常适合隔断静态 DC 电压。

电容器隔断 DC 电压。

如果电路中有一定的 DC 电压输出，但某些电路又不需要这个 DC 电压，那么你可以在通路上放置一个电容器，它会隔断这个 DC 电压，这样，DC 电压就与其他电路断开了。

电容器的 AC 特性

如果用一个交流电源代替电池，通常是一个正弦波电压，那么会出现一种完全不同的情况。交流电压可以“通过”电容器，当然，这取决于电容器的容值和电压变化的频率。随着电压频率的增加，通过电容器的 AC 电流会不断增加。

可以将电容器认为是一个对频率敏感的电阻。如果电容足够大，当某个频率的电压通过时，电路中仿佛根本不存在这个电容器，此时它更像一个阻值很小的电阻。

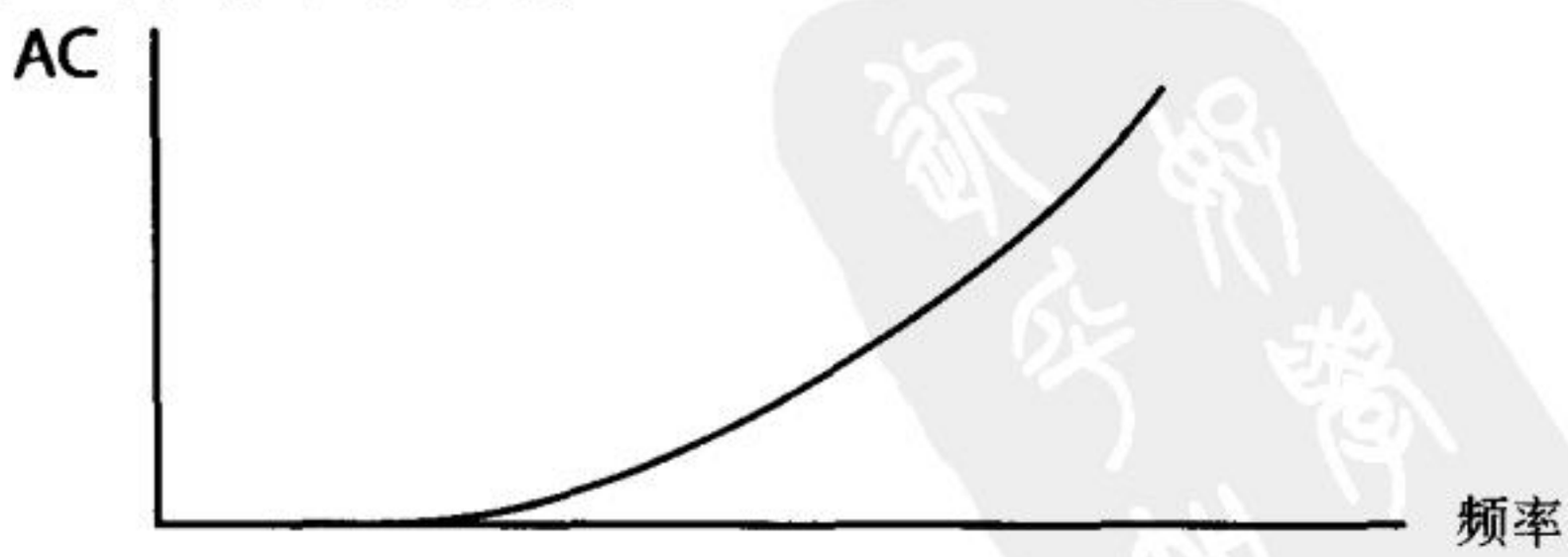


图 5-5 随着电压频率的增加，通过电容器的 AC 电流增大。

电容器是对频率敏感的电阻。

对于一个给定的电容器，根据给定的电压频率，可以计算出有效的阻抗[①]。如果要计算一个放大器的增益，该放大器的反馈回路含有电容器，可以先计算在给定频率下电容器的阻抗，然后将其作为一个具有一定阻值的电阻，这样你可以使用欧姆定律，不会太困难了（当然，我们正在讨论的是 AC 电流。你要记住，对直流而言，当电容器充满电后，会阻断 DC 电流）。

大家已经知道电容器的两种阻断情况：完全阻断 DC 和仅允许通过某种频率的 AC 信号。因此，电容器有时被称之为**隔直电容器**或者**耦合电容器**。

噪声过滤器

电容器也有助于减小噪声。你的 DC 电源可能被许多噪声所干扰，噪声往往是高频的 AC 信号，因此，如果你在电源上跨接一个电容器，高频噪声将会被短路到地，而 DC 电压被隔离，不会与地短接。此时，就只剩下可爱的、安静的电压了！

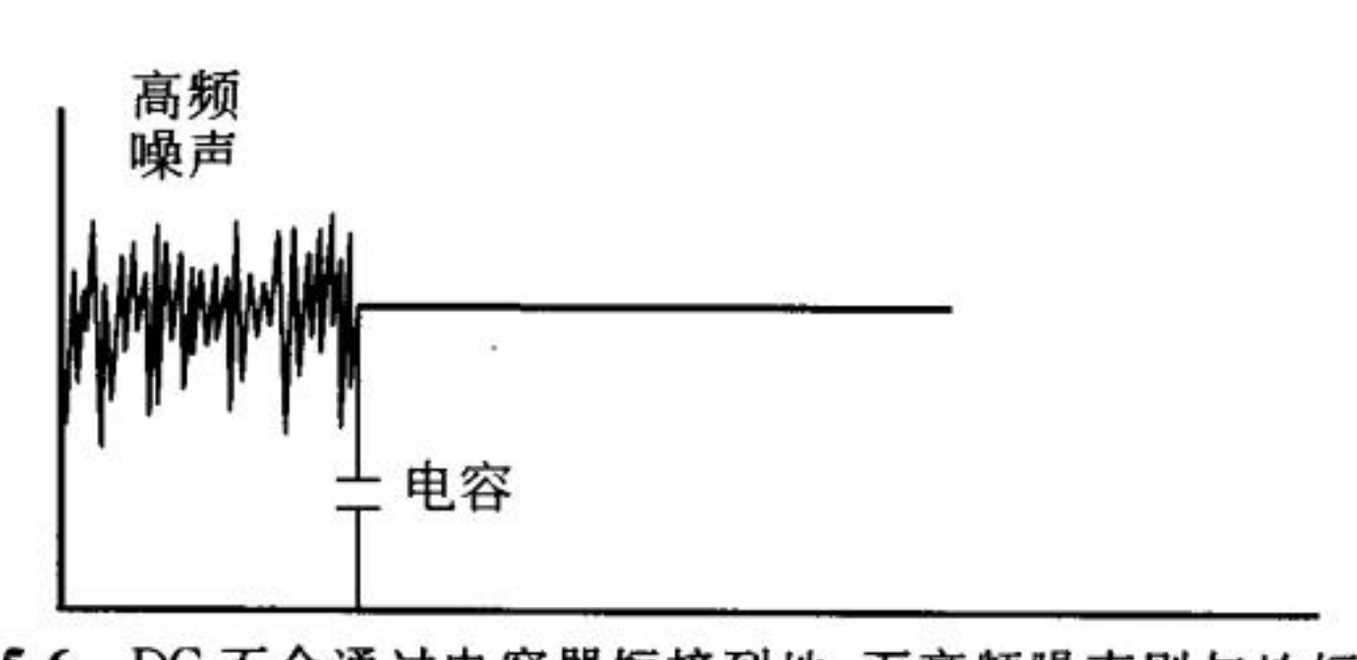


图 5-6　DC 不会通过电容器短接到地，而高频噪声则与地短接。

因为电容器是对频率敏感的电阻，所以，所有的高频噪声都会被这个低阻值的电阻所分流掉。这种电容器称之为**去耦电容器**，它将噪声从电源电压中过滤掉。

5.4　电容值计算

上下两块极板的覆盖部分面积的大小在很大程度上决定了电容器的容值。然而，这里将根据电容的二级效应，对电容值作适当地调整。

---

① 前人已经推导了所有需要的方程！不需要记忆太多的方程，你所能做的就是在你需要它时，知道如何找到正确的一个。

5.4.1 表面电容

为了计算电容器的容值，首先要确定上下极板覆盖部分的尺寸，然后用覆盖部分极板的宽度乘以长度，得到电容器的面积。

由于各种电介质的特性不同，因此，虽然面积相同，电容器的电容值可以不同，它取决于所采用的电介质。

在集成电路中，电介质的厚度由所采用的制备工艺所限定。因此，单位面积的电容值是一个常数 C_1，C_1 由电介质的厚度以及介电常数决定。电容的大小等于 C_1 乘以电容器面积，长度和宽度的度量单位是微米。常数 C_1 的单位通常是每平方微米飞法。

$$C_{\text{area}} = l \cdot w \cdot C_1 \qquad \text{飞法}$$

$$C_1 = \frac{\text{fF}}{\mu\text{m}^2} \qquad \text{单位电容 } C_1$$

与第 4 章中讨论的电阻一样，制备得到的实际电容器尺寸可能会比设计值偏大或偏小。我们把这种长度和宽度的微小变化称为德耳塔，用希腊字母 δ 表示。考虑到加工后长度的德耳塔变化，实际长度就不再是原理图上的长度，而必须在原来的长度上加上 δl。同样，必须考虑宽度的德耳塔项，应在原来的宽度上加上 δw。

$$C_{\text{area}} = (l + \delta l) \cdot (w + \delta w) \cdot C_1 \qquad \text{飞法}$$

公式显得稍微复杂了一点，但所表达的意思相同：宽度乘以长度，然后乘以适当的单位电容。

仔细地分析你的器件尺寸，只根据尺寸写出方程，包括非数字量，然后消去方程各项中分子与分母中相类似的单位因子，以确保结果以合适的单位表示。如果求解的单位不正确，则我们可以知道方程是不准确的。

$$\text{fF} = (\mu\text{m}) \cdot (\mu\text{m}) \cdot \frac{\text{fF}}{\mu\text{m}^2}$$

在这个方程中，所有的微米因子都消去了，只剩下飞法，这是正确的电容单位。因为方程解得了正确的单位，所以这个关系是正确的。

人们是如何发现这个赋有魔力的数字 C 的呢？难道我们通过将一些假设的项相乘，只是为了保证解出来的单位正确吗？是这样的！但是，与其他公式中的常数型乘数类似，乘数 C 是不变的，这会使你对他的感觉好一点。毕竟，不用给每一种情况选取不同的 C 值。那么，

从哪里得到这些 C 值呢？

如果能够从较少的例子中就确定这个常数的值，那么我们就可以用方程中的常数去求解其他的变量，去预测在其他情况下的电容。

为了确定这个值，研究人员会说：让我们做一个 $1000\mu m \times 1000\mu m$ 的巨大电容器吧。因为他们知道这个电容的具体长度和宽度，通过测量电容值可以轻易地计算出每平方微米的飞法数，它就是常数型乘数 C。

试试看

1. 一个电容器的设计尺寸为 $50\mu m \times 35\mu m$，实际制备工艺误差为 $+0.1\mu m$，单位电容为 $6.2\ fF/\mu m^2$，那么电容器的容值是多少？
2. 需要一个 5pF 的正方形电容器。假设工艺无误差且单位电容为 $7.1\ fF/\mu m^2$，那么电容器的尺寸是多少？

答案

1. $C=(50.1)\times(35.1)\times(6.2)$ (fF)

   $C=10{,}902.762$ (fF)

2. $L=W=\sqrt{\dfrac{5000}{7.1}}$ (μm)

   $L=26.53\ \mu m$

   $W=26.53\ \mu m$

5.4.2 边缘电容

当电容非常小时，这些电容并不能完全根据单位电容按比例变化。通过测试大量不同尺寸的电容器，研究人员发现对于小的电容器，电容值比预想的要大。

研究发现沿着极板的边缘隐藏着电容，人们称这种额外的电容为**边缘电容**。在远离电容器边缘的区域，边缘电容可以忽略。但是在边缘附近则存在明显的电容，足以影响计算结果，这就是电容器边缘对下极板的临近效应，是从上极板的竖直面发散出来（如图 5-7 所示）。

边缘电容等于单位边缘电容常数乘以电容器的总周长。换句话说，两倍长度加上两倍宽度乘以单位边缘电容常数 C_2，C_2 的单位为每微米飞法。注意，由于周长是长度单位，所以这个方程中的单位是长

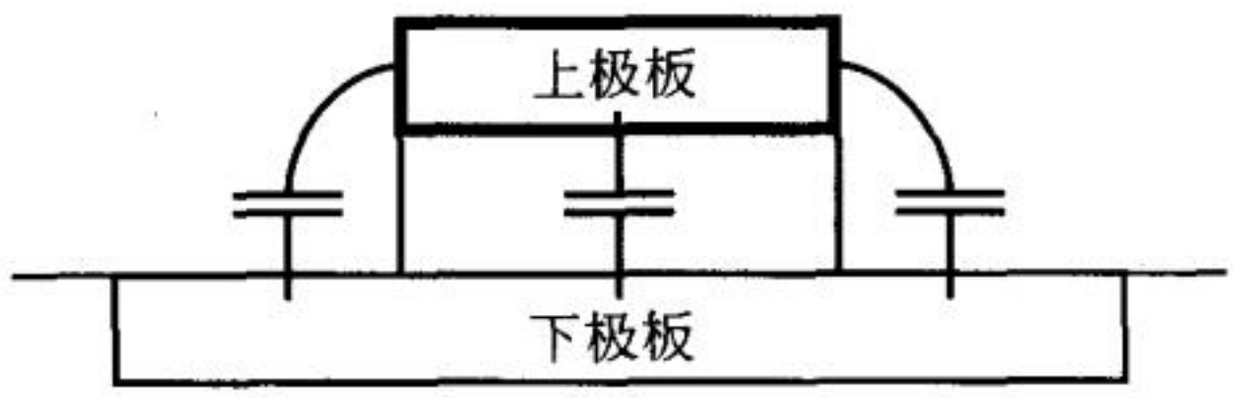


图 5-7 从边缘发出的边缘电容。

度单位。

通过对尺寸情况的分析，可以看到微米被消去了，得到的边缘电容的单位是飞法，与电容本身的单位一致。单位核对无误！

$$C_{\text{periphery}} = [2(l+\delta l)+2(w+\delta w)]\cdot C_2 \quad \text{飞法}$$

$$C_2 = \frac{\text{fF}}{\mu\text{m}} \quad \text{单位边缘电容}$$

$$C_{\text{periphery}} = \frac{(\mu\text{m}+\mu\text{m})\cdot \text{fF}}{\mu\text{m}} = \text{fF} \quad \text{飞法}$$

所以电容器的总电容 C_{total} 等于普通的表面电容 C_{area} 和边缘电容 $C_{\text{periphery}}$ 之和。

$$C_{\text{total}} = C_{\text{area}} + C_{\text{periphery}} \quad \text{飞法}$$

试试看

1. 一个所设计的电容器的尺寸为 50μm×35μm，实际制备工艺误差为＋0.1μm，单位面积电容为 6.2fF/μm²，单位边缘电容 2.9fF/μm，那么电容器的容值是多少？
2. 需要一个 5pF 的正方形电容器。假设工艺无误差且给定的单位边缘电容为 2.9fF/μm，单位面积电容为 7.1 fF/μm²，精度要求达到 99%，电容器的尺寸是多少？

答案

1. $C_{\text{area}}=50.1\times35.1\times6.2\ \text{fF}$

   $C_{\text{area}}=10,902.762$

   $C_{\text{periph}}=(2\times50.1+2\times35.1)\times2.9$

   $C_{\text{periph}}=494.16$

   $C_{\text{total}}=494.16+10,902.762$

   $C_{\text{total}}=11,396.922\ \text{fF}$

2. $L=W=\sqrt{\frac{5000}{7.1}}$

$L=26.53\mu m$

$W=26.53\mu m$

按这个尺寸计算边缘电容。

$C_{periph}=(2\times26.53+2\times26.53)\times2.9\ fF$

$C_{periph}=307.75$

这样，总电容就将比所需要的电容值大多了，达到

$C_{total}=5307.75$

去除边缘电容：

$C_{wanted}=5000-307.75=4692.25$

$L=W=\sqrt{\frac{4692.25}{7.1}}$

$L=25.7\mu m$

$W=25.7\mu m$

现在再来计算新值下的边缘电容。

$C_{periph}=(2\times25.7+2\times25.7)\times2.9\ fF$

$C_{periph}=298.12$

$C_{total}=4692.25+298.12$

$C_{total}=4990.37fF$

这样，循环迭代 10 次后，最终得到电容器的尺寸为 25.73 μm。再把这个结果代入公式验证两次。

现在你知道了边缘电容会带来许多麻烦。需要多次循环迭代计算直至符合精度要求。在这个例子中，25.7μm 的正方形电容器完全符合 99%的精度要求了。

25.7μm

5.5 N 阱电容器

那么，在 IC 中如何制备电容器呢？回忆一下我们介绍的 IC 制备工艺，其各材料层是一层层堆叠起来的。因为电容器是由平行的极板构成，所以 IC 中的各材料层本身就可以很方便地构成电容器。制备电容是多么容易啊！它正好可以运用现有的材料层，是不是？我们可以免费制备电容器了（即在制备电容中不需要额外的工艺步骤）。

在 FET 的栅与衬底之间，存在着固有的、并不希望的电容，我们称之为讨厌的寄生电容。但是，当需要电容时又怎么样呢？这个寄生电容就不但不讨厌，而且成为了我们的朋友。

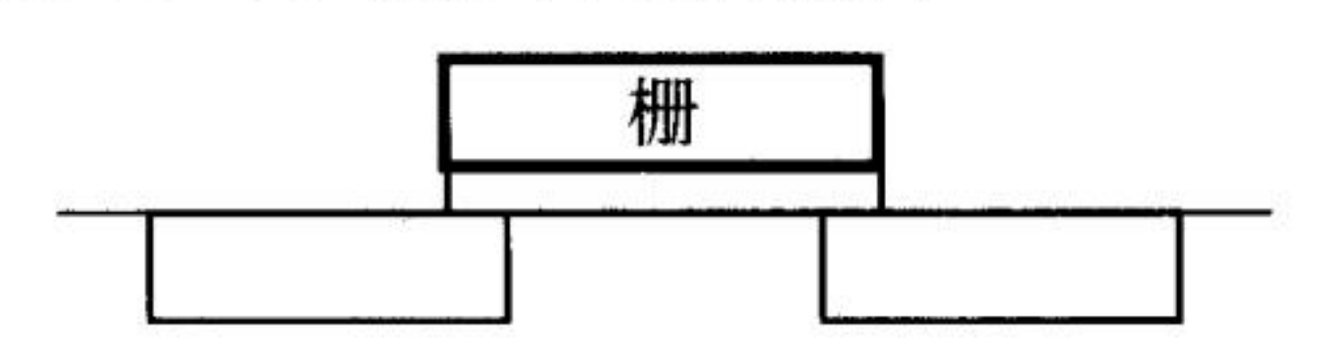


图 5-8 相对源-漏区域，FET 的栅是一个平行的极板，自然存在寄生电容。

让我们来做一个真正的、真正巨大的栅，我指的是比 FET 的栅要大得多的栅。然后稍稍改变加工工艺过程，这里不是构造前面介绍的常闭晶体管，而是构造一个常开晶体管。

如果用 FET 的源-漏那样的 N＋做一个电容器的极板，那么栅会阻挡 N＋注入到它的下面，因此在栅下面不会全部都注有 N＋。还记得吧，在工艺步骤中，先构造栅，然后再注入 N＋，所以整个栅的下面是注不到的。

然而，大家知道 N 阱是在制备栅之前加工的，所以，如果用 N 阱作为下极板，就可以确保得到一块完整的下极板。

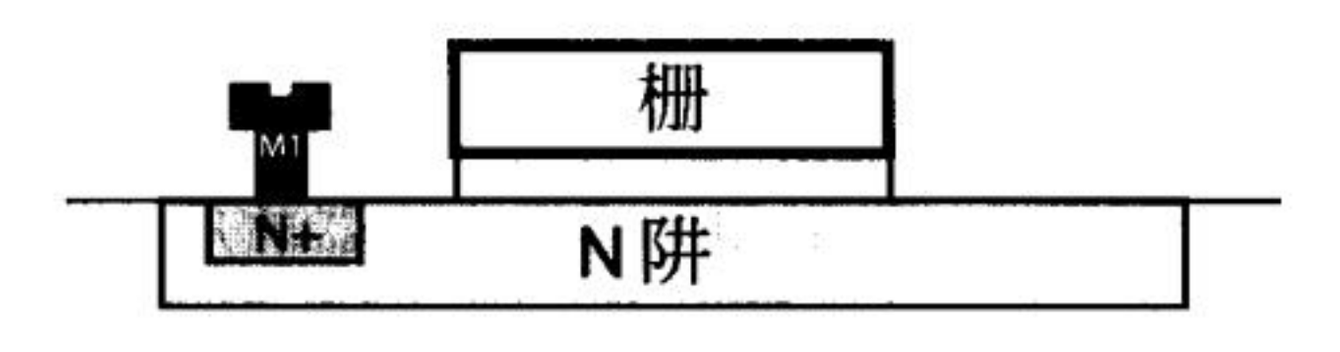


图 5-9 仅仅比耗尽型 FET 少画了一个接触孔。

可以用 N＋作为下极板的接触区，它与 N 型 FET 的 N＋同时扩散而成，这也节省了工艺步骤。

■ 经验法则：尽量使用现有材料层。

从上面的图中可以看到，栅与 N 阱之间是正常的栅氧化层，这就是电容器的介质层。多晶栅与 N 阱之间覆盖部分的面积就是电容器的面积。

上面图中仅仅画了一个接触孔，而由于 N 阱存在电阻，因此以这种方式构建的电容器的下极板明显地存在着串联电阻。

我们可以通过在上极板的两边或四边都放置接触孔的方法来降

低这个串联电阻。然而，由于大家更倾向于沉积一大块栅来制备电容器，而不是 FET 的窄条型，因此，这里采用了马蹄形的金属接触孔。

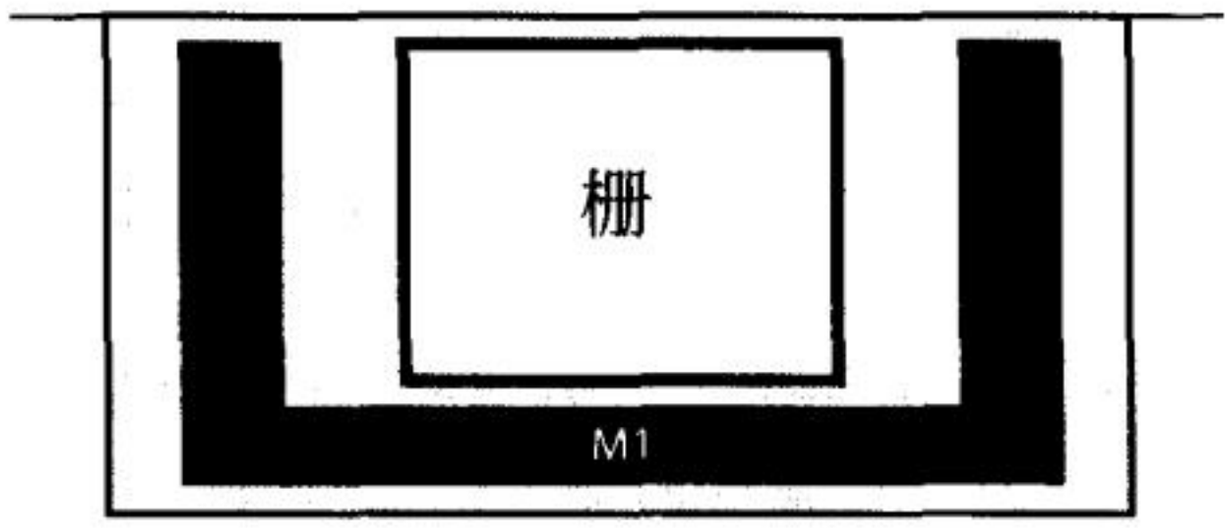


图 5-10　马蹄形式接触孔的典型扩散电容顶视图。

这种伪 FET 可以构成一个很好的电容器，这种电容称之为**扩散电容器**。它是一种非常简单的电容器，由现有的材料层构成。

你可能没有想到：由于这个电容器实际上是一个晶体管，因此它的电容值与极板上所加的电压有关。如果上极板的电压变化，将会影响下面 N 阱中的电子，故电容值会随着栅电压变化而变化。对于这种可变电容器，大家可不喜欢哦！

但是，扩散电容器可以作为直流电压源的去耦电容器使用，只要电压不变，这个电容值就是可信的。

5.5.1　寄生电容

站的角度不同，对问题的看法也不同，所谓的幸运和不幸也是如此。大家知道，N 阱处于 P 型区域内，它自动为我们提供了隔离。因此，幸运的是：只需注入一大块 N 阱，再在上面放置一大块多晶，就可以非常方便地得到电容器了。

图 5-11　在制备栅之前制备 N 阱。

然而，不幸的是：N 阱与下面的 P 衬底形成了更大的平行板，其结果是在 N 阱与 P 衬底之间构成了另外一个电容器，PN 结就是介质势垒。

所以，总是存在一个与衬底相连的寄生电容。

人们对这种寄生电容建模，然而，由于电容是建立在已有的二极

管方程的基础之上，所以，对于二极管和电容，这个模型都应该是有效的，许多人正在进行这方面的研究，他们将寄生电容作为 N 阱与衬底之间的二极管来建模。

如果将 N 阱连接到了某个特殊的节点，会怎么样呢？如果 N 阱与你不打算连接的地方相连了，就可能使 N 阱与衬底之间的二极管形成正向偏置。

如果将寄生电容作为一个二极管建模，则 SPICE 程序会提示你可能存在的问题，这是一个很好的保护措施，这也是很多人将与长度和宽度相关的寄生电容用二极管来建模的另一个原因。

介质的厚度决定了电容值。两个平行极板越靠近，电容值就越大。所以，更薄的介质层将提供更大的电容。在下一节中将介绍如何使用性能优良的薄介质层。

5.6 金属电容器

正如上面所看到的，扩散电容器有一个跨接于 PN 结的寄生电容，任何一个信号输入到扩散电容器的下极板都会自动耦合到衬底。

在电路设计中，有时需要隔断 DC 电压而仅让 AC 信号进入到下一个电路模块。在这种情况下，一个随其两端电压变化而改变电容值的电容器是根本不能使用的。

因此，大多数用于信号传输的电容器都由金属制备而成。这样就消除了 PN 结，从而消除了寄生二极管的固有电容，同样，对电压的依赖性也消除了。

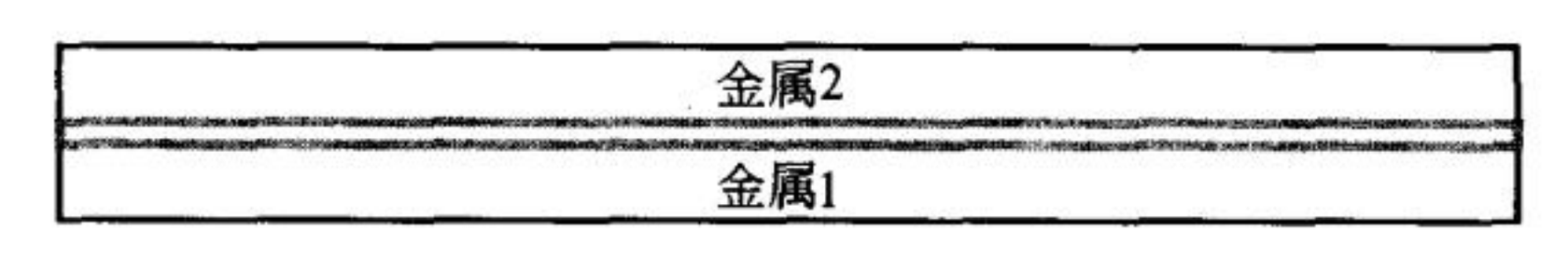


图 5-12 金属电容器消除了 PN 结的寄生电容。

在大多数情况下，两块金属彼此重叠时，都要确保上面的金属不与下面的金属短路。所以，大多数典型的 IC 工艺中都用一层相当厚的材料来隔离不同的金属层。

由于在两极板之间的距离增加了，所以方程中的单位面积电容会稍稍有所不同，除此之外，虽然采用厚介质层，用于金属电容器的方程和扩散电容器方程也完全一样。

由于上下两层金属间隔较远，所以为了得到与扩散电容器相同的

电容值，需要制备的金属极板面积将大大增加。所以，相同容值的金属-金属电容器比扩散电容器占用的面积多得多。然而，为了得到一个性能优越的信号传输电容，你必须承受这种牺牲。

5.6.1　叠层金属电容器

为了减少金属电容所占用的面积，我们也可采取一些方法。根据现有金属的层数，可以制备所谓的**叠层电容器**。

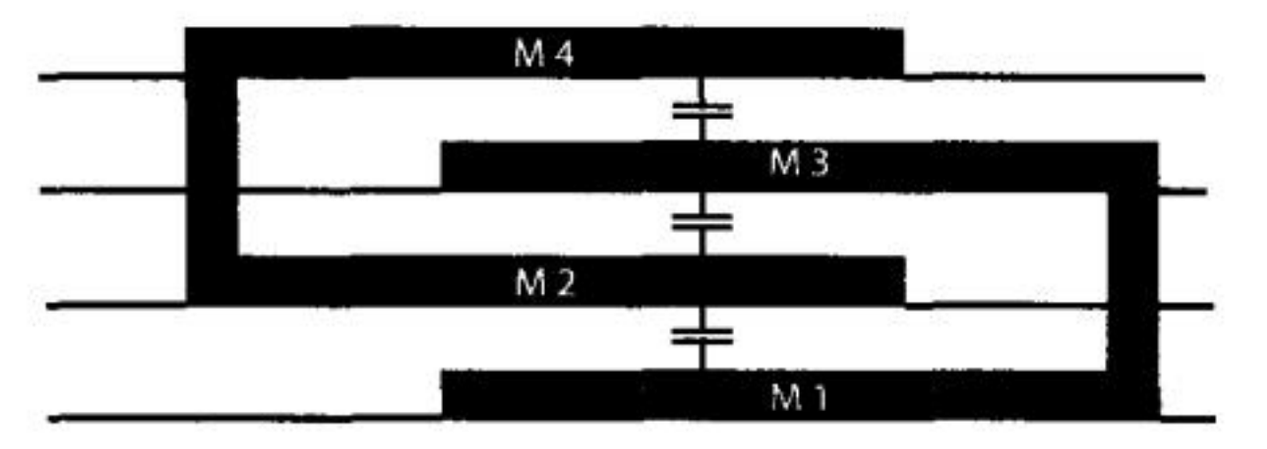


图 5-13　叠层金属节省了芯片面积。

多层金属平板垂直地堆叠在一起，如同一堆薄烤饼。从上到下，每两层金属之间都存在着电容。如果将奇数层的金属连接在一起，同时将偶数层的金属连接起来，从剖面看，它们是两个梳状结构的交叉。这样，通过正确地交叉连接金属，可以在单位芯片面积上获得更大电容。

5.6.2　氮化物介质电容器

当金属用作芯片互连线时，我们通常会想减小金属之间的电容，而不是产生电容。所以，通常金属与金属之间的绝缘层非常厚，以减小寄生电容。

但是厚的绝缘层使得金属电容器变得非常庞大，所以，用这种方法制备电容并不是非常有用。

图 5-14　一些介质可以做得特别薄。

和任何电容器一样，可以通过调节绝缘层的厚度来增加金属-金属电容器的电容值。这里引入一种非常薄的介质层，它不再是厚的氧化层介质。

这是一种具有较高介电常数而且易于用 CVD 沉积方法制备的材

料。这就是氮化硅。

通过引入氮化硅层，我们得到了一层更有用的介质。但是，使用氮化硅介质需要额外的掩模板和工艺步骤，这就看你是否愿意做这个折衷了。为了在相同面积上得到更大的金属-金属电容值，增加额外的工艺步骤值得吗？

现在，你既可以采用正常的厚氧化层隔离金属层，也可以采用特殊的薄氮化物隔离金属层。每一种介质都可以精确地放置在特定的地方，这里是氧化层，那里是氮化物。相应地，这里是小电容，那里是大电容。当然，它们都采用相同的金属层。这项工作非常好，金属层可以按你想要的那样为你工作！

结束语

电容器可能是集成电路中已有材料层的副产品，这可能是好消息，也可能是坏消息。你的工作就是控制这些自然存在的电容，你可以尝试消除它，也可以尝试利用它，或者，有时甚至可以有意增大这些电容。

我们要做的就是以最少的工艺步骤和最小的芯片面积来满足工作需要。

可能，你会提出一些更加有效的方法，那么请告诉我，我们可以在本章再加上一节，并以你的名字来命名。

前进吧，发明家们！这很有趣。此外，本章较短小。

本章学过的内容

在本章中，你看到了以下内容：

- 经典金属-介质-金属电容器
- 电容器的功能和使用
- 频率敏感特性
- 高频滤波器
- 构造 N 阱电容器
- 电容方程
- 边缘电容
- 寄生电容
- 梳状叠层电容器
- 氮化物介质电容器

……

第 6 章

双极型晶体管

6.1 内容提要

在本章中，你将看到以下内容：

- 我们能利用固有的栅电容做什么
- 高速晶体管开关
- 工艺如何限制我们的选择
- 双极型开关的三个区域
- 制造纵向开关
- 埋层的表面引出
- 为何通常不采用 PNP 开关
- 具有 CMOS 经验的版图设计师所面对的最大问题

……

6.2 引言

迄今为止，我们已讨论过的绝大多数器件都可以采用基本的 CMOS 工艺来制造。

正如在 CMOS 版图那一节所讨论的，CMOS 晶体管中的固有栅电容降低了器件的工作速度，然而，在被称为**双极型晶体管**的器件中，开关区域可以做得很小，从而降低电容。

双极型晶体管用小尺寸解决了电容问题，具有更小的 RC 时间常数，因此，它们比 CMOS 晶体管的工作速度快很多。快速是好事，双极型很有用，所以本章将是十分有用的一章。

之所以称为双极型（*bipolar*）是因为这种晶体管正常工作时，同时利用电子和空穴这两种载流子，这就好像存在两个电极，其中

一个吸引电子，另一个吸引空穴，故称双(*bi*)极(*polar*)。

CMOS 晶体管被称为单极型器件，因为它仅仅利用一种载流子工作。例如，一个 P 型 CMOS 晶体管采用空穴作为它的主要导电体。

在 CMOS 工艺中，N 型和 P 型扩散时选择的掺杂浓度是为了确保 CMOS 晶体管的正常工作而最优设计的，而这些不是针对双极型晶体管的。为了确保双极型晶体管正常工作就必须采用额外的工艺步骤，注入、扩散 N 型和 P 型的掺杂浓度选择以优化双极型器件为目的。因此，基于简单的 CMOS 工艺并不能制造出高性能的双极型器件。

制造商可以提供典型的纯 CMOS 工艺或者纯双极型工艺，但如果需要在同一片硅片上混合制备这两种晶体管，那么必须增加额外的工艺步骤，而这些增加的工艺往往是十分昂贵和复杂的。

下面就来探究隐藏在双极型器件背后的一些基本原理。

6.3 工作原理

我们并不一定需要先了解每一个器件工作原理后才能设计基本版图。但是，你对电路理解得越透彻，做出的决定将越佳，提出的问题也越具有针对性。另外，通过前面的学习，我们已经懂得 FET 的工作原理，所以理解双极型晶体管的工作原理将是一个简单的过程，因为它们的工作原理非常相似。

我们可以制备两种双极型晶体管——NPN 管和 PNP 管。让我们首先研究 NPN 器件，因为 PNP 管的工作原理和 NPN 管是相同的。

6.3.1 基本结构

从器件的横截面图可以看到存在两个 PN 结，这就是 NPN 管。双极型晶体管开关并不是一种奇特的新东西，而仅仅是两个简单的，熟悉的 PN 结，因此，从这个角度说，双极型晶体管与 CMOS 晶体管相类似。

可以认为双极型晶体管就是两个二极管(一个 PN 结是一个二极管)，这两个二极管符号用两个箭头来表示。

NPN 型晶体管的符号类似于这个双二极管的画法，这将有助于记住这个符号。不同的是，在 NPN 型晶体管符号中仅用到下面的那个箭头，箭头方向表示流出这个区域的电流方向。

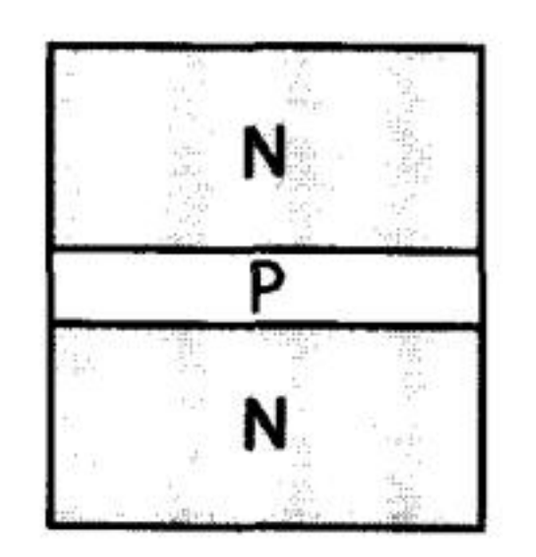


图 6-1　NPN 型晶体管仅仅是两个 PN 结。

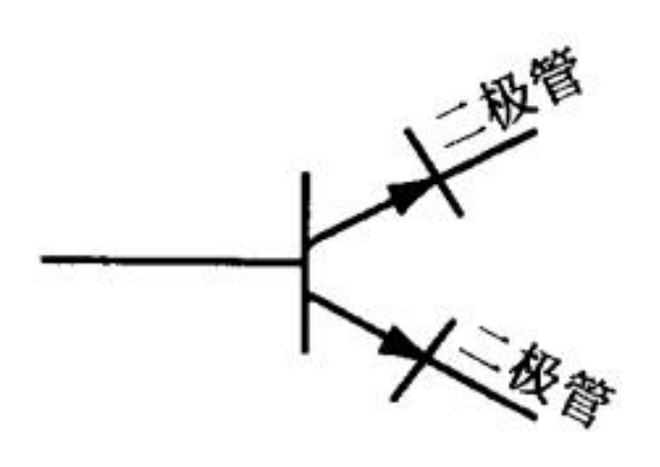


图 6-2　NPN 型晶体管符号来自于两个二极管的符号。

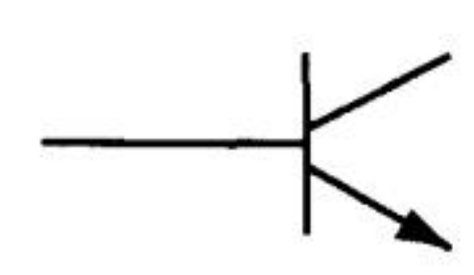


图 6-3　NPN 型晶体管符号。

所以，NPN 晶体管的电流从顶部（称为集电极）流入，经过中央区域（称为基极），最后从底部（称为发射极）流出。当我们理解 NPN 晶体管的工作原理之后，很快就能明白为什么称这些端点为集电极、基极和发射极。

试试看

想一下，为什么电流的源头被称为集电极，而真正的收集端被称为发射极？听起来这不正好相反吗？

答案

应该是相反的，因为传统的电流方向和电子流动的方向是相反的。

你有没有发现 NPN 管的符号与 FET 的符号很相像吗？

NPN 管和 FET 的功能是类似的。在这两种器件中，电流都是从正到负，从顶到底，电流总是试图穿过中间区域，有时候能够穿过去，

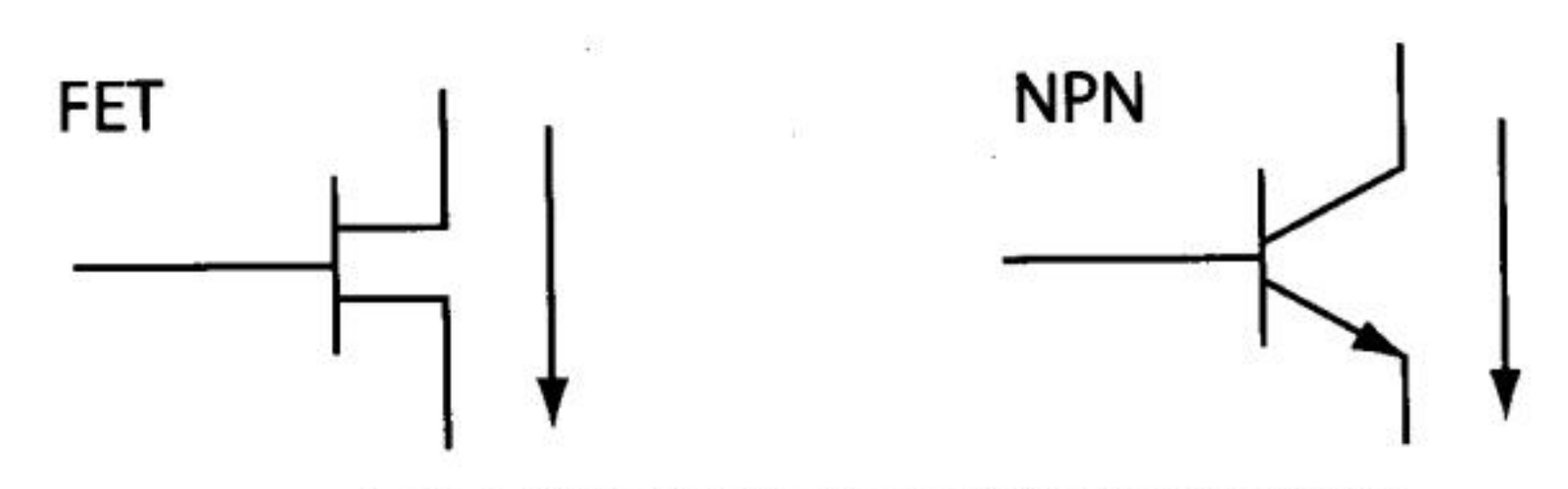


图 6-4 场效应管的符号和双极型晶体管的符号类似。

有时候则不能。NPN 晶体管就像 FET 一样可以控制电流的开或关。开关的状态依赖于控制端的电压，也就是控制 FET 的栅极或者是 NPN 管的基极。由于它们的功能相似，因此符号也相似。

6.3.2 NPN 晶体管工作原理

为了理解双极型开关的工作原理，首先来研究器件符号中下面的那个 PN 结。

回顾一下，在基本的 PN 结中，N 型区域中存在着大量的电子，而 P 型区域中存在着大量的空穴。在 P 型扩散区加上一个正电压而在 N 型扩散区加上一个负电压，这样 PN 结就处于正偏状态，电子开始从 N 区流向 P 区，从而有效地得到了通过 PN 结的电流（查阅本书前面的章节，回顾一下 PN 结是怎样工作的），我们将这个激励电压称为偏置电压，它使 PN 结正偏。

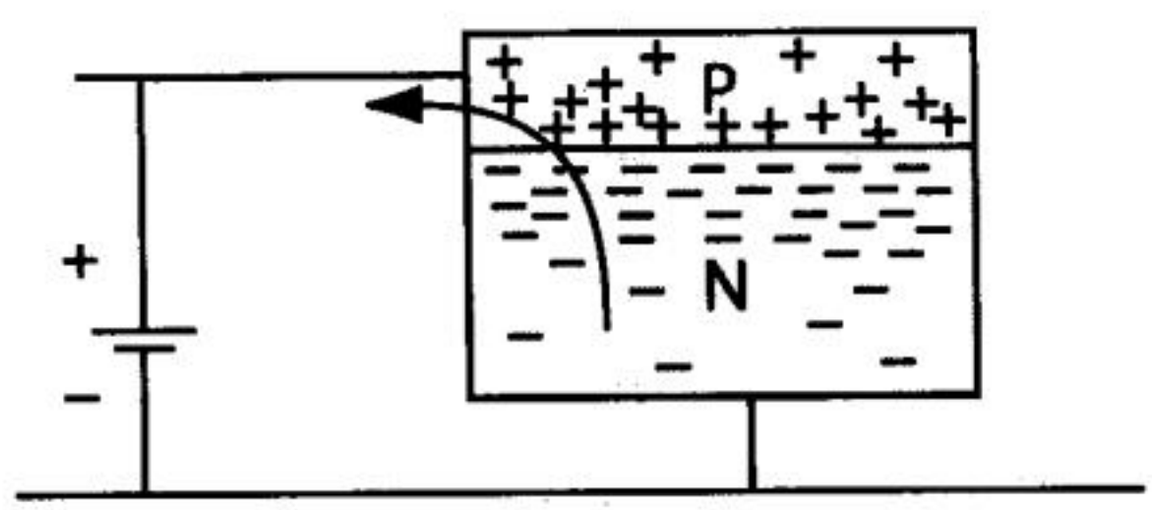


图 6-5 加上偏置电压，电子就能穿过 PN 结。

下面来进一步理解双极型开关的工作原理。在这个 PN 结的顶部再加上一个 N 层，新增了一个电路形成完整的 NPN 管，现在存在了两个电路。通过这个新电路对整个晶体管施加一个更高的电压，一个电压仅仅加在了底部的 PN 结上，迫使电子流向中央 P 型区域；另一个更高的电压则直接跨接在了整个器件上。

想象一下那些刚刚朝着偏置电压源向左运动的电子会怎么样呢？当它们遇到来自顶部一个更具吸引力的电压时，又会怎样做呢？

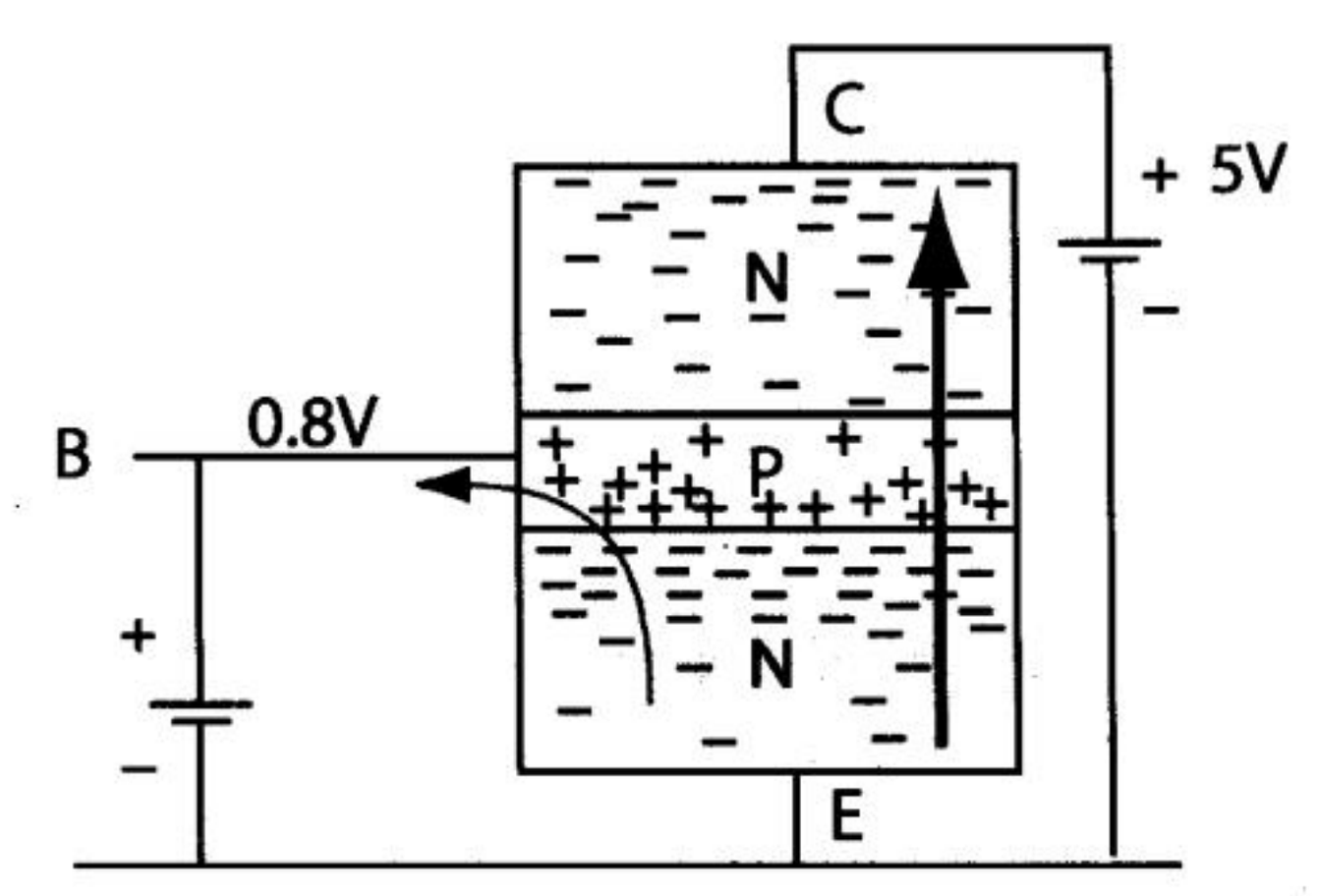


图 6-6　“我的天哪，我看到在上面的 N 区有一个更具吸引力的电压，我真想跳过这个 P 区而直接到达上面的 N 区。”

为了使这个器件正常工作，第一个 PN 结必须正偏，而正向偏置一个典型的 PN 结大约需要 0.8V 的电压。借助这个小电压，电子便会流入 P 区。

如果在顶部加上若干伏的电压，例如，在整个器件上跨接 5V 的电压，这样，那些已经进入 P 区的电子会继续向上运动。当电子看到这个更高的电压时会说：啊！那儿更具吸引力。由于 P 型基区很薄，运动电子不可能停下来。在如此强的能量作用下，这些电子被推到边缘，由于惯性，它们将直接通过这个薄薄的 P 区而进入顶部的 N 区。如果 P 区很厚的话，电子将不会有足够的能量达到顶部，也就看不到那儿正加着 5V 电压的 N 区，所以，P 区必须做得非常薄。

由于在整个器件上跨接了更高的电压，那些流进正偏 PN 结的电流大部分都流入了顶部的 N 区，而其他一小部分电子则仍继续原来的路径，所以，仍然有非常微小的一部分电流流过原来的电路。

你不觉得奇怪吗？电子是进入 N 区，而不是离开 N 区，这真不可思议！传导电流的是反偏的二极管，通常反偏二极管是不能导电的。真聪明！

底部的 N 区发射电子并被顶部的 N 区所收集，因此被分别命名为发射极和集电极。

所以，那就是电子应该去的地方。电子发射并被收集[1]，但必须在

---

① 记住传统的电流方向和电子流方向相反，传统的电流方向是从集电极流向发射极的。

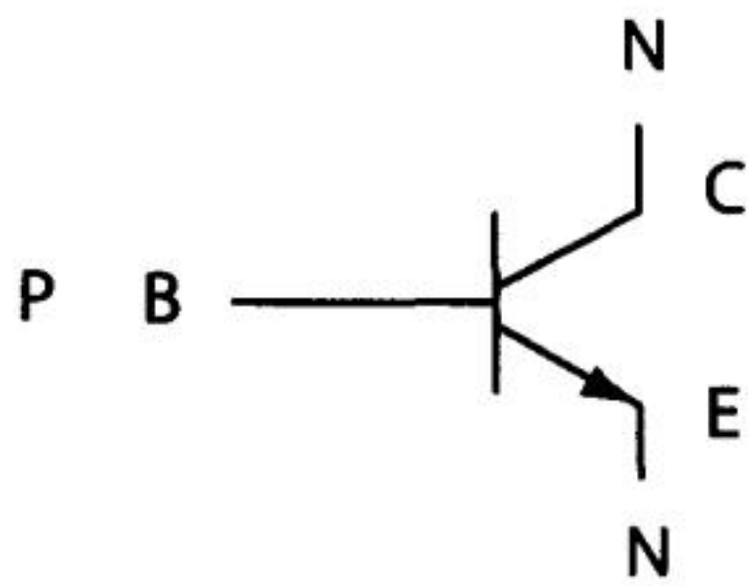


图 6-7 NPN 管由集电极、基极和发射极构成，箭头表示传统电流的方向。

第一个 PN 结加上 0.8V 电压时才会这样。如果没有那很小的 0.8V 电压，电子就永远不能到达这么远的地方，也就看不到远处那么美好的地方，而只能老老实实地呆在底部的 N 区域内。

尽管流入正偏的基极/发射极 PN 结的电流很小，只有流过集电极和发射极电流的百分之一甚至更小，但也是一个损失。它的作用对应于 FET 中栅极的作用，作为一个开关的控制。

FET 中的栅极仅仅在栅氧化层电容充电或者放电——电压改变的时候，才会有电流流过，相比之下，双极型晶体管的基极总是存在电流的。一个理想的双极型晶体管的基极电流应该为零。如果基极电流真的为零，就可以得到一个完美的电压控制型开关。但事实上，双极型晶体管工作的时候，基极一定存在电流。

不幸的是，如果用双极型晶体管搭建一个逻辑门，那么任何时候都存在一个固定的静态电流。因此，双极型晶体管开关得越快，需要的电流越多，这也是为什么大多数微处理器都采用 CMOS 工艺的原因。CMOS 电路的功耗要低得多。

双极型晶体管需要更多的功耗。

集电极（发射极）电流和基极电流的比称为器件的 β 值。例如，有 100mA 的电流流入集电极，1mA 的电流流入基极，此时 β 值为 100。

但是，有些情况下，任何的基极电流，即使很小也是不希望的，它会损耗电路中的电流。请记住，在设计数字门电路的时候，我们希望门电路是常开状态，不希望有电流。

β 值的变化取决于晶体管的驱动方式。双极型晶体管的基极电流是可变的。例如，在某些点上，集电极/发射极电流不会进一步增加，但基极/发射极电流仍然可以不断增加。这种变化使电路变得让人

头疼。

6.4 纵向工艺

第一次在这里讨论**纵向工艺**。采用纵向器件工艺技术可以更加精确地制备双极型晶体管。中部的 P 型基区可以比横向工艺制备的小很多。这样，由于 P 区变得更小了，相应地，双极型晶体管的开关速度比 FET 更快了。

为了更好地理解这一点，下面来研究双极型器件的结构。

6.4.1 FET 和 NPN 晶体管的开关特性比较

将一个简单的场效应晶体管(FET)和一个简单的双极型管相比较。在 FET 中，栅的长度 L 决定了器件的速度，而双极型管的速度由 P 区的宽度决定。两个 N 区之间的距离越短，在这个区域中开关电流的速度就越快。在开关速度的竞争中，纵向工艺获胜。

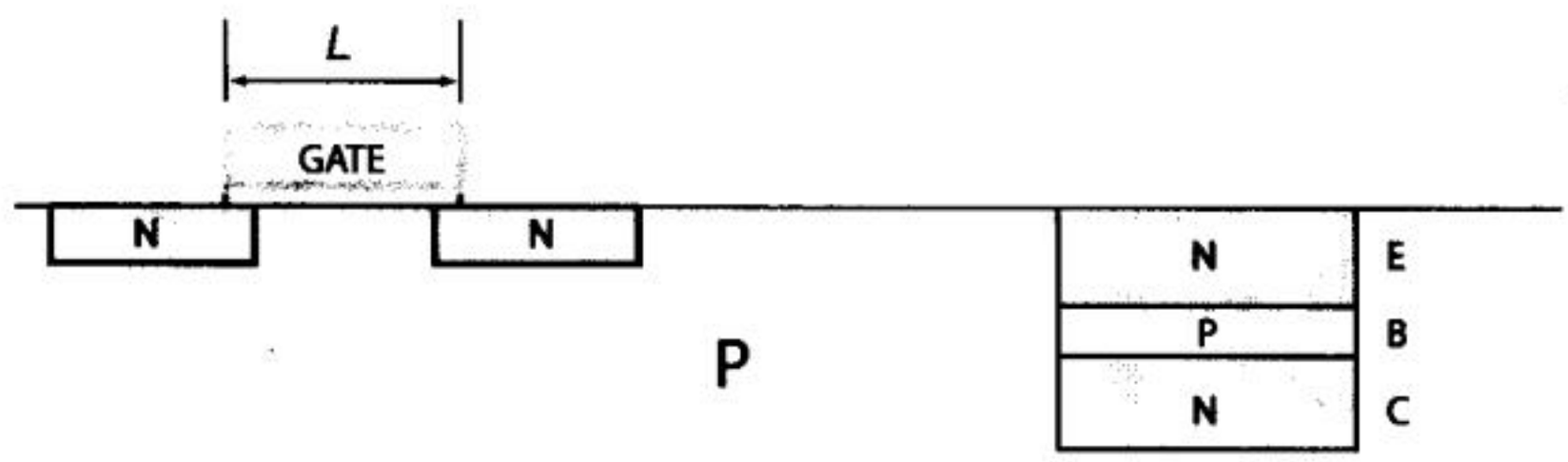


图 6-8　注意纵向晶体管中的 P 区宽度比 FET 中两个 N 区之间栅长要短得多。

FET 栅的最小长度取决于在硅片上制作图形的能力。但是，在双极型晶体管中可以仅用一个少量的、快速的注入来形成一个非常薄的 P 型层。因此，制备一个很薄的注入层比制备一个很短的栅条要容易得多。

即使你可以采用横向工艺制备一个 NPN 管，但也不可能在两个 N 型区之间制备一个很薄的 P 型区。这是因为这三个区需要有自己的接触，因此必须增加 P 型区的宽度来使它满足接触的需要。这样 P 区就太大了，破坏了双极型管的优点，不是吗？

所以双极型晶体管采用一层层堆积的办法来制备，这种器件称为**纵向器件**。

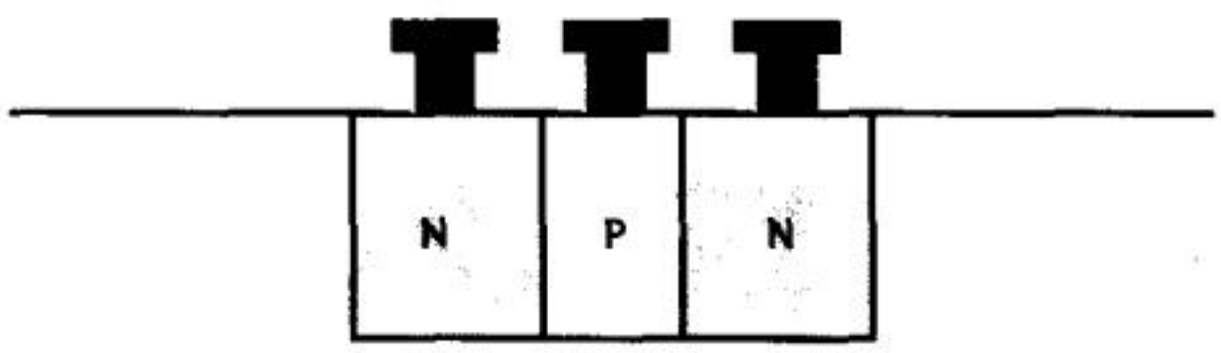


图 6-9 横向 NPN 版图迫使 P 区变大，因为需要满足接触的需要，这就降低了开关的速度。

6.4.2 层的结构

在纵向堆积成的 NPN 晶体管中，要连接基极和集电极似乎就变得很困难，因为这两层位于表面的下方。但是，由于这种情况经常发生，人类又很聪明。一些人意识到器件各层的水平长度并不影响器件的速度，扩展水平长度是解决问题的关键。

下面通过一步一步地制备一个纵向 NPN 管的过程来进一步理解器件的版图。由于技术和工艺的不同，制备基区和发射区的方法也多种多样。这里仅仅将一个非常老式的扩散型 NPN 晶体管作为例子，但其思想可以用于各种构造技术。

基区/发射区结的制备比基区/集电区结的制备要重要得多。因为发射区的电子不能轻易地越过势垒，但是，一旦电子通过了基区，集电区可以想象为一个接球手的巨大手套。所以，第二个结，也就是集电结不需要特别控制。

在工艺的最后，需要在顶部制备出能被最精确控制的区域。因为先制备的层比后制备的层要承受到更多的扩散过程和应力作用。既然我们想要使基区/发射区结比基区/集电区结更精确地得到控制，我们使器件的制备过程颠倒过来。令人吃惊的事发生了，发射区放在顶部，基区在中间，而集电区放到了底部。

首先，用一个 N 型区域构建集电区。

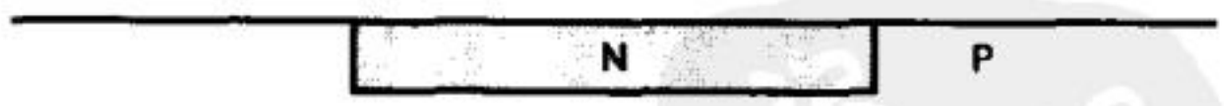


图 6-10 首先制造集电区。

再在顶部通过外延生长一层 P 型材料，并将硅片退火，通过扩散，集电区面积就变得更大，浓度也更均匀。

当然，当制备 P 型外延层的时候，集电区被埋在下面。那么如何才能和埋层材料接触呢？正如我们在工艺那章所简要提到的那样，可

图 6-11　扩散区展宽。

以另外注入一个足够深的 N 型杂质和 N 型埋层相接触，这样就制备了一条从表面到埋层集电区的 N 型通路。从顶部看到的 N 型注入区就成为集电极的接触端。

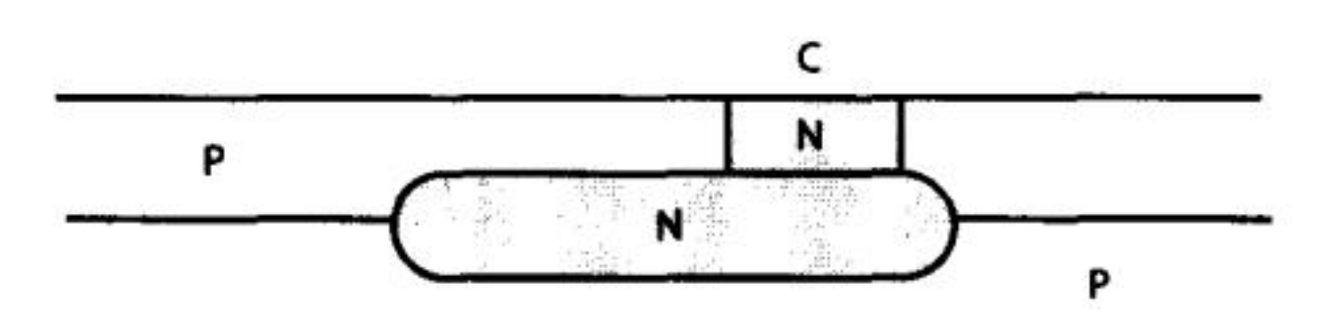


图 6-12　注入一个埋层的连接区。

下一步，制备基区，位于 N 型埋层上方有一个特殊掺杂的 P 型区，它并不覆盖整个 N 型埋层，因为还有一部分被注入的 N 型接触区在这儿。

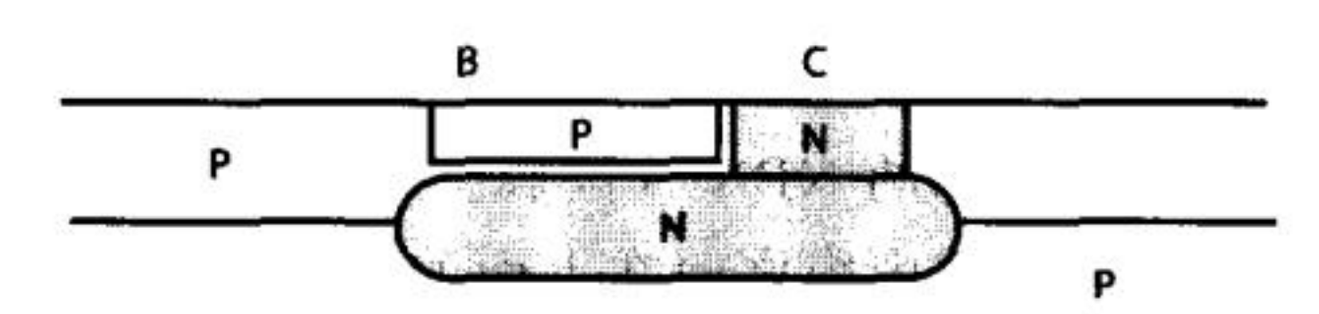


图 6-13　在埋层上方制备基区。

由于 P 型外延，使得这个区域中已经成为 P 型，但由于必须十分小心地控制 P 型基区的杂质浓度，所以，对基区进行了专门的注入。当然，必须保证注入的 P 区很浅以得到更快的开关速度。

制备双极型晶体管的最后一步是注入一些 N 型杂质来形成发射区。注意，N 型发射区的面积比先前埋入的 N 型集电区要小。这样太好了！因为底部那层代表了所需的接球手的特大型手套，我们很乐意见到它扩散得很大。记住，关键要控制位于上面的 PN 结而不是下面的那个。

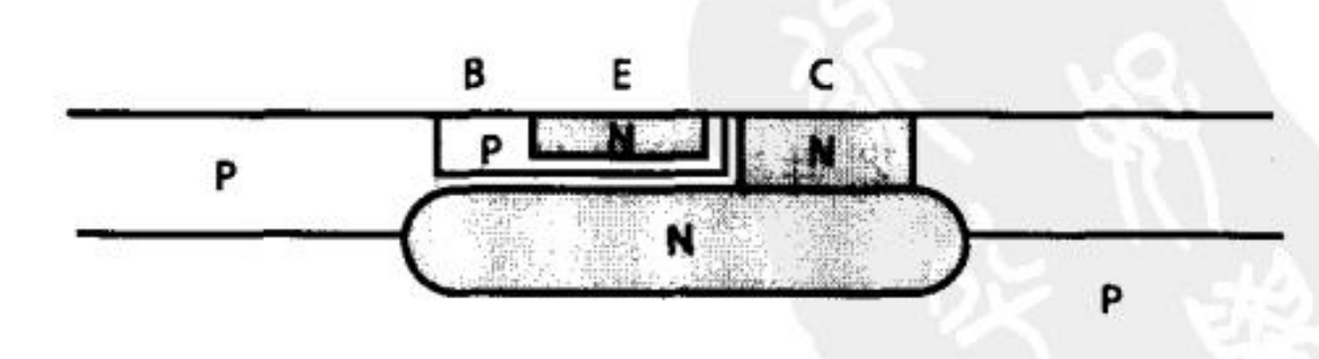


图 6-14　这就是发射极。现在在纵向的层上有了三个水平的接触区，这三个接触区分别标为 B、E 和 C。

在基区扩散以后，其水平方向的宽度远大于所需要的尺寸，这样就有足够的空间来连接它。表面的金属连接按照以下顺序，从左到右：基极、发射极和集电极。

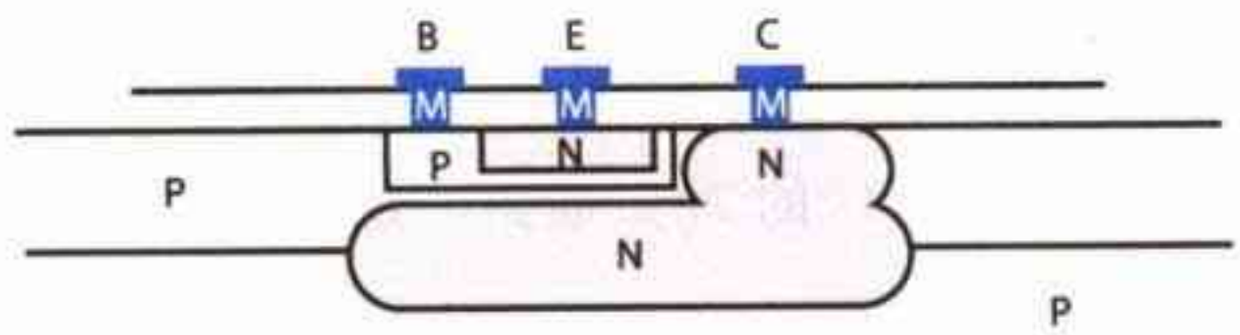


图 6-15 金属接触的剖面图。

俯视一个典型的 NPN，能看到的仅仅是三条分别表示了基极、发射极和集电极连接的金属条。注意两个 N 型接触是互相挨在一起的。

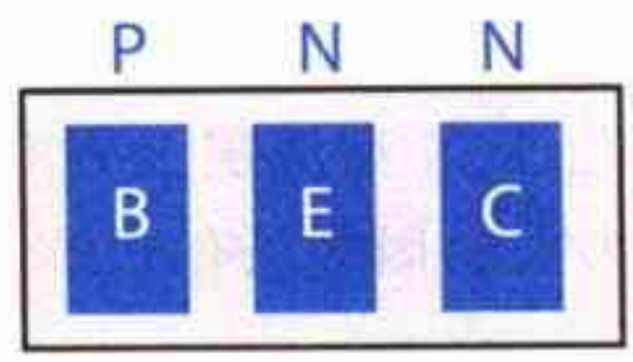


图 6-16 NPN 器件的顶视图。注意中间层的接触位于较远的左边。

试着在其中寻找实际的 NPN 管区域。（我的意思是真正的 NPN 管的位置。在阅读下面的内容之前在上面的图中找到它，器件真实工作的区域，它会是整个器件吗？）

它并不是整个图形部分，是不是？有趣的事都发生在中间部分。

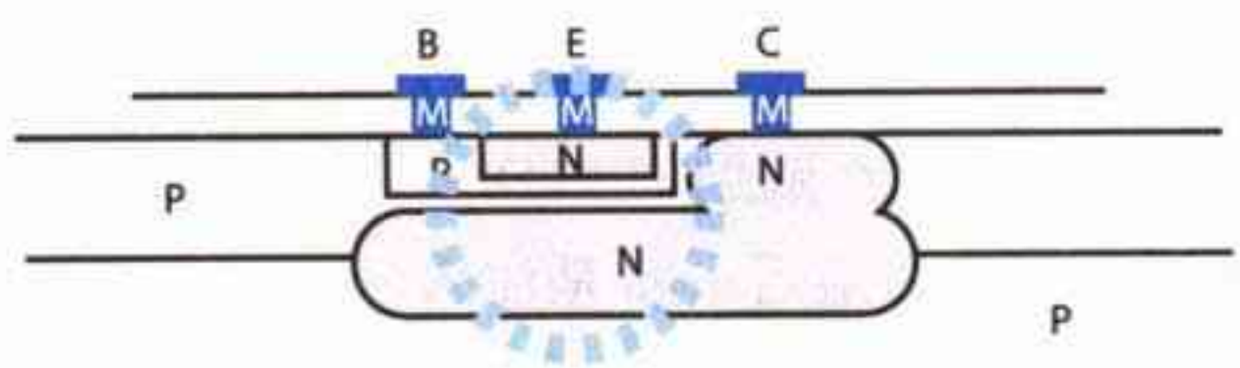


图 6-17 主要在两个 N 区之间产生作用，即在中间部分发生作用。

制备纵向 NPN 管往往使用过量的 N 型和 P 型材料，并将它们向两边延伸，目的是为了得到表面接触。而 NPN 管实际上仅仅在三层纵向相互重叠区域工作。虽然使用 N 型接触层与埋层连接浪费了珍贵的芯片面积，但是最终的器件速度是惊人的。

6.5 NPN 管的寄生效应

离子注入的基区延伸出了器件的边缘，超过了真正工作所需的区域。同时注入区的扩散增大了区域产生了一系列严重的、额外的寄生

电阻，并串联到表面的接触层。

同样，集电区也被推进伸出了边界，并且同时向上扩散，因此，在集电区无疑地会存在一个电阻。此外，在底部还存在着一个我们熟知的 PN 结，这样集电区和衬底之间存在一个很大的寄生电容。

在所有的寄生参数中，最突出的是基区电阻和集电区电容，这些寄生参数将会降低器件的性能。也许有一天我们可以向你展示一些聪明的解决方案，到那时，在你画版图的时候只要尽可能处理好这些寄生效应就行了。但遗憾的是，至今为止还没人提出好的办法。（如果你做到了，请告诉我们。）

6.6　PNP 晶体管

就像在 CMOS 工艺中可以制备互补的 N 型 FET 和 P 型 FET 器件一样，与 NPN 器件对应的互补器件是 PNP 管。注意这里的集电区和发射区，它采用 P 型半导体取代了 NPN 的 N 型，相应地，基区则由 N 型取代了原来的 P 型。

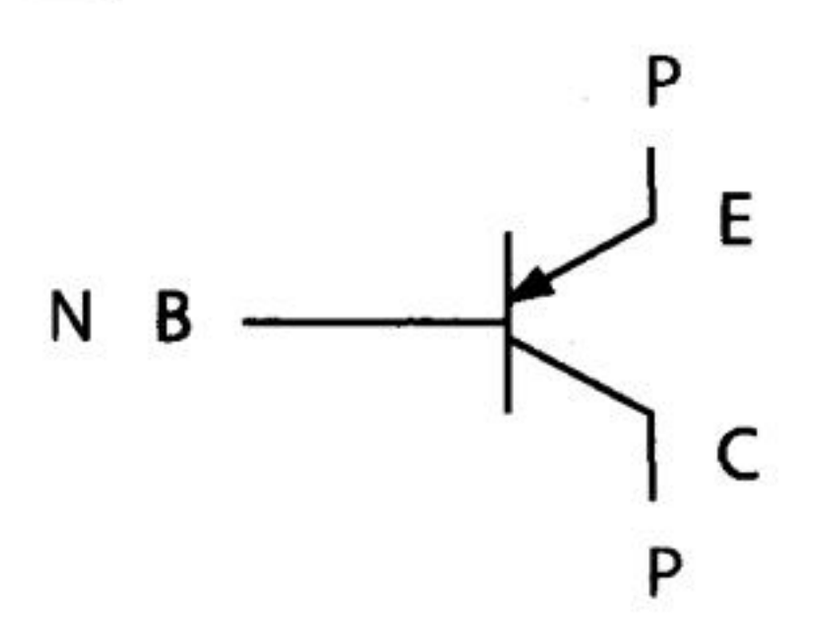


图 6-18　NPN 管的互补器件——PNP 管。

箭头代表了发射区中的电流方向，可以看到，PNP 管的箭头方向和 NPN 器件相反。

6.6.1　横向 PNP 管

如果采用纯双极型工艺，那么很容易制备 PNP 管，基于双极型工艺可得到任意想要的注入浓度。

兼容双极型器件和 CMOS 器件的工艺越来越流行，称之为 **BiCMOS** 工艺。BiCMOS 不但提供了 NPN 器件的速度，还结合了基于 CMOS 技术的逻辑功能，从而可以利用在这两个领域中最好的性能。

但是，在基于 BiCMOS 工艺制备纵向 PNP 管时，需要用额外的一层来充分地隔离底部的集电区，这隔离层在制造 NPN 管时是不需要的。因此需要在下面多一层 N 型扩散层，作为隔离层。

额外添加一层材料就意味着需要更多的工艺步骤，花更多的钱，存在更多的出错几率。所以，虽然有一些 BiCMOS 工艺会提供一个 P 型埋层，但大多数 BiCMOS 工艺不制备纵向 PNP 管，因为基于 BiCMOS 工艺的纵向 PNP 管的制备成本实在是太高了。

在大多数 BiCMOS 工艺中，如果需要一个 PNP 器件，一般会采用比较便宜的横向 PNP 管，它的结构很像 FET。一个横向 PNP 管通常包含一个 N 型区（通常是 N 阱），在这个 N 型区内又包含一个 P 型区和一个 P+区，这些都是横向的。

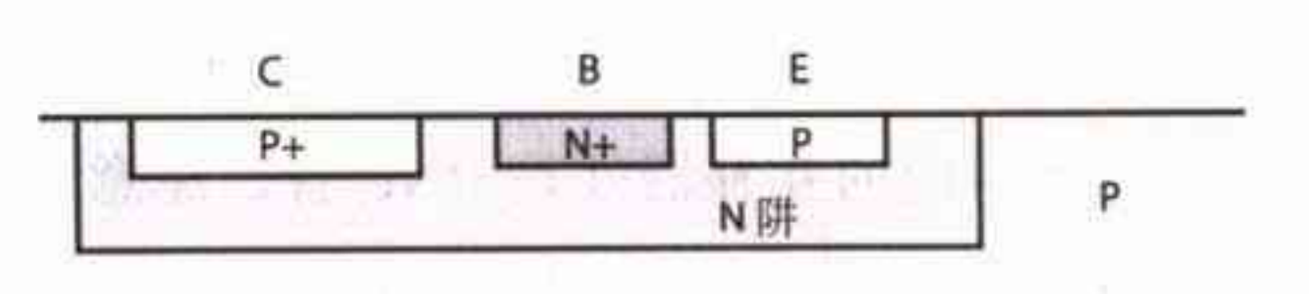


图 6-19 横向 PNP 管。

如果采用了横向 PNP 管，那你可以在一次制备过程中构造两个管子，这样可以降低阱中的串联电阻。横截面图说明了 PNPNP 的结构，其实是两个 PNP 管共用了中央的一个 P 型区。

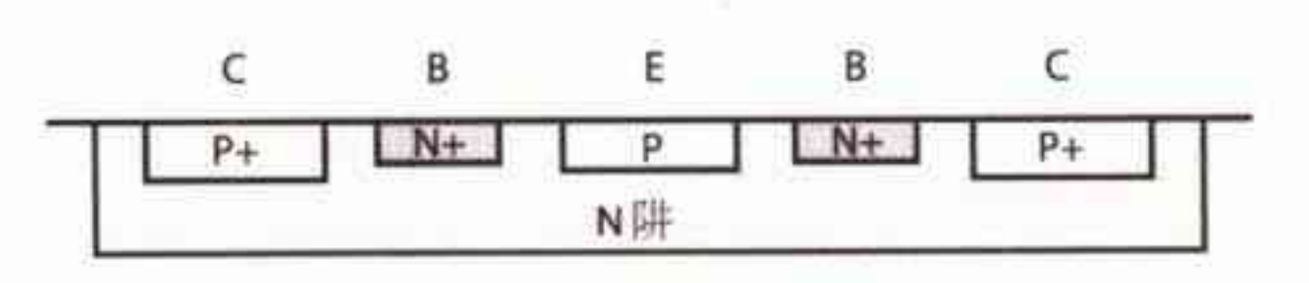


图 6-20 既然你使用了 PNP 管，那么它很可能是横向的。这儿是 PNPNP 结构，有效地将两个 PNP 管合二为一。

俯视横向 PNP 管，你会看到有 P 型杂质、N 型杂质和 P 型杂质组成的三个同心圆，而不像简单的 FET[②] 那样的只有一些直条。你甚至还可以将二合一的 PNPNP 做成环状，（如图 6-21 所示）。

一些人用 N 型掺杂的多晶硅替代注入了杂质的发射区，与注入深度较浅的掺杂相比，N 型掺杂多晶硅提供了较低的电阻。

这下明白了吧！基本的双极型互补开关管——NPN 管和 PNP 管就是这样制备的。

---

② 如果我说它们是圆，那就是圆，此时不要太介意那些很尖的拐角。

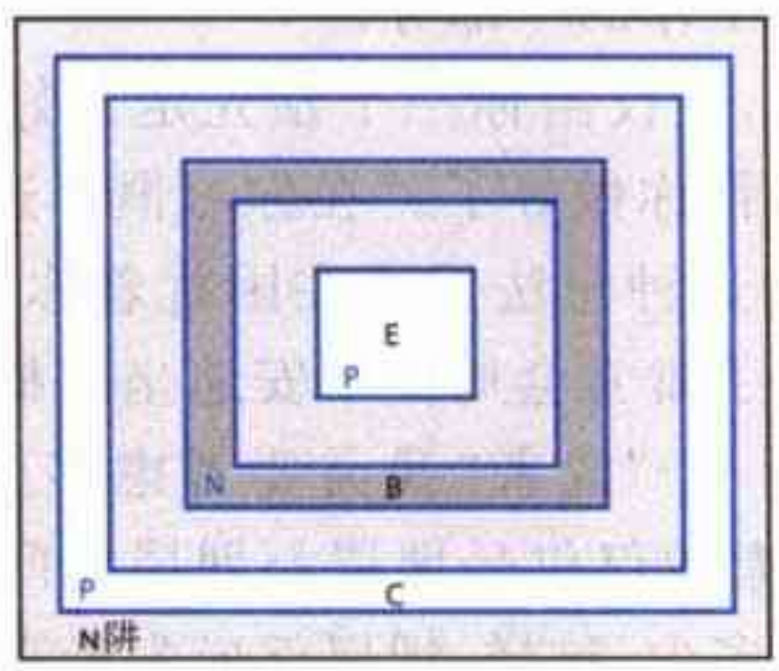


图 6-21　PNP 管的环状版图。

6.7　双极型晶体管版图与 CMOS 版图的区别

CMOS 的源漏区有着奇特的共用和互换特性，经常容易混淆。与 CMOS 不同，双极型管的放置和连线是固定的，从这一点说，双极型晶体管的版图更简单。

因为双极型晶体管通常用于高精度的模拟电路或者高频-高精度的模拟电路中，所以必须学习处理下面这些新问题，譬如，连线问题，器件之间相互的位置关系和高频的耦合串扰等问题，而这些问题都是非常重要的，而且往往比你预料的要多得多。（在我们合作的另一本书中说明了这些问题以及其他的一些基本论题，那本书的内容更深一些。）

6.7.1　设计规则的数量

仅有丰富的 CMOS 技术背景的版图设计师转向双极型器件版图设计往往比较困难。CMOS 技术需要许多设计规则，所以版图设计者在设计版图之前必须彻底理解这些规则。但是，由于双极型器件已经预先为你构造好了，而且一般不存在器件区域共用的问题，所以只需要很少的规则就可以完成设计工作。

有时候你会对这种情况束手无策，当你基于双极型工艺放置几个单元以后，你的神经或许会崩溃，因为所给的设计规则似乎太少了。这样，你会很想去办公室寻找那些你认为一定存在的设计规则。你也会怀疑老板是否清楚他在谈论的东西。

例如，如果在 CMOS 工艺中要实现源漏区共用，你需要知道接触孔到栅极的最小距离是多少，栅极伸出有源区的距离是多少，隔多远设置一个阱连接点。这样你必须密切了解 CMOS 电路的设计规则，

理解这些规则也是你工作的一部分。

在双极型技术中，仅仅给你一个预先定义好的版图块，然后告诉你“嘿，所有的规则都帮你做好了。”在你习惯了这样的设计以前，因为寻找更多设计规则的这种想法始终在困扰着你，它会使你身心疲惫。双极型版图设计的新手常常会局促不安地坐在椅子上，会问这样的问题：“设计的规则是什么？”或者“我需要考虑多少条设计规则？”事实上，所有你所需要考虑的仅仅是埋层与埋层之间的最小距离是多少，埋层反扩散的距离是多少，这样，埋层就成为最需要保持距离的材料。

一旦决定了埋层之间的最小距离，那么在版图中剩下来只需考虑金属的连线规则了。所以，如你所见的那样，双极型版图设计比CMOS版图设计更加简单明了。

从我培训其他人的经验中得知，CMOS电路的设计工程师最害怕的就是不确定，而非常习惯于掌握30到40条规则，所以每当我对他们说“好了，你们仅仅需要对晶体管进行布局，然后将它们连起来”时，他们的脸上都会出现疑惑的表情。

“但是我需要知道30到40条的设计规则呀！”

“不，不需要，只需要知道4、5条就可以了。”

一旦你对只用4到5条规则来设计版图不再感到疑惑时，你就会对布置晶体管更有信心，你的工作也会变得更有创造性。与其花那么多精力来考虑设计规则，不如运用你的创造能力来优化互连、对称、匹配以及寄生效应等等③。

双极型器件版图设计人员需要比CMOS版图设计者对电学、电子和电路技术等有着更多的了解。虽然并不是多很多，但是电学知识都会给你很大的帮助。对于CMOS版图设计者来说，与理解电路功能相比，理解设计规则就显得更为重要。

在CMOS版图设计中，考虑更多的是设计规则。
在双极型版图设计中，考虑更多的是电路功能。

在双极型版图中，电路的功能显得尤为重要。你应该考虑电路在

③ 可以参考我们合作的另一本关于版图设计技术的书。我们努力使每本书都很便宜，确保你可以同时拥有这两本书。记住在每本书上都写下你的名字，防止别人有借无还。

干什么，是怎样工作的，而不是考虑诸如扩散区与栅极距离是否太近之类的问题。你还应考虑是否要把发射极面积变大以使这个器件和电路另一端的其他器件相匹配，通过版图的信号是否符合要求，等等。

由于你设计的是高频电路，所以比起那些扩散规则，你需要更多地注意电路的功能。

6.7.2　黑匣子式的布局

大多数的双极型器件不能像 FET 那样简单地建模。因此，不能像设计 CMOS 版图那样，随意拉伸或者倍增器件的长度或宽度。双极型工艺会给你 4、5 种，或许 10 种固定器件供选择，这些器件的模型都是建好的，你不能随意改变这 4、5 种或 10 种给定的黑匣子。他们会告诉你这些器件是如何工作的以及周期如何。你不需要考虑扩散问题，也不能拉伸器件。双极型晶体管对你来说就像是一个具有魔力的、但又不可及的长方形黑匣子。

了解黑匣子的内容对理解正在设计的版图是很有用的，一旦你理解了这个黑匣子，那么版图设计就成为连线、连点的练习了。当然，肯定有人已经设计并测试了这个黑匣子，了解了器件的布局，扩散等问题，掌握了所有的工作情况。当然，当由你去创新设计一些双极型器件时，了解双极型器件的工作原理就显得非常有用了。

结束语

在我的一生中，主要从事双极型版图的设计工作，因此，我讨厌设计 CMOS 版图，因为它要遵守那么多的规则，就像脖子被卡住那样的痛苦。

你会发现电路设计者更加重视双极型版图，因为这些电路包含了功能和频率问题。在 CMOS 电路中能侥幸成功的事情，在双极型电路中绝对不可能，就像这种想法，“噢，这里没有空间放置这个晶体管了，我可以将它移到边上去。”

电路设计者会一直鞭策你，他会说：“我不关心你是不是有足够的空间，这个晶体管一定要挨着那个管子，因为从晶体管 1 的集电极到晶体管 2 的发射极的连线必须尽可能的短，那段线的长度对电路的工作非常关键。”

当然，随着 CMOS 电路频率的上升，其版图设计也越来越关键，但是，一般的 CMOS 电路仅仅是“将它们排列得尽可能紧密”，考虑一些电流密度规则和方法就行了。相比而言，双极型版图的设计更富有创造性。

各公司努力寻找有双极型模拟电路版图设计经验的员工，这些人通常比只懂简单的 CMOS 版图设计的人获得更多的薪水。但有着丰富的双极型版图设计经验的人实在太少了，所以一旦公司找到了这种人，他们将会受到更多的关注，尤其是那些有着高频电路设计经验的人。

本章学过的内容

在本章中，你看到了以下内容：

- 利用纵向夹层来减小电容
- 采用较薄的材料层提高开关速度
- PNP 管需要特别的工艺来处理隔离问题
- NPN 管的工作原理
- 发射极、基极和集电极
- 纵向晶体管的结构
- 对于埋层接触区的注入
- 由两种横向方法构造的 PNP 管的缺点
- 对于具有 CMOS 版图设计经验的读者的建议

……

第 7 章

二 极 管

7.1 内容提要

在本章中，你将看到以下内容：

- PN 结二极管
- 二极管的几种构造方法
- 二极管的几种不同应用
- 将晶体管作为二极管使用的原因
- 如何防止电压击穿损坏芯片
- 二极管典型形状的一些变化

……

7.2 引言

这一章十分简单，正如大家所见到的那样，二极管只不过是一个 PN 结。

集成电路中随处可见注入 P 型杂质和 N 型杂质的区域，因此它们中的任何一对都可以用来制造一个二极管。但是，某些 PN 结组合比另外的一些组合更适用，PN 结的适用性取决于掺杂、注入的深度以及其他一些因素，并不是所有的 PN 结都相同。

正如前面所讲的那样，电流仅能从一个方向通过二极管，利用这个特性，二极管可以用于器件之间的相互隔离。本章将介绍这种单向导电特性的一些新应用。

7.3 二极管的种类

“如果在 P 型衬底中注入 N 型杂质会怎样呢?”大家显然更希望采用比随机注入更好的方式来控制二极管，因此我并不认为 PN

结都是这样简单的情况。事实上，人们已经发展了一些制备二极管的方法，从而实现对二极管的有效控制。

你希望二极管做什么呢？你希望它怎样做呢？在你的设计中，它怎样和其他器件一起工作呢？你需要双极型晶体管或者 CMOS 晶体管吗？这些问题的答案将决定你如何构造二极管——哪些用 P 型，哪些用 N 型，怎样设计版图，是否包括附加的晶体管元件，等等。

7.3.1 基本二极管

制备 PN 结的一个最简单方法是在 P 型衬底中掺入一些 N 型杂质。然而，该结构的可控性并不理想，因为 P 型衬底的掺杂浓度未必和你所设想的完全一致，当然，如果注入的杂质浓度合适，就可以制造出一个有用的二极管。

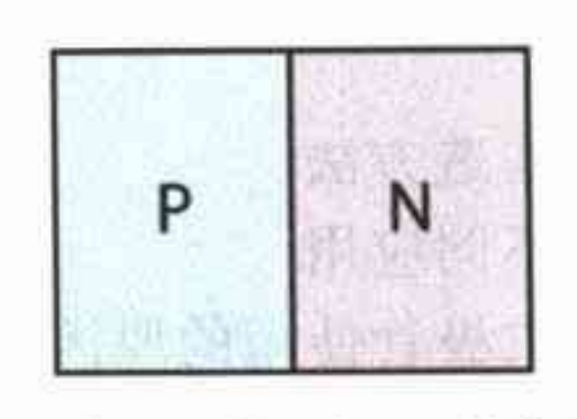


图 7-1 二极管是一个 PN 结，在 P 型衬底中注入 N 型杂质是最简单的制备方法。

基本二极管的应用

很多电路都需要二极管，尤其是模拟电路。在 CMOS 工艺中，二极管对提供参考电压、温度补偿以及温度测量等都非常有用。例如，提供芯片温度反馈的二极管，当应用在某种特殊的电路中时，可以根据芯片工作时的发热量来提高或降低其功率。

作为二极管应用的另外一个例子，你可以用基本二极管制作一个对数放大器。将二极管接入运算放大器的反馈回路中，原来由电阻构成反馈通路的线性关系变成了对数关系。

7.3.2 由双极型晶体管构造的二极管

在双极型晶体管电路中，二极管的选择依赖于电路技术，可以用双极型晶体管作为二极管，这样就不必再像以前那样用一大块 P 型或 N 型材料来构成基本的二极管。

还记得上一章介绍的双极型晶体管 NPN 管吧：集电极、基极、发

射极。其基极/发射极之间的 PN 结就是一个二极管，所以，可以将这个结作为一个二极管来使用。

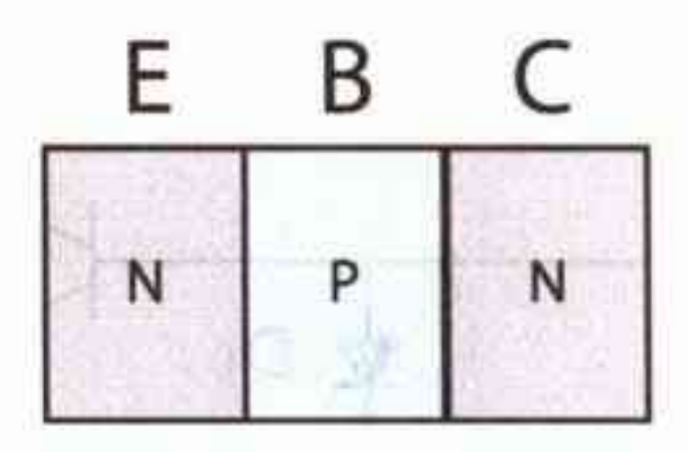


图 7-2　晶体管由 PN 结构成。事实上也可以将晶体管的一部分作为二极管。

有时我们需要二极管的电特性与双极型晶体管相同，用以跟踪晶体管的特性。但是衬底上制备的常规的、简单的二极管，其电特性并不一定会和所跟踪的双极型晶体管特性相同，因为它们制备的步骤有着很大的差异。所以，当跟踪一个双极型晶体管特性的时候，需要使用另外一个晶体管。然而，你只用了双极型晶体管的基极和发射极部分作为二极管跟踪特性。因为我们制备的是一个完整的基极/发射极/集电极晶体管，但这里仅仅用到了基极和发射极，所以就必须对集电极进行一些处理，一般都是将它和基极短接。

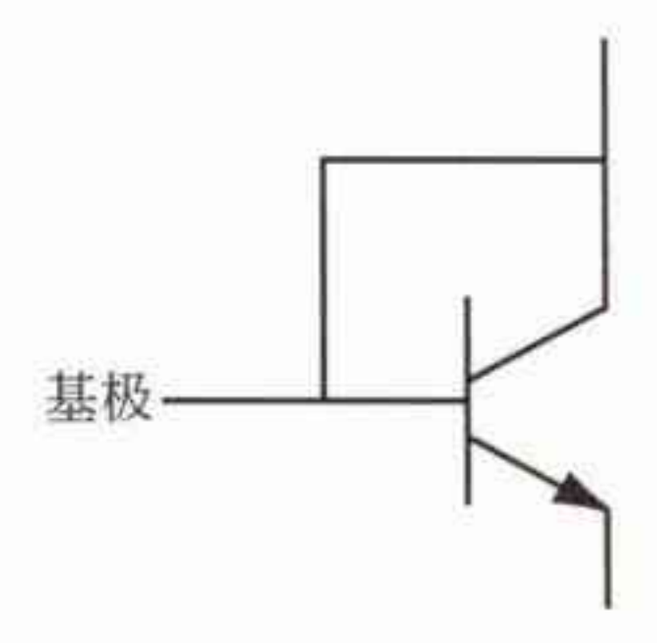


图 7-3　短接集电极，得到了一个由基极/发射极构成的二极管。

由双极型晶体管构造的二极管的应用

让我们进一步研究那个跟踪的例子。现有一个很小的电路——由一个双极型晶体管和一个与其发射极相连的电阻构成的电路。我们要测量通过右边电阻 R_2 上的电流。但是，任何跨接 R_2 的测量都会对电路产生影响。如果可以在别处模拟这个电流，那么就可以在不影响原来电路的情况下进行测量了。

如果在基极和地之间连接一个二极管 D_1 和一个类似的电阻 R_1，

这样就可以测得 R_1 两端的电压。其中二极管的特性和 Q_2 中基极/发射极之间的 PN 结的特性相同。

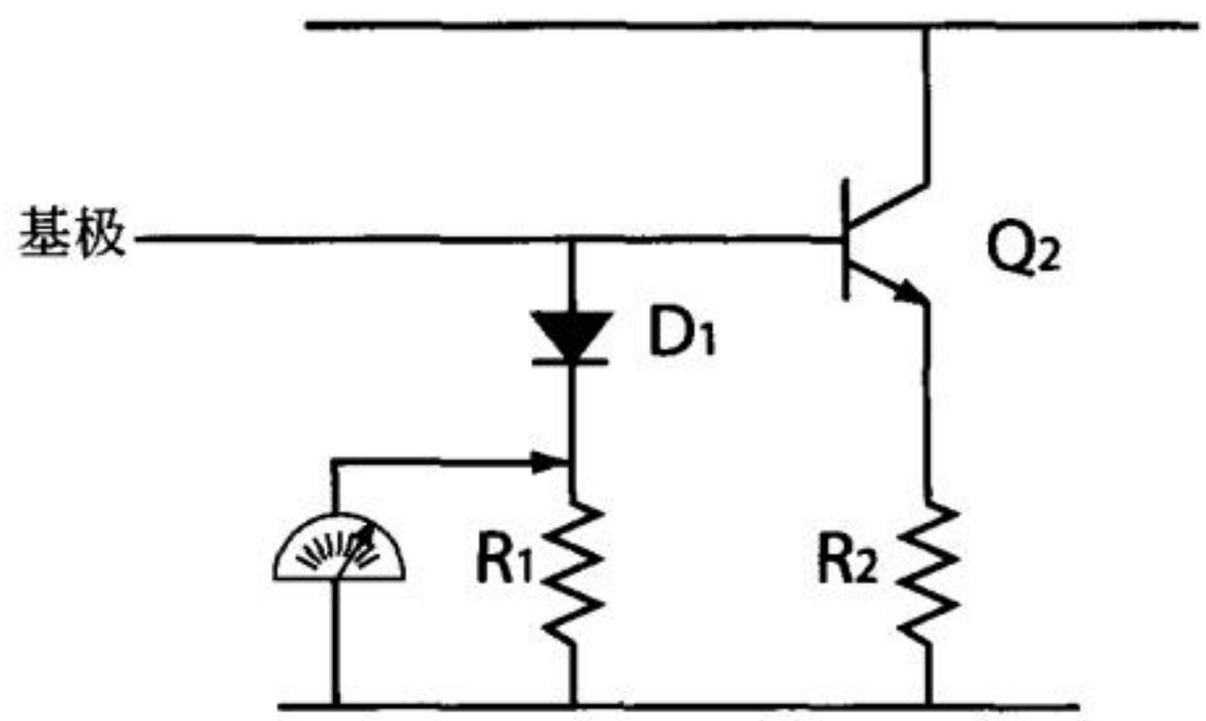


图 7-4 挑战：在不影响原来电路的前提下测量 R_2 两端的电压。

现在继续改变电路，用一个双极型晶体管构成的二极管代替那个基本的二极管。因为这个由双极型晶体管构成的二极管与 Q_2 的制备材料和制备工艺都相同，假如它们在芯片上又靠得很近，那么这个二极管和晶体管 Q_2 的特性相同。

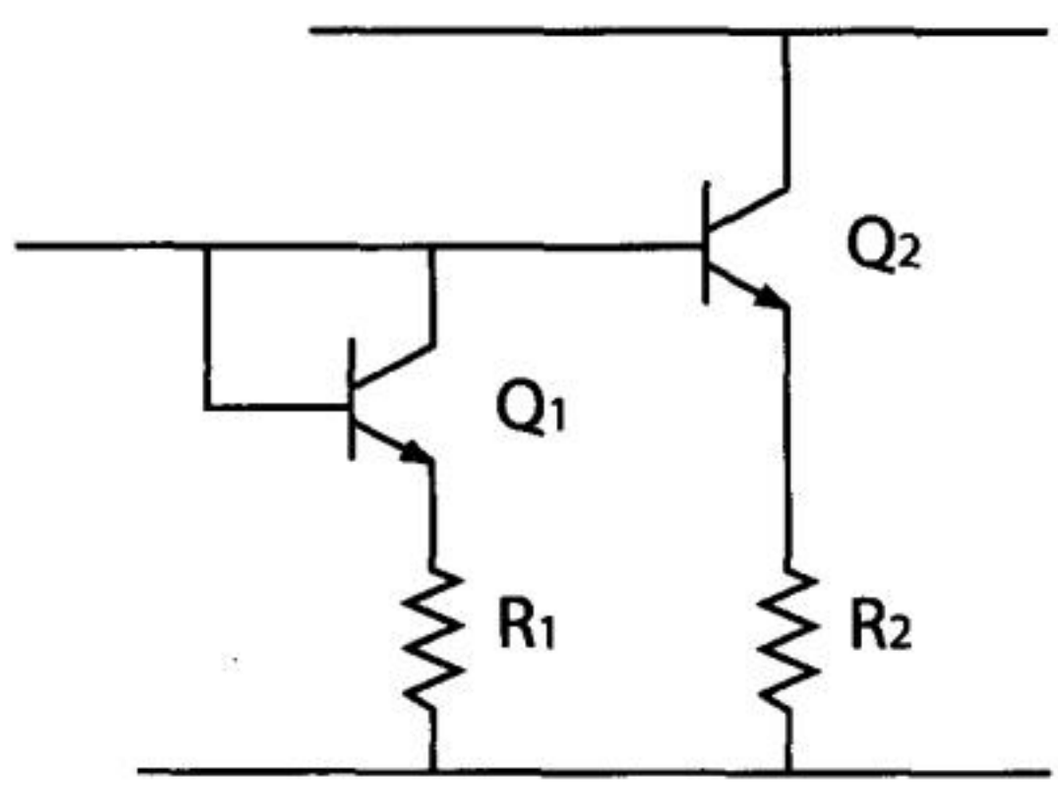


图 7-5 采用双极型晶体管构成的二极管进行特性跟踪的例子。

这正是我们所需要的。在芯片的其他地方模拟了 R_2 的特性，这样就可以在新器件上测量与 R_2 相同的特性。现在，我们就知道了如何解决实际电路的测试问题了，而且决不会影响到原来的电路。

从版图设计的角度看，你可以采用两种方法的任一种来制备这个跟踪二极管。一种方法就是利用一个常规的晶体管，并将其集电极和基极短接。

作为一种选择，你可以利用一个双极型晶体管版图，从中省略埋层、集电极和它的接触层。

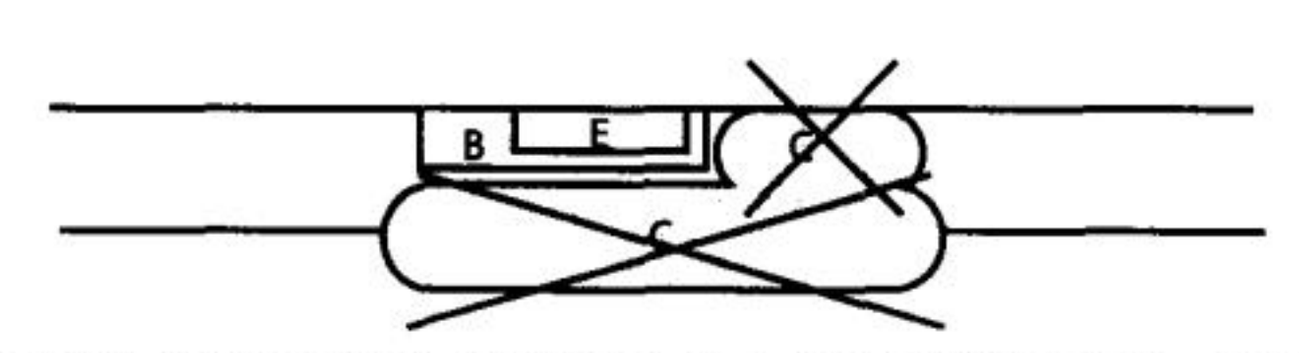


图 7-6　双极型晶体管的版图去除埋层，集电极和接触层便构成跟踪二极管。*

这种方法需要再解释一下，以便对这个问题有更深的理解。

虽然去掉了集电极，但是由于和所跟踪的器件具有完全相同的材料和工艺，因此，采用双极型晶体管的一个 *PN* 结作为跟踪器件仍是有效的。当然，尽管这种方法提供了一个跟踪二极管，但因为缺少了某些部分，它和双极型晶体管并不是完全匹配的。

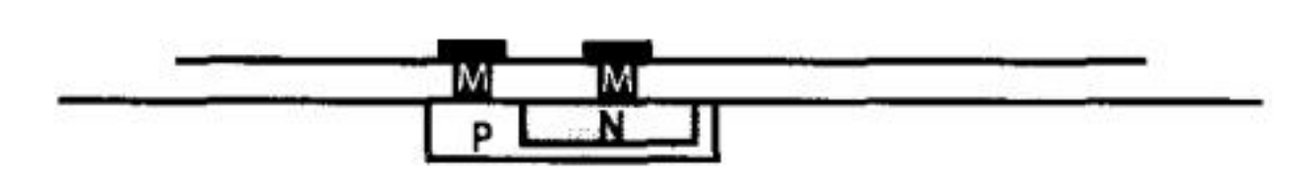


图 7-7　省略了集电极，节省了空间，但是我们可以相信一个缺少了部分要素的跟踪器件的特性吗？

所以，尽管会占用更多的空间，但人们一般都会把集电极保留下来并采用短接的方法来确保更好的匹配性。通过使用两个完全相同的晶体管，确保了两个器件的性能完全相同。当然，由于集电极的出现，和使用一个基本二极管相比将存在更大的寄生效应。

从版图设计来讲，没有更多的版图设计问题了，按照需要简单地将它们连接起来即可。

7.3.3　变容二极管

另外一种有用的二极管是**变容二极管**。根据所加电压的不同，变容二极管具有一个可高度变化的结电容。虽然所有的二极管都具有变容特性，但是在变容二极管中，我们采用了特殊的掺杂来进一步增强这种可变电容的特性。

二极管的电容值取决于存在的电子和空穴的数量。当你增加或者减少所加的电压时，半导体中的电子和空穴就会被所加的电压所吸引或排斥，电势的势垒高度会增加或降低，半导体平行极板离开得更远或靠得更近。正如在电容那一章所述，电容的值与两个极板之间的距离是成反比的，因此，电容随着所加电压的改变而改变。

变容二极管的应用

变容二极管在构造压控振荡器时非常有用。利用变容二极管电

---

* 译者注：图题中“埋层”为译者所加，原书图题中无“埋层”，与前文不符。

容可变的特性，可以和芯片上的电感一起共同形成串联或并联的谐振电路。这样，如果用一个外部的调谐电压来改变二极管的电容，就可以改变电路谐振频率。

7.4 ESD 保护

在 *IC* 中，二极管的一个有用的特性是 **ESD** 保护，即**静电释放**保护。如果我们整天穿一件由 90%尼龙制成的外套，当你拿起一块芯片的时候，你的手指可以感觉到一个尖锐的高压电击。这些电击电压可以高达几千伏特。由于器件的氧化层非常薄，在这种高电压的轰击下，器件将会被损坏。

还记得我们曾经讨论过关于二极管的反向击穿特性吗？事实上，我们就是要利用这个反向击穿特性。下面将看到这到底是怎么一回事！

图 7-8 是由单个晶体管构成的电路，在没有保护的情况下，给这个晶体管一个高电压，那么栅氧化层将会被击穿。

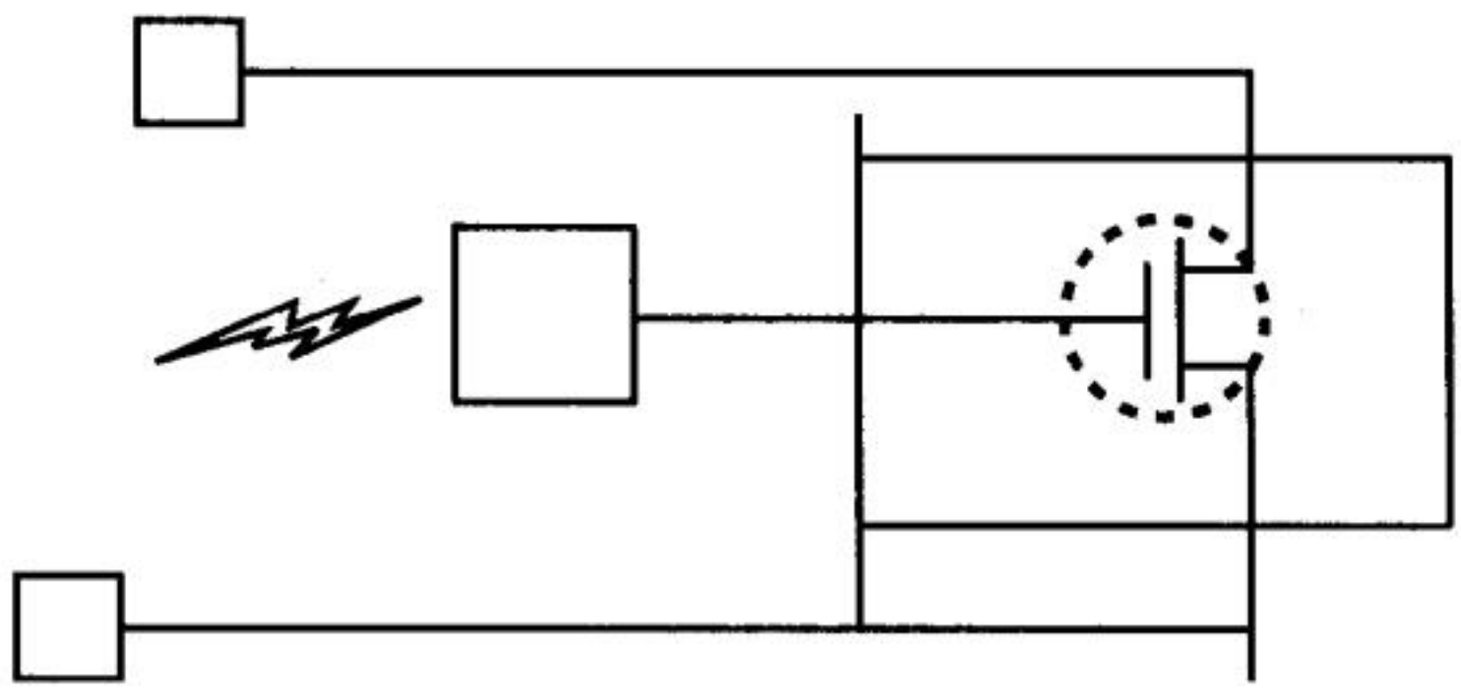


图 7-8 高压电击！当拿起芯片的时候，静电释放毁掉了薄栅氧化层。

你可以在晶体管前放置两个二极管，如图 7-9 所示。

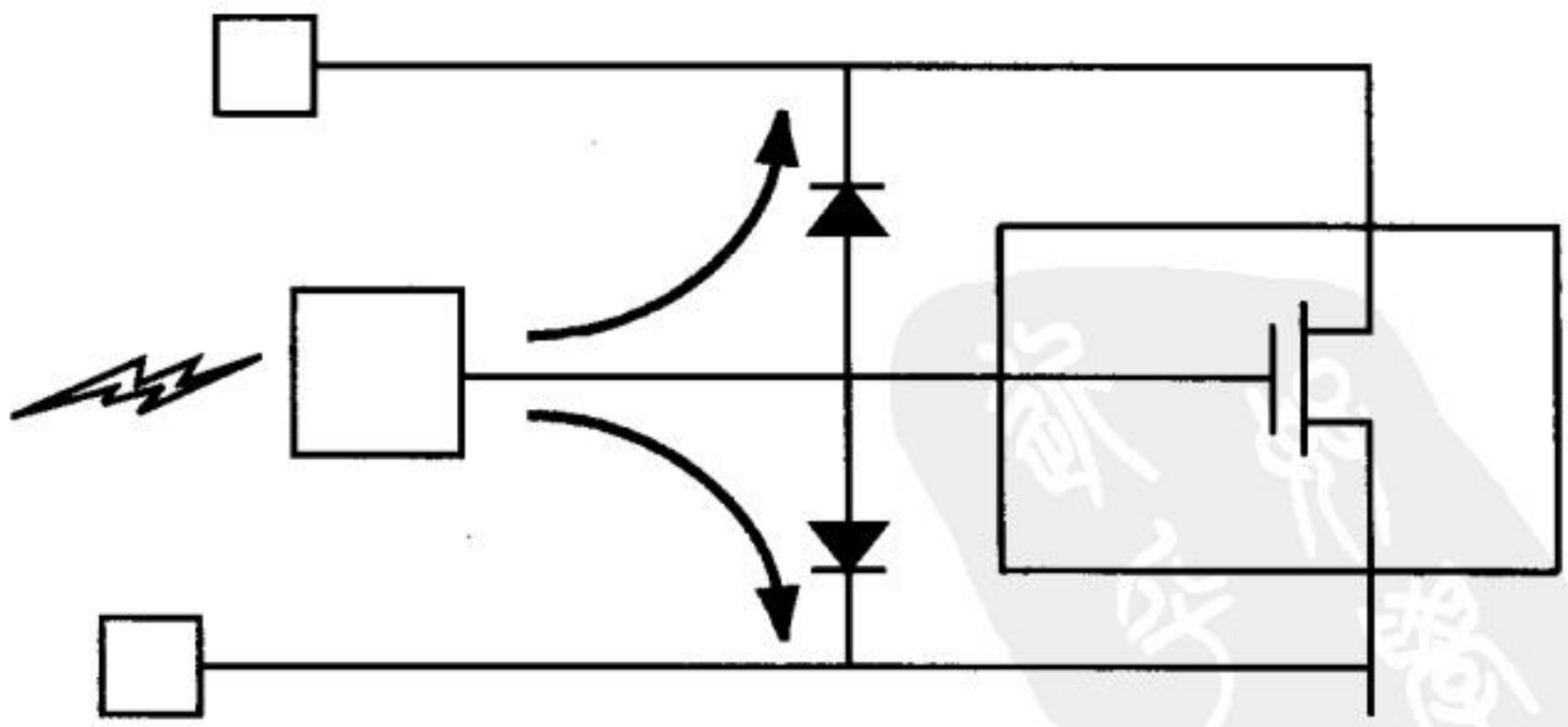


图 7-9 二极管在反向高电压下将导通，形成对高压静电电流的泄放通路，这样，栅将不会遭到破坏。

即使是采用纯 CMOS 工艺的条件，也可以利用 CMOS 晶体管本身制备 ESD 二极管，它们以晶体管的形式出现，如图 7-10，但由于仅仅用到其二极管的特性，因此称它们为二极管。

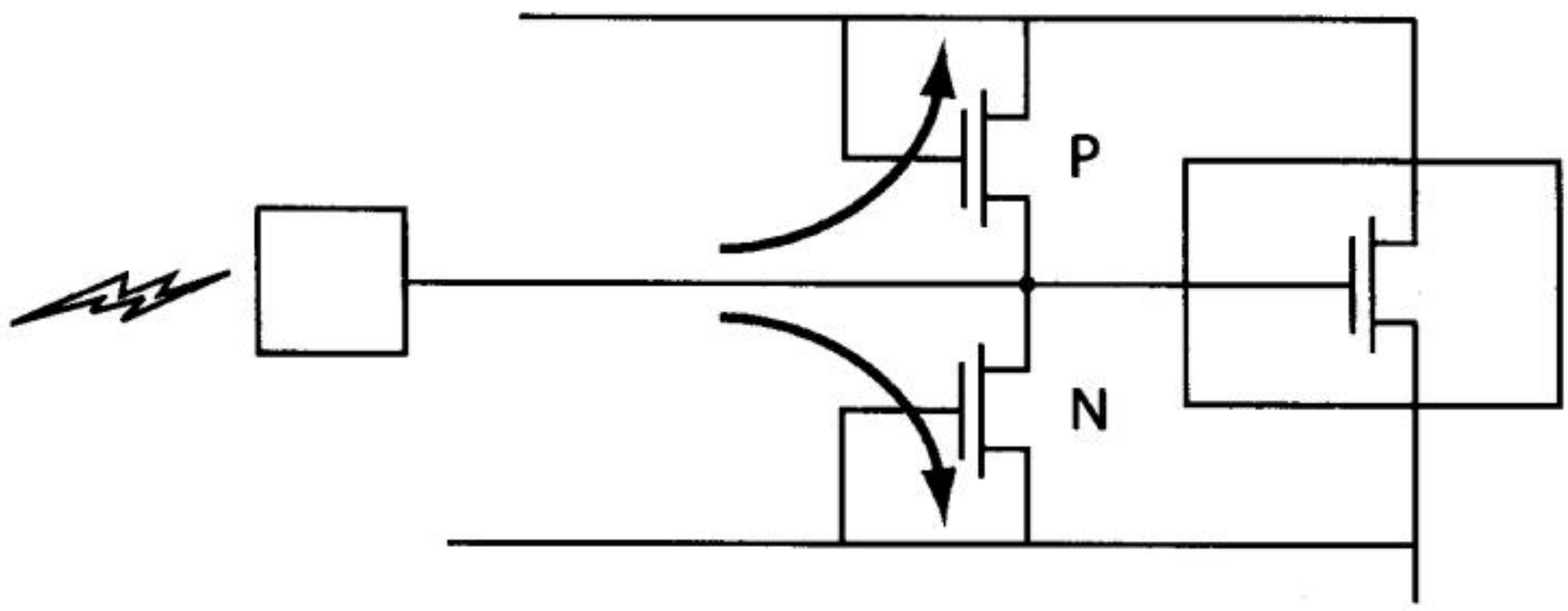


图 7-10　将晶体管作为 ESD 保护二极管。

当你拿起一个芯片，足以引起击穿的静电荷通过下面的那个二极管，以从上到下的方向从芯片引脚到负电源端被释放掉，这样，能量被释放了，没有任何的放电电压会到达晶体管的栅极。

ESD 二极管保护电路的原理是在下一级电路遭到严重破坏之前，二极管上电压已经达到了反向击穿电压。二极管的反向击穿电压大约在 12V 左右。一旦 PN 结开始击穿，它就会像导线一样自由地导通电流。这样，当电路受到一个高压静电作用时，静电电流更容易通过二极管流入一个错误的通路，而不再流进下一级电路。

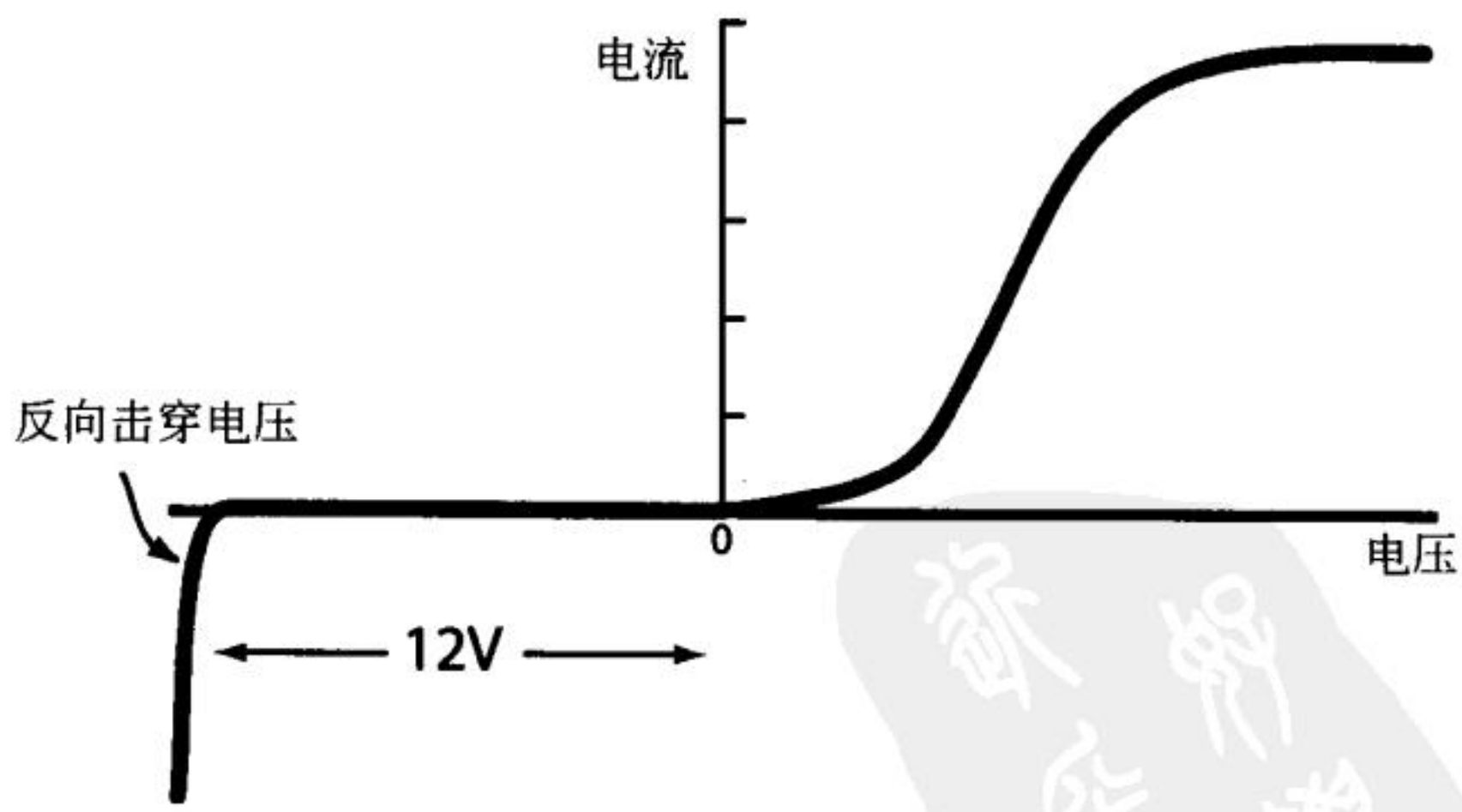


图 7-11　当对二极管施加一个反向击穿电压时，二极管将充分地导通，注意，是反向导通。

另一方面，在二极管的保护下，晶体管栅极的最大电压被钳位在12V，所以，晶体管和线路上的其他器件不会受到比这个值更高的电压。当电压回到正常的水平时，二极管又回到了本来的功能而不再起导线作用了。

因为引入了很高的电压，ESD 二极管需要非常小心地设置。任何一次高压击穿都可能毁掉一个好的电路。

衬底 ESD 二极管

优秀的 ESD 二极管版图都和能量流有关。现在，或许你已有了一个由衬底上的 N 型和 P 型半导体组成的二极管版图。

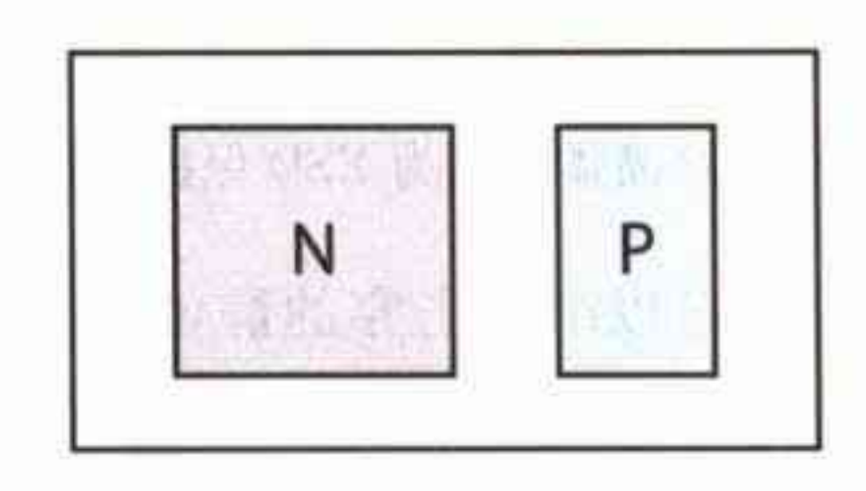


图 7-12 由衬底中的 N 和 P 形成的二极管。

为了尽可能多地泄放流入或流出二极管的能量，一些人将二极管画成环形结构。用环型的 P 接触围绕 N 接触，这确保了各个方向上释放的能量可以在尽可能短的时间内被收集。这是好方法，它确保了在各个方向上都存在电流通路。

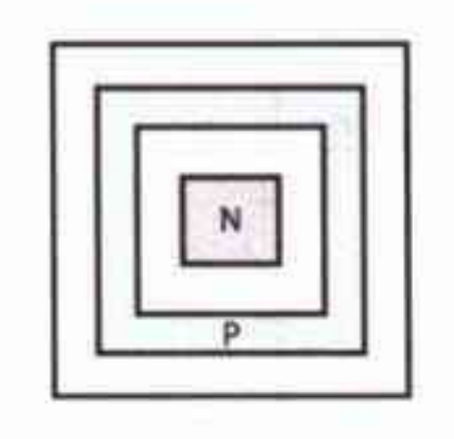


图 7-13 环形结构使 PN 结面宽度最大。

从侧面看，我们可以看到 P、N、P 这三个部分。

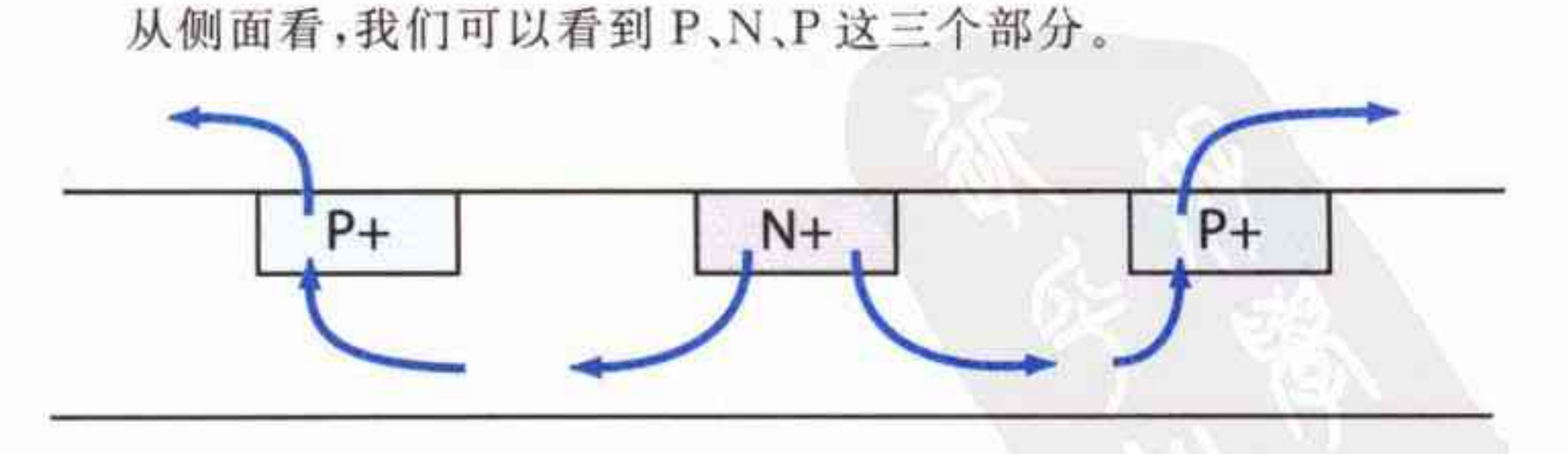


图 7-14 衬底环形二极管的横截面图。

当环形二极管遭到高压冲击时，能量从 N 接触处进入，要做到这一点很简单，难的是将这些能量尽可能快地耗散掉。因为有 P 环包围 N 输入，这样高压静电的能量就有很多方向可以传输。这就是环形结构的优点——可以有许多通路让能量离开芯片。在 P 型衬底上做 N 型掺杂形成 ESD 二极管的结构被普遍地用于 ESD 保护。

在 CMOS 工艺中，衬底二极管是免费制作的，不需附加的工艺成本。它利用的是已存在的扩散层，因此二极管版图也是在相关层上。

N 阱 ESD 二极管

通常，在芯片上会存在 N 阱，利用这个 N 阱，可以在中央注入 P，周围采用 N 型环包围。这种二极管和衬底环形二极管的道理是相同的。

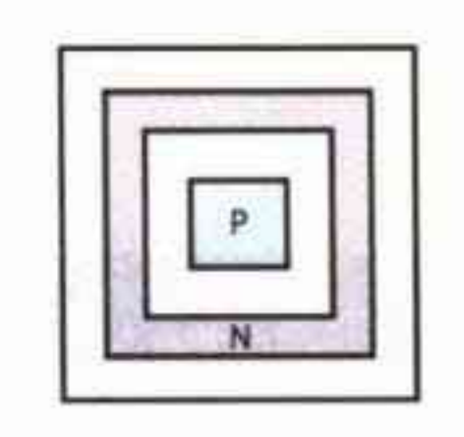


图 7-15　利用 N 型掺杂区包围 P 型掺杂区从 N 阱引入高压静电。

从侧面看这个二极管，和衬底二极管的横截面很相似。但是，N 和 P 掺杂位置正好相反。注意，现在电流的方向也和原先相反。

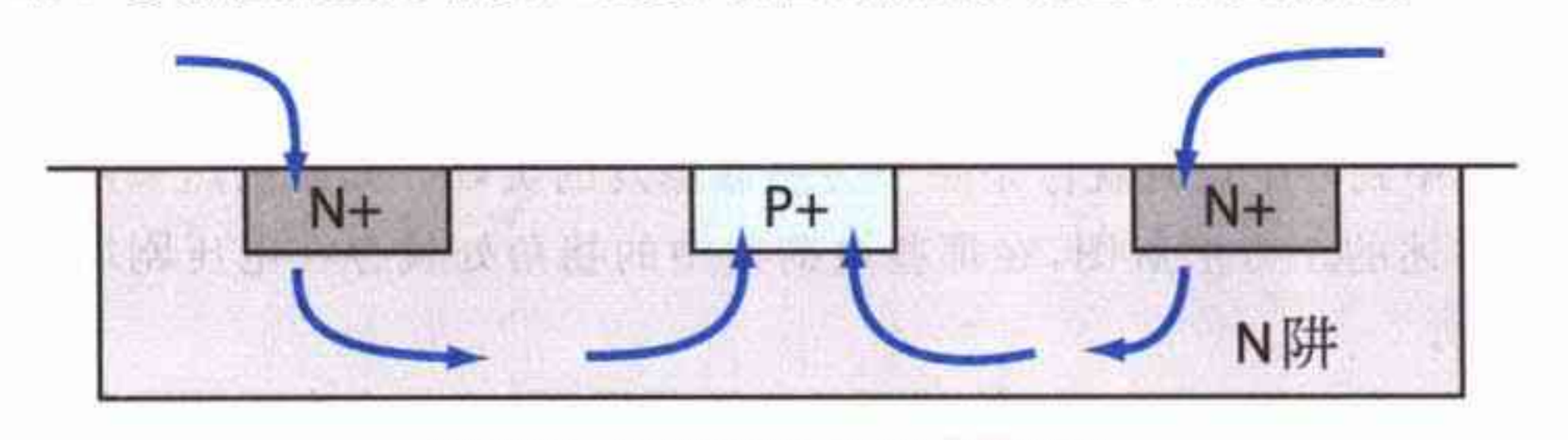


图 7-16　N 阱环状二极管的横截面。

这样的二极管称为**阱二极管**。阱二极管的典型应用是形成从输入到正电源的保护通路。从前面讨论可知，衬底二极管的典型应用是形成从输入到负电源的保护通路。

某些双极型晶体管的研究者，对于到正负电源的通路都使用阱二极管。他们并不想要耦合芯片上的所有信号到衬底，而更想将其限制在一个已知的空间里，这个空间就是 N 阱。所以，要根据不同的电路应用来使用 N 阱二极管，如考虑电路的频率等等。

每个输入和输出的引脚都需要 ESD 保护。因为谁也不知道拿起芯片时会碰到哪个部分——边角，中间还是侧面？因此，一个受到很好保护的芯片在每一个引脚上都会有一种 ESD 保护。

在每个引脚上都放置 ESD 二极管也有一个缺陷。ESD 二极管可能会毁掉一块芯片的优良性能。想象一下，假如芯片有一个很敏感的输入引脚并且有一些噪声很大的输出引脚，ESD 二极管将通过衬底和 ESD 二极管的电容将输出连接到输入。因此，在高频电路中，如何应用 ESD 二极管将是一个很大的问题。

随着频率的增加，电容阻抗变低。所以，随着电路频率的提高，从阱到衬底的电容几乎将所有的输入和输出相互连接起来。这样，在一些高频电路中，你可以看到人们在电路版图中故意不放 ESD 二极管，但在规模庞大的 CMOS 微处理器中，ESD 保护是一个需要重点关注的问题。

7.5 特殊版图结构

下面是两种特殊的版图结构，是你在设计二极管版图时需要记住的版图。

7.5.1 圆形版图

如果你曾经接触过高压发生器，例如避雷装置，你就会意识到高压集中到一个点时就像是一个会突然爆发的尖峰。如果仍然采用前面描述的正方形版图，在那些电荷集中的拐角处就存在电压剧增的危险。

一个理想 ESD 二极管的形状应该是圆形的（一个真正的圆形）。由于没有尖角，从而防止了高电压和电流破坏二极管。

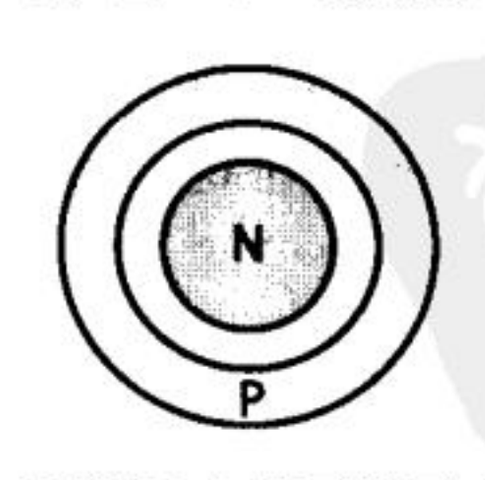


图 7-17 一些版图工具不能画出真正的圆。

圆型版图能够很好地牵制电压尖峰。因为没有拐角，电流就不会

在任何一个固定点上聚集。

CAD 工具并不能画出真正的圆，数学计算限制了软件性能。当需要一个圆的时候，你也许得画一个方形，画一个在你的容许范围内最接近的方形来代替圆。

多边形就像正方形一样，常常被用来近似圆形，边越多，接近的程度越好。但一些 CAD 工具不允许除了 45 和 90 度以外的角度，这使得你对圆的近似很粗糙。当然，也有一些工具可以画出完美的圆。

7.5.2　梳状结构二极管版图

有时候在一些特殊的二极管中，例如 ESD 和变容二极管中，可以看到一种梳状结构的版图，它和前面所讨论的细长 CMOS 晶体管版图很相似。同样，你可以将又长又细的二极管分割成单独的小块，然后把它们排列起来并用导线并联。

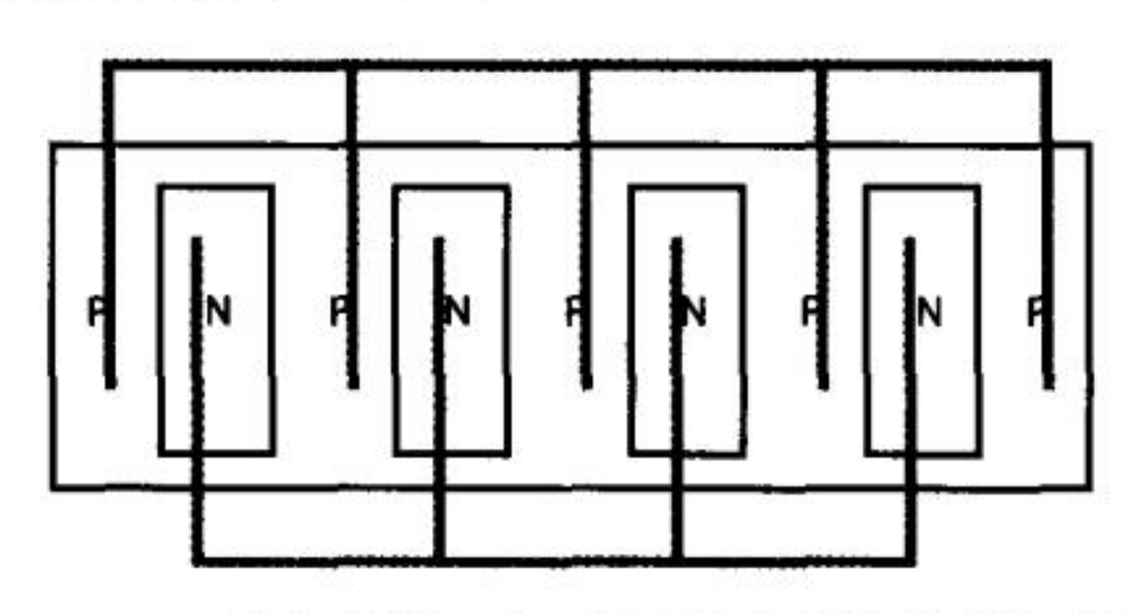


图 7-18　一个细长的二极管分割为梳状结构的版图。

分列二极管可以降低电阻，同时又不改变芯片的实际特性，这就提供了一种更易控制的、更紧凑的版图设计。

结束语

通常，只需从元件架上取下一个标准的二极管就可使用。现在你已明白了为什么需要这些二极管和怎么制造它们。与其他器件一样，你也许会被要求在基于某些标准下用新的工艺制备出新的二极管，如果不从工艺的观点来理解它，就没有线索，你会感到困惑。我想你现在不会再困惑了吧。

这就是二极管，不是魔术，去控制它吧！

这一章很简单，不是吗？

本章学过的内容

在本章中，你看到了以下内容：

- 用 PN 结作为二极管
- 基本二极管、反馈回路和对数放大器
- 采用晶体管作为二极管进行电压的匹配和跟踪
- 振荡器和变容二极管
- 形成对正负电源通路的 ESD 保护
- 环状结构
- 近似的圆形版图
- 梳状版图

……

第 8 章

电　　感

8.1　内容提要

在本章中，你将看到以下内容：

- 电流与磁场之间的关系
- 高频应用下的电感磁阻
- 高频传输特性
- 帮助信号绕过拐角
- 尖角对数学模型的影响
- 螺旋线的自感
- 器件寄生效应的同步协调
- 高频扼流器
- 变压器的实现
- 布局问题

……

8.2　引言

随着高频集成电路的快速发展，诸如电感之类的布线特性，都需要进行特别的考虑。对于数字信号领域而言，这其中的许多考虑都是非常陌生的，因此，可以看到，许多人正着眼于模拟技术，以求找到处理高频电路的工具。有句话是人们经常挂在嘴边的："数字世界即将到来，模拟电路将日渐消亡"，其实这句话是不对的，而且是大错特错。

模拟技术不论何时都是必需的。事实上，我对学习电子学的人们想说这么一句话："忘记什么数字世界，来学习模拟电路吧！

这会是你一生的工作!"诚然,某些设计者必须掌握数字电路知识,但对于模拟电路,你也许需要花三个月的时间来设计 10 个晶体管,而与之相对的是,在三个月的时间里,你可以设计含有 1200 万个晶体管的数字电路。设计 1200 万个晶体管是如此之容易,这只不过是一种复制的工作,这些工作让别人去做吧! 还是来做模拟电路吧!

闲话少说,下面进入正题。

8.3 基本电感

无论何时,只要有电流流过导线,在导线周围就会产生磁场。同样,如果在导线附近存在磁场,就会在导线内感应出电流。电流与磁场总是同时发生的①。

从**右手定则**中可以知道所产生的磁场方向。用你的右手握住导体,拇指指向电流方向,那么你其他几根弯曲的手指就可模拟磁力线的指向。这个定律又被称为 **Hitchhiker 定律**。如果电流方向相反,则在附近的导线上可以看到相反的效应。

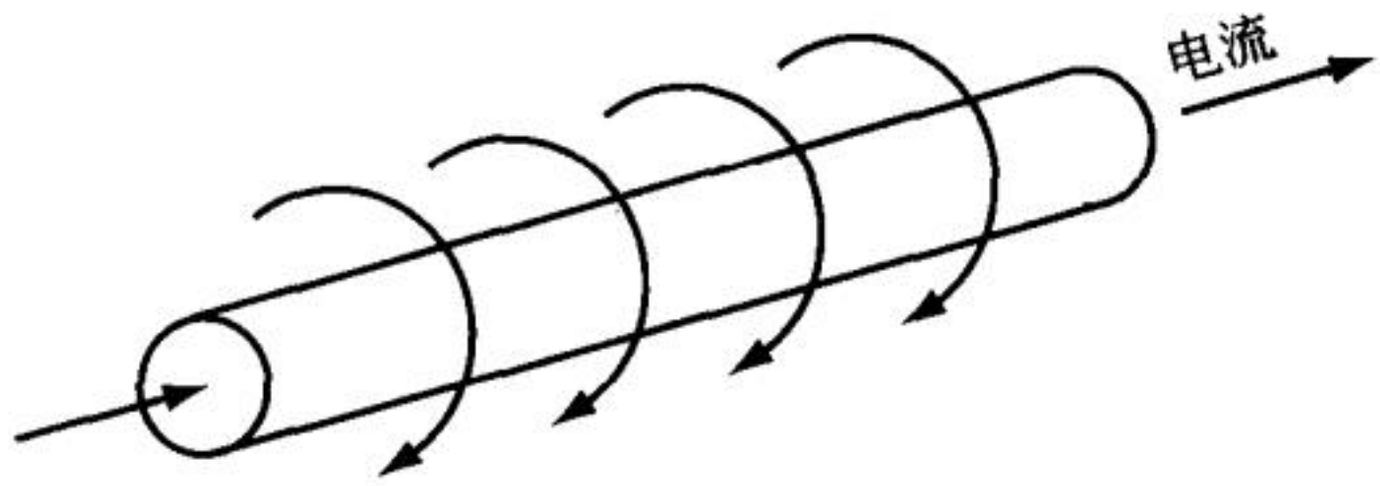


图 8-1 电流与磁场的相互感应。

如果导线上有电流,那么它产生的磁场会使附近导线产生电流,即第二根导线会感应出电流,这称为**电感**。

在集成电路中,即使导线很细,在这些导线之间,也会发生这种感应的电流转换。在集成电路中,不管电流流向如何,都会产生磁场,相应地,这种磁场也会使附近的导线感应出电流。

磁场不仅会与周围的 IC 器件相互作用,而且会对导线本身的电流产生影响,这种现象称为**自感**。当电流流过时,磁场会产生一个抑制电压,它会阻碍产生该磁场的电流流过。

---

① 你有没有想过,这种奇怪的现象为什么会发生呢? 反正这个问题一直困扰着我。我想知道,磁力在相隔一段距离后是怎么推动电子运动的呢? 磁力是怎么知道哪里有电子的呢? 而电子又是怎么看这个力的? 当它们受到磁力作用时是怎么感觉到的呢? 而我们在这个大宇宙中会不会就是这么一个电子呢?

稳定的直流电流会产生静止的磁场。静止的磁场对其他导体虽然有影响，但不会在这些导体中产生电流。

试试看

做一个线圈，将其连到电压表上，测量它两端的电压。你会发现它两端电压为零。然后将一个永磁体放在线圈边上，再测其两端电压，发现其压降仍为零。

慢慢转动线圈附近的磁体，如果电压表的灵敏度足够高，而且线圈足够大，则会发现电压表上的数值会有很大的变化，这就是发电装置的基本原理。

参考本书上一章介绍过的交流特性，可以看到电容与频率的关系十分密切，当电容上的电压频率增加时，电容传导电流的能力就会加强，但电感的特性与之不同。

当电感上的电压频率增加时，电流频率亦相应增加。然而，正如上面线圈实验所看到的一样，变化的磁场会感应出电压与电流，感应出的电压和电流与其原来的电压、电流方向相反，这样原来的电压、电流会被抵消掉一部分。频率越高，这种效应就越严重，流过电感的电流就越小。

电感阻碍高频通过。

电容对高频来说是通路，而电感则会阻碍高频信号通过[2]。

特别是在一些高频电路中，你有时想在某个位置阻碍某些频率的通过，那么电感可为你实现这个目的。

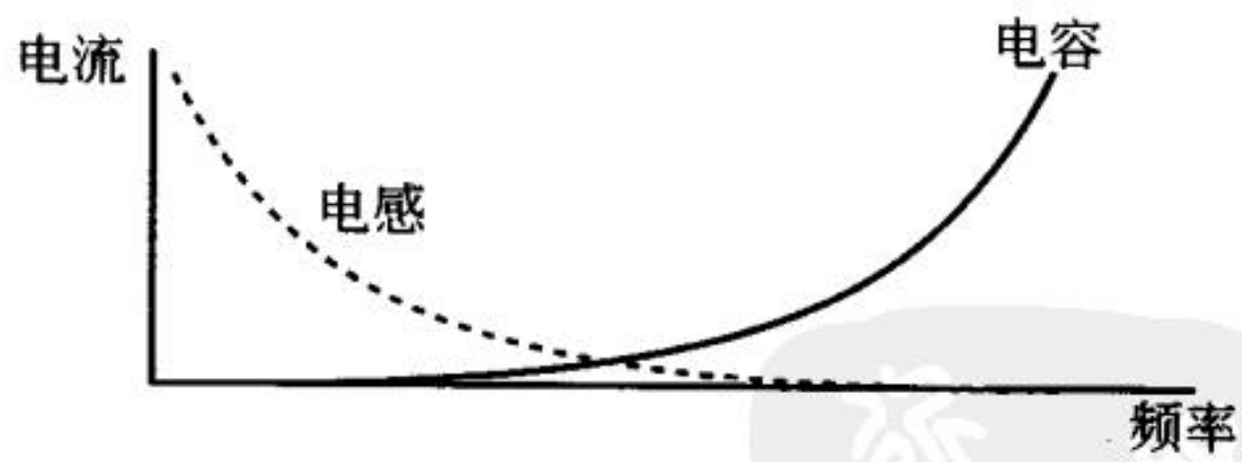


图 8-2　随着频率的增加，电容可使更多的电流通过，而电感则会阻止更多的电流通过。

---

② 电感对 DC 电流不会产生任何影响，因为电流不发生变化，因此 DC 电流可以顺利通过电感。

8.4 传输线

如图 8-3 所示，用一根导线将一组版图与另一组版图连接起来。将一个高频信号沿着导线，从这一组传送到那一组。如果你测量信号的幅度，可以发现原始信号的幅度会比在导线另一端接收到的信号幅度大。

图 8-3 接收的信号频率相同，但幅度变小了。

信号的频率相同，但幅度变小了，这是为什么呢？

8.4.1 直线特性

首先考虑导线有电阻。由于电阻对电压有分压作用，电阻的存在会降低一部分信号电压。然而，当增加信号频率后，幅度的衰减比由导线电阻分压而造成的衰减更大。当然，这个原因你可以猜得到，就是导线上也存在一些电容和电感。当频率增加时，这些电容与电感的作用将变得更加显著，这也就是要介绍前一节内容的原因。

如果信号中包括多种不同的频率，比如音乐信号，那么各种频率的信号在幅度上的衰减是不同的。如果信号发生器是一个 HiFi 放大器，与扩音器相连的导线则会对我们听到的声音有影响。对于更高的频率，不同的扩音器对其衰减也是不同的。

集成电路中的导线存在相同的问题，那就是导线的寄生电容、寄生电感与寄生电阻会对高频信号产生显著的影响。然而，我们可以对导线进行特征化，并调整电路以补偿这种损耗。这些被特征化的导线称为“**传输线**”。将所需要的信号从导线的一端传输到导线的另一端。

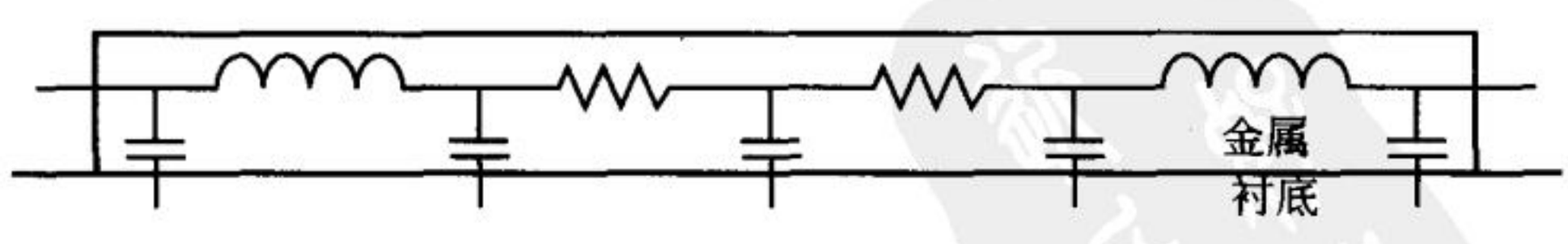


图 8-4 传输线上的所有寄生现象，这就像狗身上的跳蚤一样。

IC 传输线就像国家电力网中传输功率的电缆一样，都是将能量从一端传送到另一端。

如果你想将信号从芯片上的一端传送到另一端，你就需要使用传输线。如果信号的频率是 1800MHz，而特征化的传输线只支持到 300MHz，那么，如果使用这种传输线的话，你不知道会发生什么情况。必须确保传输线模型与你想使用的情况相一致。

那么，集成电路中的传输线看起来像什么呢？事实上没什么不同，最简单的样子就像一根规则的普通导线，但是就如上面所看到的那样，它的寄生效应导致了与普通导线有着很大的区别。

典型传输线的宽度应大于最小线宽，且使用最低电容的金属层，通常采用工艺中的最后一层金属。在一些 IC 工艺中，要求其他结构或金属应位于主导线下面，以便使传输线具有更好的可重复性。绝大多数传输线都被特征化为指定宽度的直线段，而其长度可变。

8.4.2　拐角特征化

不幸的是，集成电路中不可能全部都使用直线，必须引入拐角以避免与版图中其他电路块相冲突，但每次使用拐角来避免冲突时，都会破坏特征化传输线的性能。

幸运的是，高频电路只有很少的一部分导线必须视为传输线对待，但尽管如此，折弯的确会带来一些问题。

在电路仿真中，对传输线的近似方法之一是：将这些线看成是一系列独立的、直的传输线。因此，折弯线的每一段都可以被孤立地处理。这样产生的数学模型是相同的，而不管拐角的数量。

另一种有益于数学表述这些拐角的方法是：测量拐角线的中心线长度，再将它用一个等长的直线段来模型化。同样，从数学角度上看，拐角本身消失了。

测量结果表明，这两种近似的方法并不理想。那么为什么还要做这种假设呢？

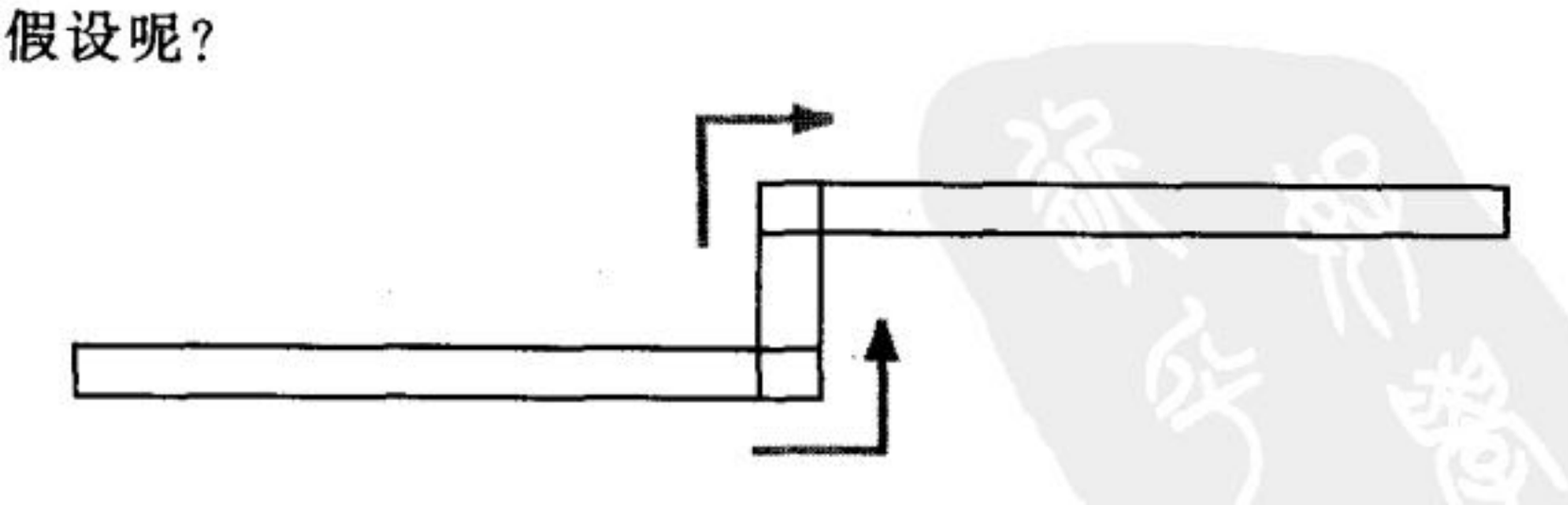


图 8-5　有没有试过穿着干净的绒袜，在新的、打了蜡的油性地板上，快速地转过一个墙角？电子也类似，它们也会碰壁。

试着沿一条导线传输能量，当能量沿着导线传输的时候，它很快就会撞到拐角处，有些能量可能会沿着与前进路线相反的方向反射回去，就像光照在镜子上一样，信号的能量在拐角处会被反射回去。

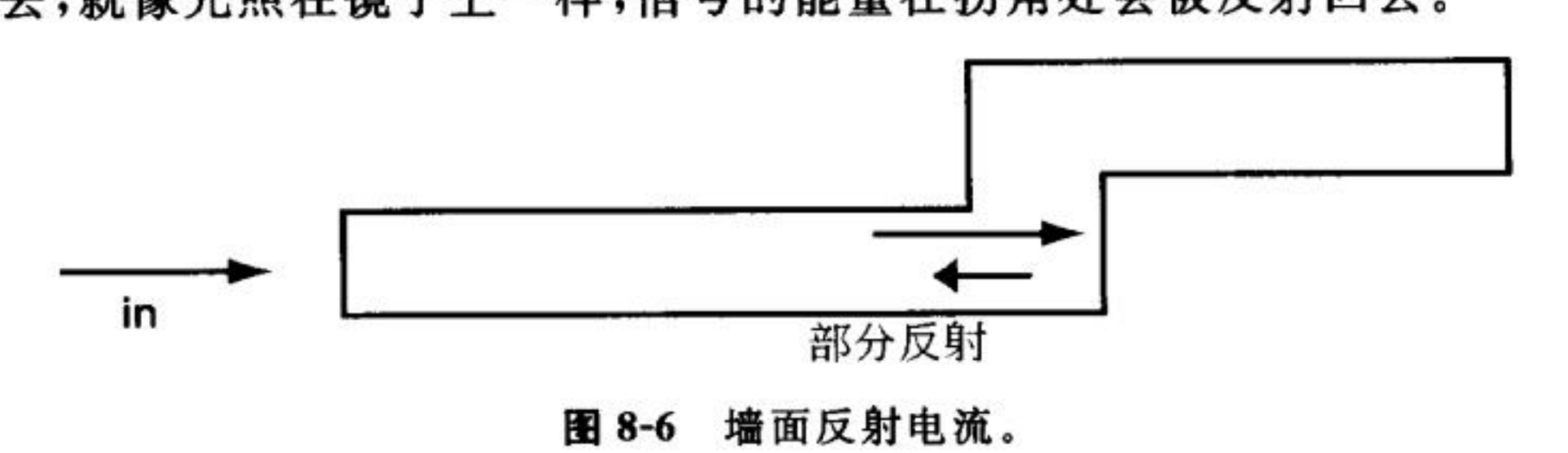


图 8-6 墙面反射电流。

在高频系统中，通常需要考虑信号能量的电磁辐射，一个信号能量的类比例子是光在光纤中的不断反射③。

对光波的知识有助于对能量通过拐角的行为的理解。我们可以把拐角的角度变为 45°，因为这个角度有助于将能量反射到相邻的导线段中，这与潜望镜中使用的光反射原理相同④。

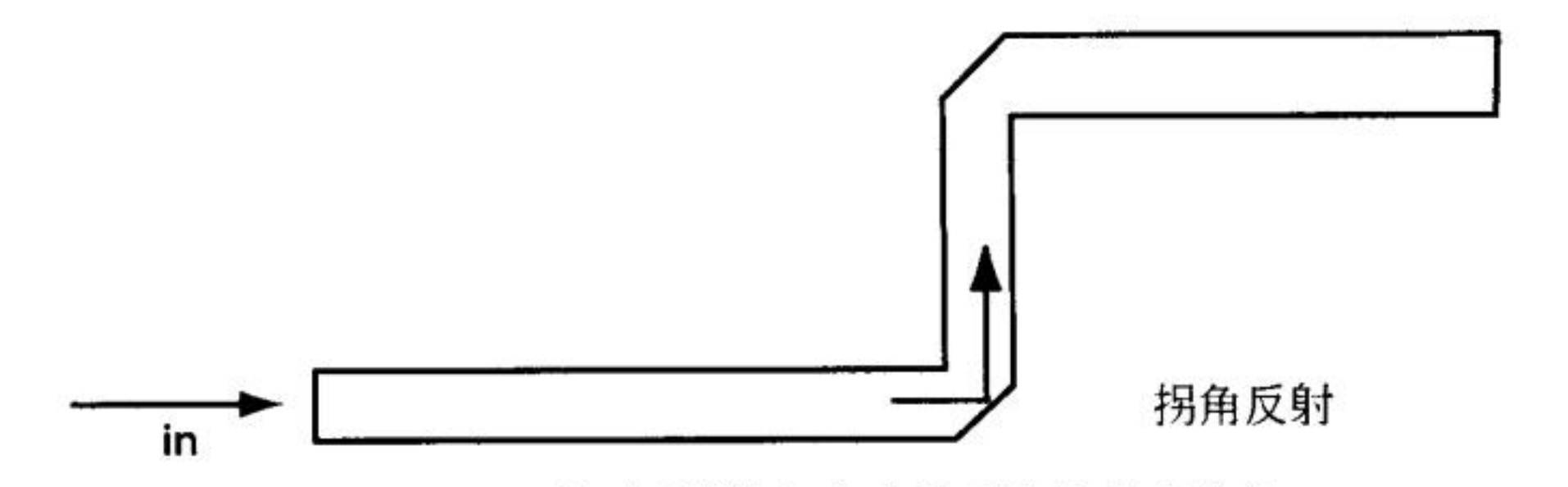


图 8-7 可以使用这样的角度来帮助能量通过拐角。

对所有的高频集成电路来说，这是一个十分有益的版图设计技巧。几乎在所有的微波频率的集成电路中，都可采用这种技巧。

一些设计者可能会做得更充分，除了将直线段模型化为传输线外，还将拐角作为一个独立的器件进行模型化。

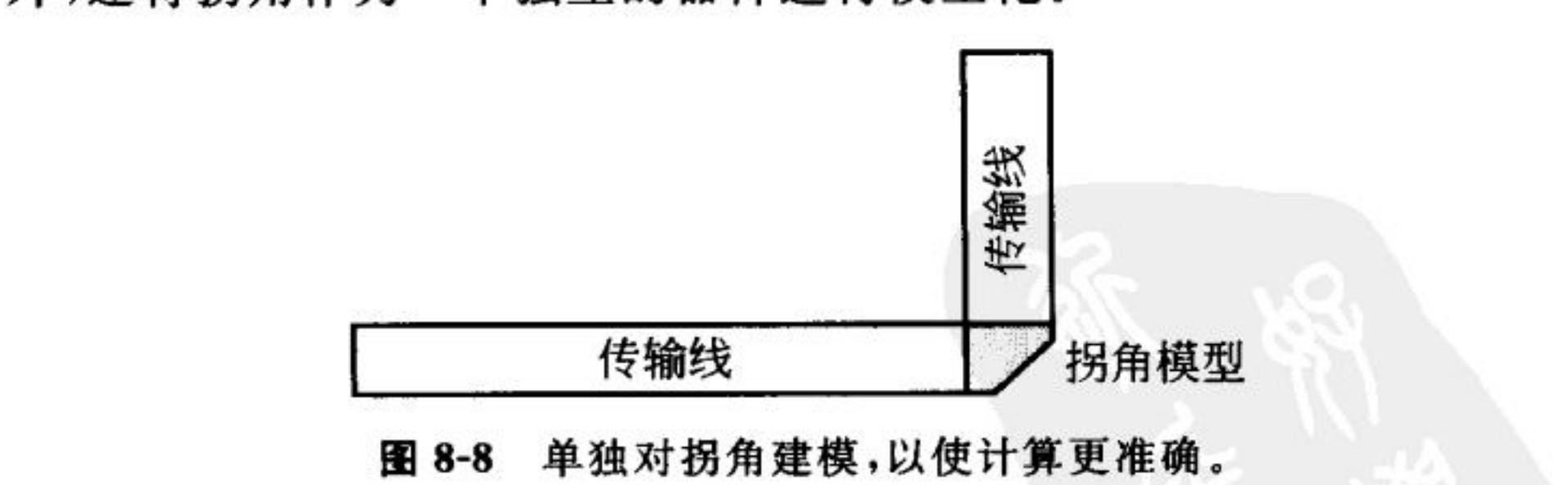


图 8-8 单独对拐角建模，以使计算更准确。

---

③ Chris 利用了光学反射的现象。我则将电流比作流过水管的水。我的物理老师让我们做过许多波动槽的实验。我现在非常渴望画这些电路。——*Judy*

④ 使用一些小镜子，一些纸做成的管子，可以教你的孩子如何做间谍活动。

如图 8-8 所示，我们可以把这根导线看成是三个器件模型组合：水平的传输线、拐角以及竖直传输线。这种模型方法更精确。

8.5　螺旋电感

电感是一种十分有用的电路元器件。但是为了要得到所需的电感量，导线可能会相当长，因此可以通过制作螺旋电感的方法来节省空间。**螺旋电感**从字面上看就是将导线绕成螺旋形状。

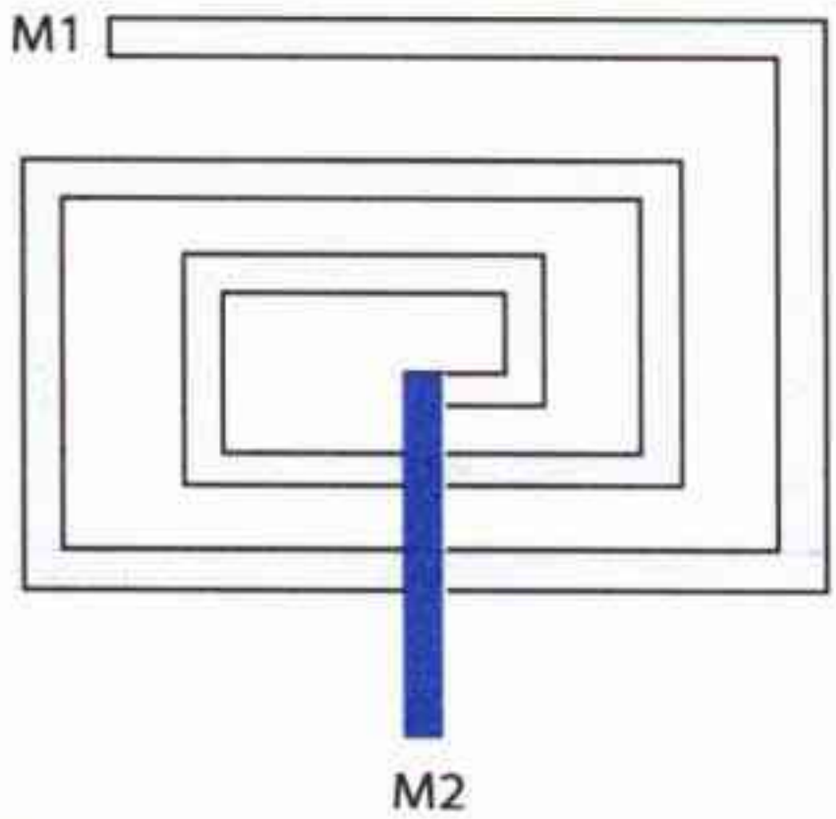


图 8-9　螺旋电感，第一块螺旋电感的版图结构可以追溯到中美洲的史前洞穴壁画⑤。

将导线绕成如图所示的螺旋形也可带来另外一种好处，这就是在螺旋线中，每一圈形成的磁场会与其他圈产生的磁场相互作用，使总的电感比相同长度直导线产生的电感量大，这种相互作用称为**互感**。

螺旋电感并不能用带拐角的传输线来建模，而只能作为一个整体来建模。

螺旋电感的确需要很大的面积，请注意你的版图面积。

螺旋电感金属层性质对器件性能有严重影响。电感的金属层很薄，就会有寄生电阻，金属的电阻特性会影响电感的 Q **值**。下面将讨论电感的 Q 值问题。

---

⑤　一些人认为这是外星球高等智慧生物的实验，当考古学家探察了画有所谓简单电路的岩穴后驳斥了这个论点。

8.6 电感品质因子

在所有频率下都理想的电感是不可能制成的，寄生电阻与寄生电容会对电感性能有不利的影响。在低频时，串联电阻会使电感偏离理想的频率响应；高频时，寄生电容又会使电感偏离理想的频率响应。对于给定电感，它的性能在某一个频率点可达最好，而理想电感则是在所有频率点的性能都是一样的。

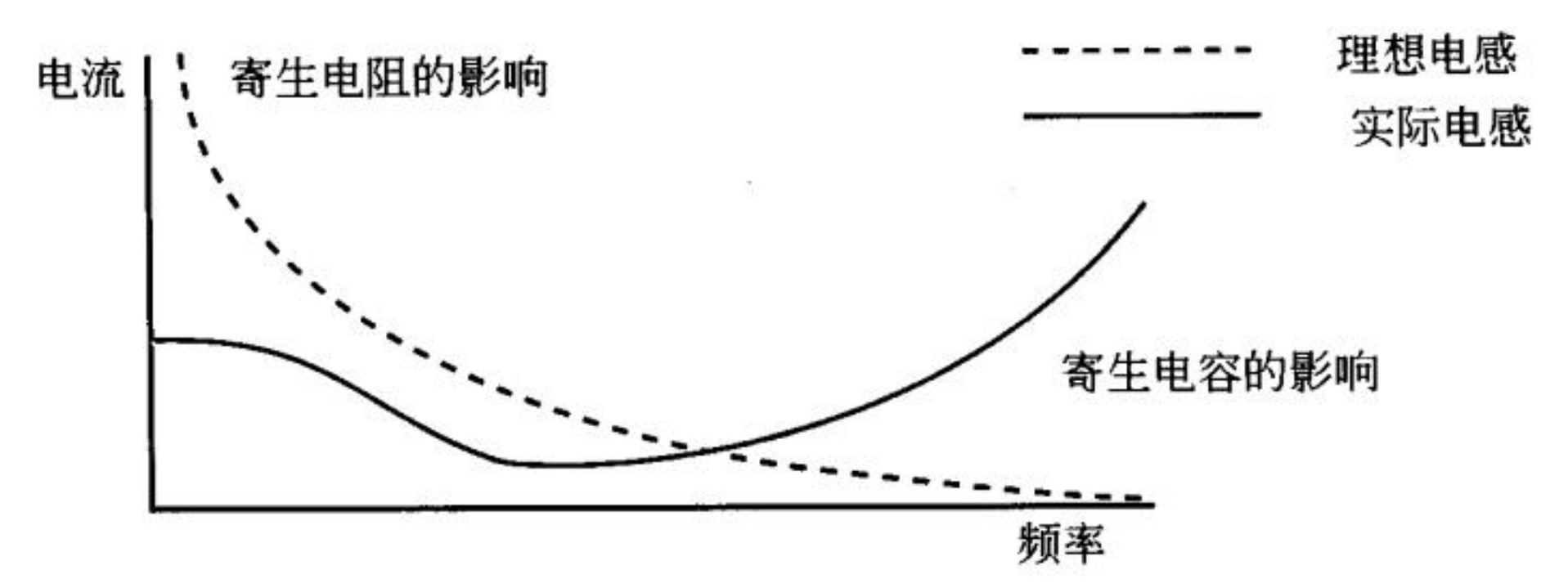


图 8-10 影响电感性能的也许是电阻，也许是电容。不存在在所有频率点上性能都完美的电感。

通常认为电感的 Q 值与相应的频率点对应。电感的 Q 值是衡量电感好坏的尺度，它告诉我们在频率点上，电感的寄生效应如何。

Q 值为 40 的电感性能较优——寄生效应很小。

Q 值为 5 的电感性能较劣——寄生效应很大。

如何减少寄生效应，提高 Q 值呢？

- 螺旋线的串联电阻较易于减小。正如前面提到的，可以使用最厚的、电阻率最低的金属来制作螺旋电感。
- 采用较宽的金属线也可以提高 Q 值，但不幸的是，金属线宽的增加会使寄生电容增加。
- 根据所采用的工艺，在螺旋线圈下面加入一些结构以减少电容。

在设计电感版图时，要进行许多折衷，为此，非常有必要了解你所采用的工艺。

8.7 叠层电感

如果有足够多的金属层，就可以实现所谓的叠层电感。前面所述的都是使用一层金属绕制电感，而叠层电感的实现是：绕线从电感中

心连到另一层金属上，然后在原来的电感之上再堆叠一个电感，而绕线的方向与前一个电感的方向相同。

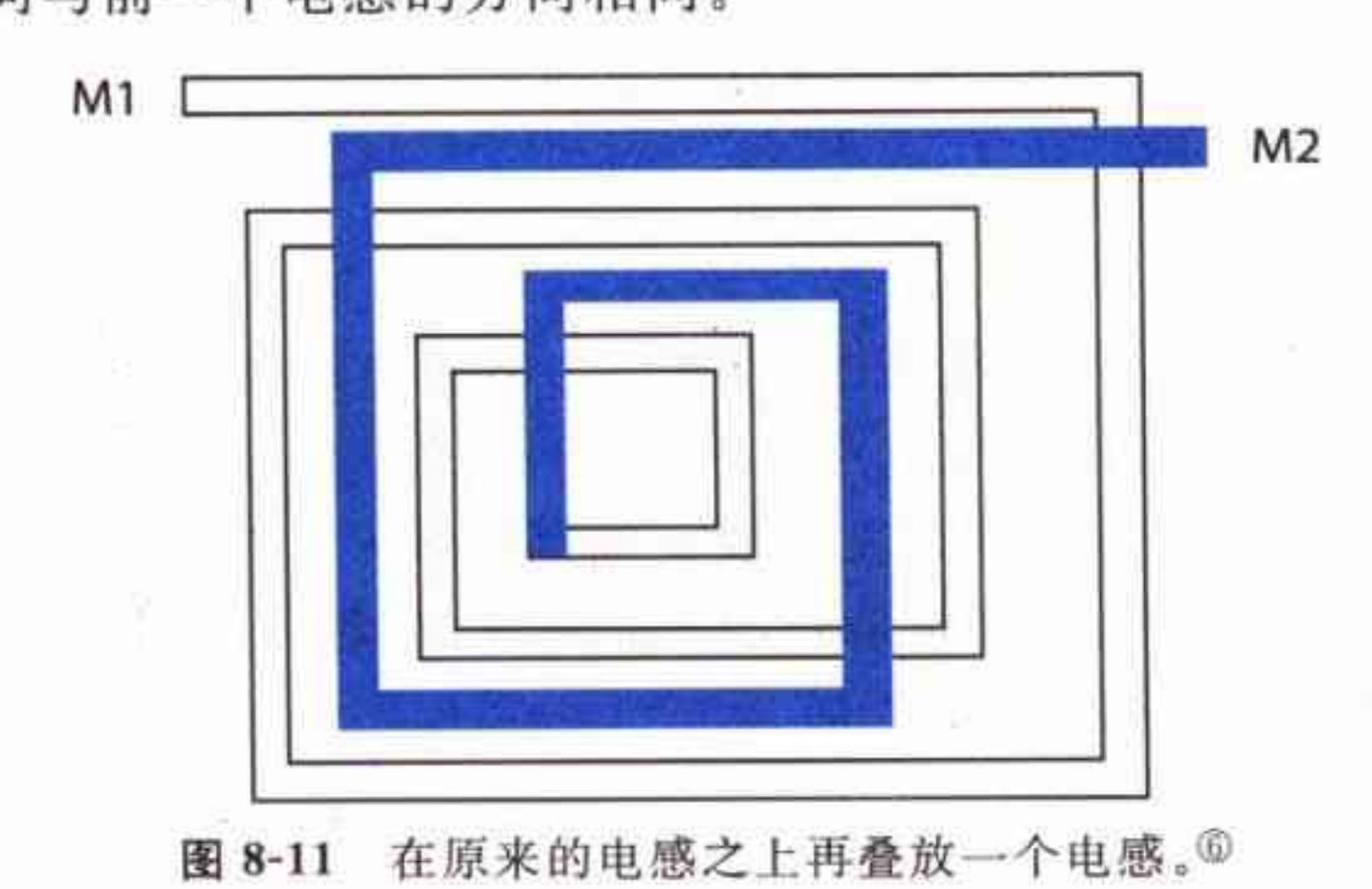


图 8-11　在原来的电感之上再叠放一个电感。⑥

因此，若不对它们进行很好的特征化与模型化，你不能真正使用这种叠层电感。记住最好使用现成的，经过准确测量的螺旋电感，而不要尝试用新设计的叠层电感去作电路设计，用这种新的电感去设计电路将有很大风险。

对电感建模是一项十分困难的工作。过去，要得到电感的准确信息，只能是先把它做出来，然后进行实测。只有当你知道你做出来的东西是什么，并知道如何在不同的频率范围内使用它时，你才可以在下一次的电路设计中使用那些结果。

然而，当电感被模型化后，每个电感的实际使用结果都会与模型的结果有所不同。典型例子就是，电路使用叠层电感的工作情况与所期望的并不相同。例如，在离电感很近的地方布上了一根导线，它就可能影响电感的值。

你可以试着在电感上方画上一些导线，再看看你的电路设计者，他们肯定都不愿意。（请看《捉弄电路设计者的 101 个有趣的小把戏》一书。）

一些公司也许会给你一个电感库，并告诉你："这些就是你可以使用的，不要去改它们。"那么，这些就是你在电路设计中真正可以使用的电感元件。

---

⑥　一个螺旋电感的 Q 值与另一个电感是连续的，你会发现 Q 值具有连续性。

其他一些公司或许会给你一些参数化的电感单元，你可输入电感的几何尺寸，程序会去计算电感量的大小和可能的 Q 值，而这些都是基于前人整理、综合过的模型基础之上的⑦。

8.7.1 射频扼流圈

电感主要用于高频电路中，或者作为匹配电路或者作为**射频扼流圈**。如果你想将一个高频电路与一个低频电路相连接，但又不希望高频信号进入该低频电路，这就需要在通路上放一个电感。这样，低频信号可以通过电感，但高频信号却不能通过，或者说是被扼流了，这就是射频扼流圈名字的来由。

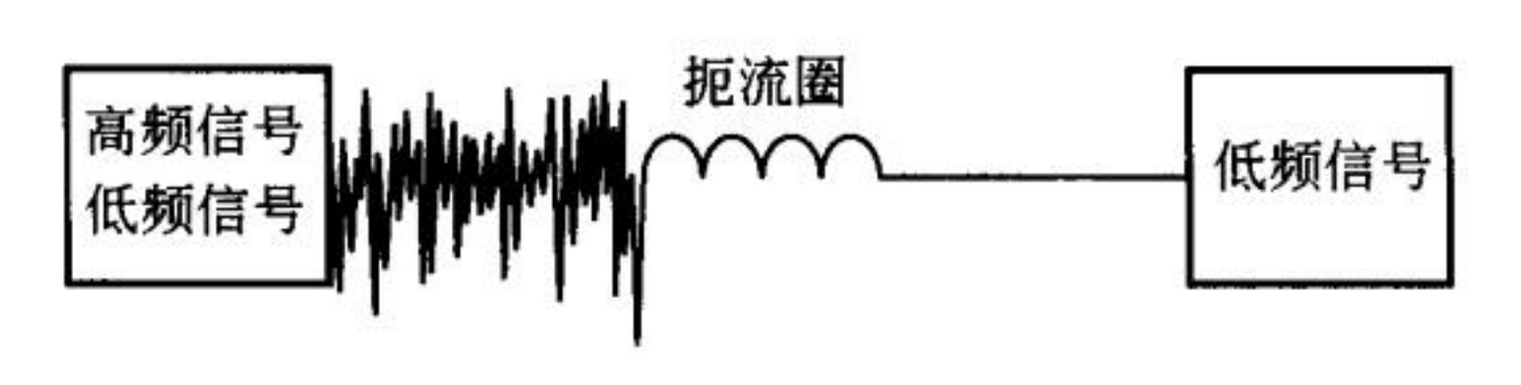


图 8-12 低频信号看上去像处于星系之中那样，存在许多通路，它在任何地方、任何电感上都可以通过，而高频信号却被电感扼流了。

你也可以使用电感来制作片上变压器，制作片上变压器时，需要采用两条平行的导线并绕螺旋线圈。

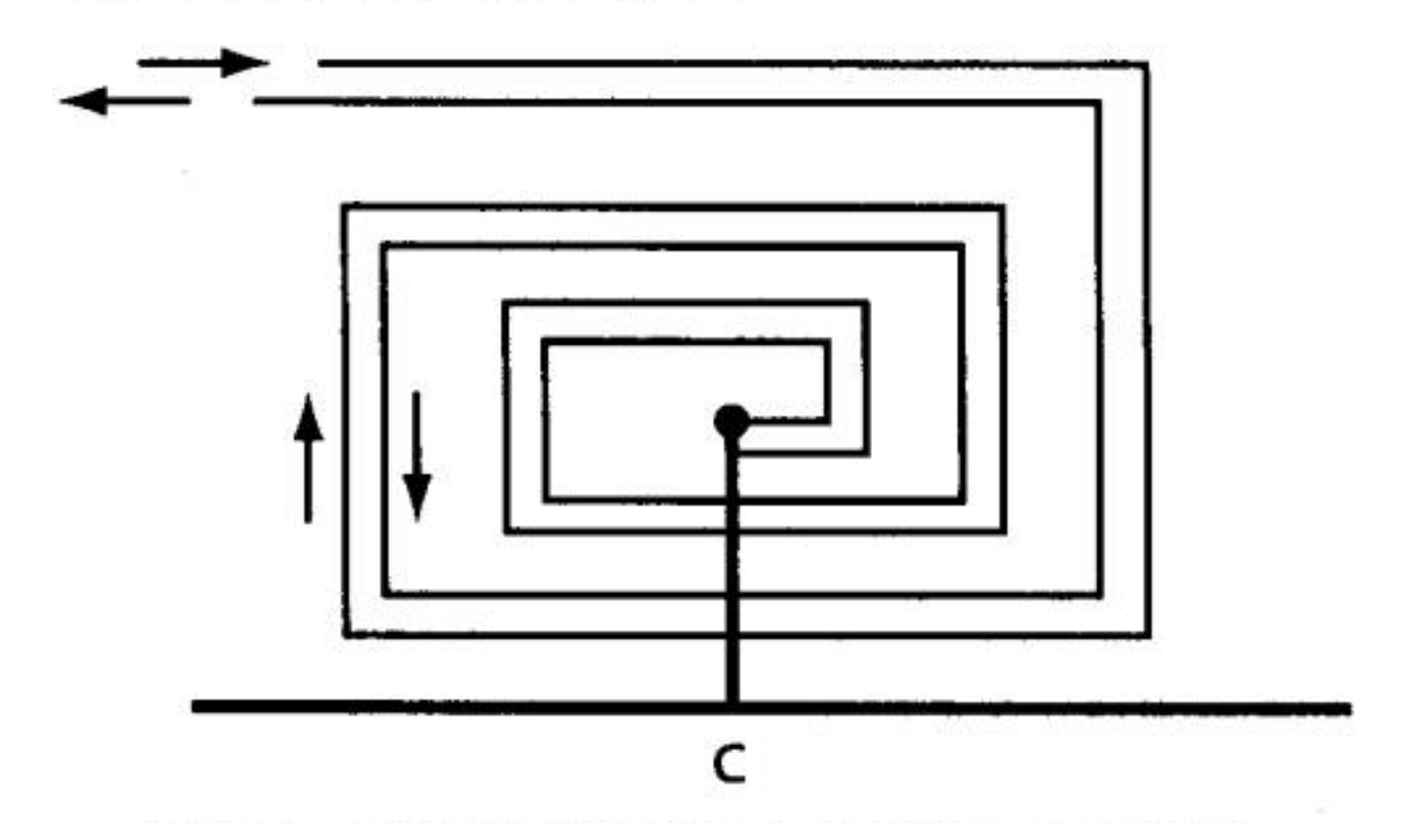


图 8-13 利用连接的螺旋电感线圈制作变压器。

这种变压器的电路原理图如下图所示。需要注意电路图底部的连接引出点。

---

⑦ 注意，我在这里说的是可能。工程上还不能确保每种应用情况都绝对是准确的。正如在电子学的许多领域一样，还需要我们做更多的工作，而且，这也是我们为什么在这里学习的原因。

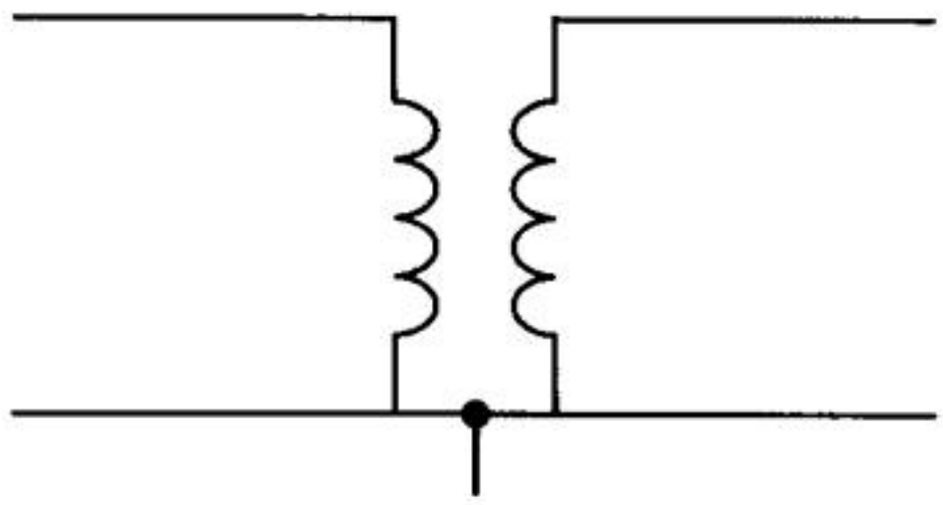


图 8-14　连有螺旋线圈的电路原理图。

另一种变压器是由两个完全独立的螺旋电感构成，两个电感互相盘绕，线路上又彼此隔离。

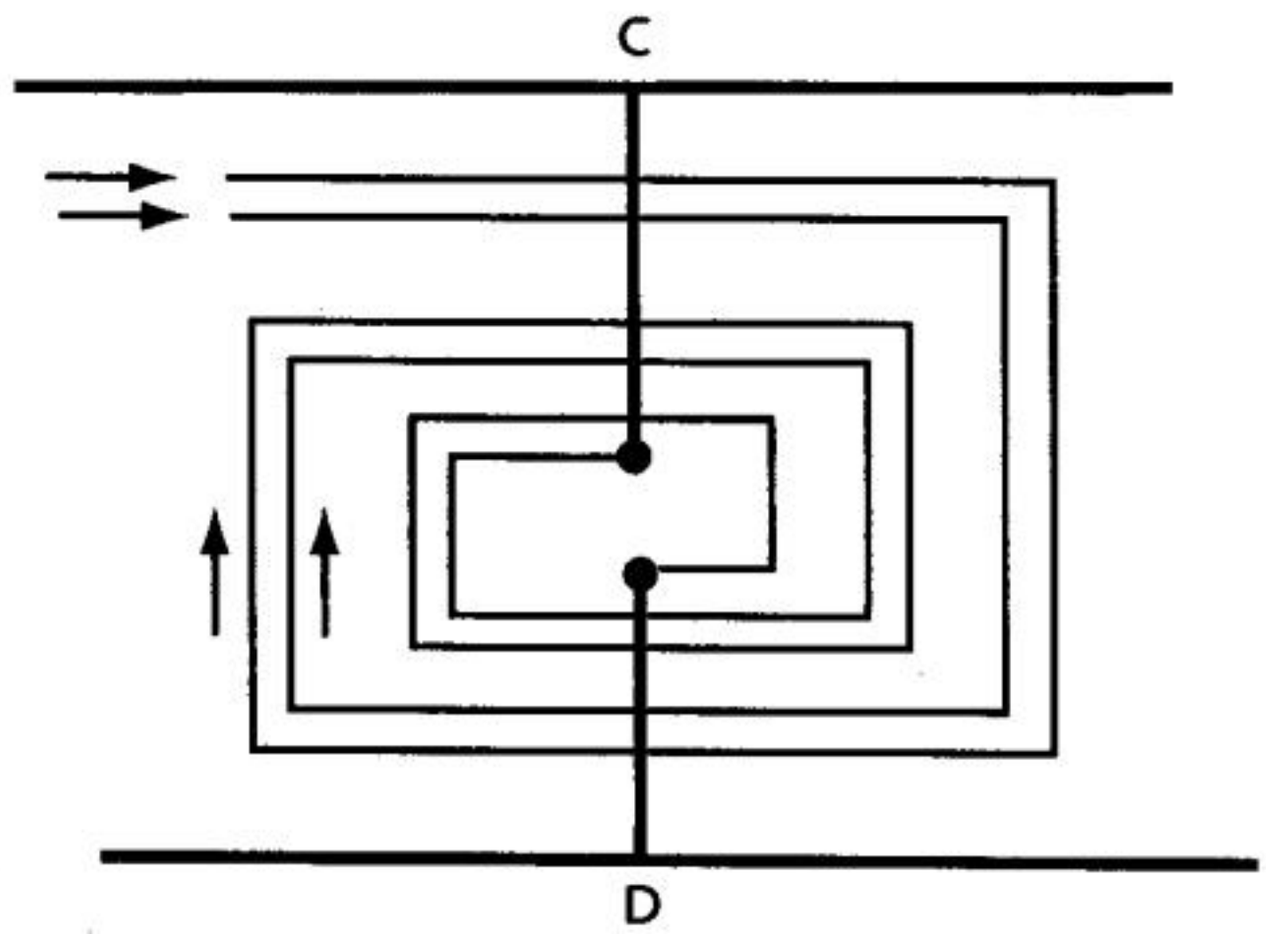


图 8-15　同一方向进行螺旋的电感，且互相不连接。

它的电路原理如下图所示。请注意，在这个电路图中，两个电感并不相连。

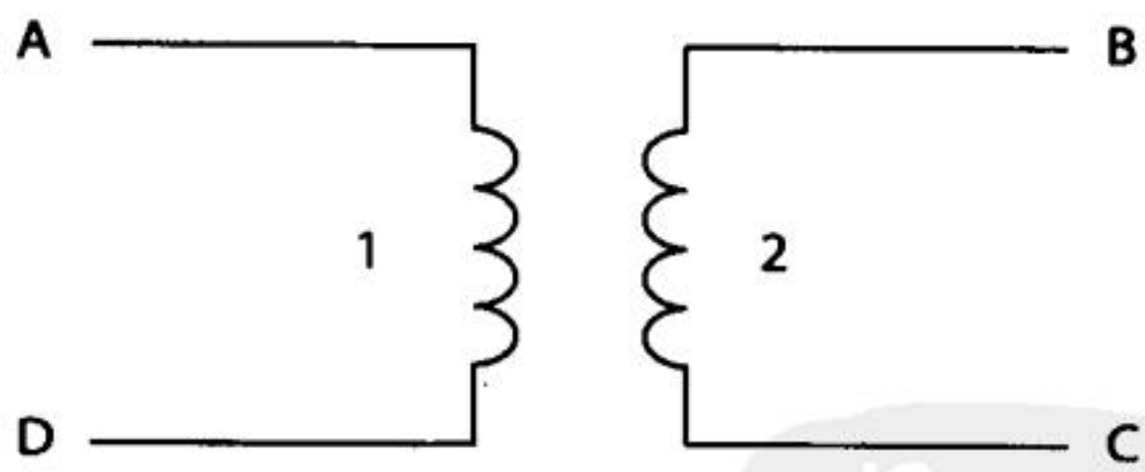


图 8-16　同方向双电感的电路图。

这里，螺旋结构及其版图是可以变化的，接下来，让我们研究一下为什么当你在电感上方布上导线时，电路设计人员们不愿意。

8.8 邻近效应

要保证所有的导线都远离电感。因为靠近电感的导线会影响电感量，电路设计人员的精妙设计可能会被这些导线所破坏。

许多经验法则指出了导线离电感的最小距离，有一些设计者认为要保证这个距离有 5 倍线宽。让我们将这个作为研究的起点吧。

经验法则：导线距离电感至少要有 5 倍线宽这么远。

例如，如果电感的线宽为 10μm，则导线和电感的距离不得少于 50μm。

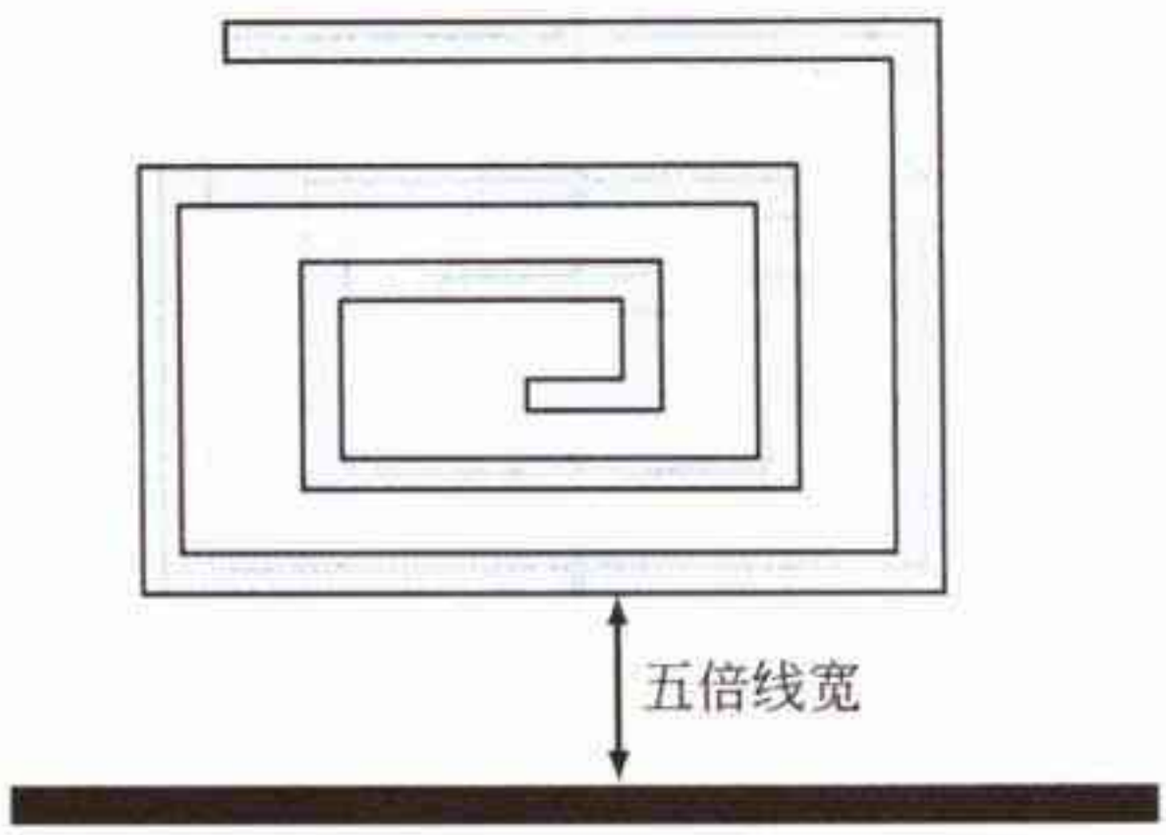


图 8-17 导线和电感的距离。

然而，导线与电感间的这种距离会占用芯片上的很多空间。因此，与你的电路设计者讨论一下，问问他如果将导线与某个电感距离很近时，会出现什么问题？再问问他，在设计电路时，到底是否应该关心这个距离？再验证一下，电感是否已很好地被特征化了。

要记住不断与你的电路设计者沟通，不能只是记住经验法则，诸如 5 倍线宽，又或者是你在某本经典书籍上看到的就是对的。

不论别人以前告诉你应该怎样，或是设计人员的经验告诉你应该怎样，又或是其他什么，这些都不管用，所有的一切都得根据芯片尺寸来定。

总而言之，导线离电感越远越好，但由于公司想要更多地获利，你会对尽量减少芯片尺寸感到很大压力。公司会要求让芯片上的元件放置得近一些、更近一些、再近一些。有时，他们也会准备接受

导线影响电感性能的事实。但他们开始也只会把它看成是一个意外事故，也许可能想看看到底发生了什么事。但是一旦知道是导线对电路产生了影响后，他们就会把减少芯片尺寸的压力放到其他器件上去。

作为一个版图设计人员，你可以从经验法则出发，但要记住，在版图设计开始时，就需要与电路设计人员讨论这类问题。

电感存在于集成电路的任何地方，每根导线自身都存在着电感。

经验法则：集成电路中每个地方都存在电感，但最重要的是要考虑电源线。

如果你不关心电感，那么你的版图设计可能会造成芯片的失效。特别要注意电源线，那里通常电流很大，在信号频率较高时，寄生电感特别有害，所以特别要注意你的电源线。

结束语

微处理器的设计人员已经开始考虑以上的各种影响了。高频电路设计比低频或音频电路的设计要困难得多。他们以前是不考虑这些问题的，而无线与微波设计人员对这些效应的认识已经有很多年了。现在的趋势是：数字世界逐渐变得更加模拟化，而模拟世界不再考虑数字功能。

数字设计人员以前并不了解模拟技术。但现在他们不得不越来越多地了解模拟电路，如，传输时延、频率响应以及功率传输。在CMOS数字芯片中，时钟信号到处都是。随着频率越来越高，时钟频率的能量会转变成微处理器的热能。我们可以看见各个领域的问题开始出现会聚。

在真正的高频版图设计中的一个技巧是让它们变得更加平滑，要让它们变得顺畅，要理解你的电路。想象一下电路的能量在哪里会发生徘徊，如何才能让能量流得顺畅。不要设计信号会出现碰撞的急弯，导线必须要折弯时，画上一个平滑、渐变的拐角。版图上任何突变的图形都会破坏能量的流动。

■ **经验法则：保持平滑。**

在你对高频电路有一种良好的、直觉上的把握之前，你必须花费很长的一段时间去体会高频时电流流动的情况。

本章学过的内容

在本章中，你看到了以下内容：

- 电磁力、电动势
- 电感的频率敏感性
- 高频时的传输特性
- 拐角对高频电流的影响
- 采用传输线与特定拐角的数学模型
- 螺旋电感与叠层电感
- Q值（电路谐振）
- 高频扼流圈
- 变压器的实现
- 邻近效应

……

术　语

有源区，active(diffusion)——集成电路中用于制作半导体器件的薄氧化层区域，其他区域则为厚的场氧化层。

有源器件，active device——具有特定电响应特性曲线的半导体器件，典型器件如晶体管和二极管。

交变电流，alternating current(AC)——电路中以某一规则的速度交替改变方向的电流。

交流波形，alternating waveform——在正向和负向周期波动的电压波形。

安培，amperes(amps)——在米-千克-秒制系统中的电流测量单位。

模拟，analog——来源于单词 analogous，意思是重现，当一个信号通过电路时保持特征不变，未被数字化。

与，AND——一种逻辑函数。只有所有输入都是逻辑 1 时函数输出才为逻辑 1，只要有一个输入不是逻辑 1，其函数输出就为 0。

退火，annealing——在半导体制造过程中为修复晶格而采取的加热晶圆的工艺。退火可使所有原子松弛并彼此稳定，形成一个更一致的结构。退火的副产品是生长新的氧化层并且使原先集中在一起的杂质材料区域扩散。

天线效应，antenna effect——在多晶硅刻蚀工艺过程中，电荷积累在多晶硅栅上的现象。如果在用作为晶体管栅的多晶硅上有了太高的电压，则栅氧化层将被损伤并将使晶体管失效。

外加电压，applied voltage——跨接在两点间的电压。

原子，atom——物质的基本单元，由原子核与绕核运动的电子组成。

基极，Base——双极型晶体管的端子，用于控制发射极的电流，参见集电极、发射极和晶体管。

贝塔，beta(β)——集电极电流与基极电流的比。β 的变化取决于你如何激励晶体管，有时 β 也以 h_{fe} 表示。

偏置电压，bias voltage——用于保证晶体管处于正常导通范围内的电压。

BiCMOS——在同一晶圆上双极型器件和 CMOS 技术的组合，提供了

NPN 器件的速度和 CMOS 技术的逻辑功能。

双极工艺,Bipolar process——仅仅制作 NPN 和 PNP 晶体管的半导体工艺,通常用于模拟电路制作。

双极型晶体管,Bipolar transistor——同时以电子和空穴工作的晶体管。比 CMOS 晶体管速度快,有两种类型:NPN 和 PNP。

隔直电容,blocking capacitor——用于完全隔断直流的电容器。参见耦合电容。

体(电阻的),body(of a resistor)——电阻器中的主要电阻部分。

键(原子的),bonds(atomic)——晶体结构或分子中保持原子结合的力。

Brains——国际救援组织的技术人才们,分支部门称为"雷鸟"。

断开,break——迫使非相关器件扩散区之间分离且保持一定的距离。当源和漏不能共用时,将器件断开是必须的,每次扩散区断开的结果是使器件分离并浪费了一些电路的面积。理想的方案是消除断开。

CAD——计算机辅助构图(Computer Aided Drafting)的英文缩写,有时也指计算机辅助设计(Computer Aided Design)。其他类似的缩写还有 CAE(Computer Assisted Engineering)、CAI(Computer Assisted Instruction)以及 CAM(Computer Assisted Manufacturing)。

电容量,capacitance——电容存储电荷的能力,以法拉为单位。

电容器,capacitor——在两个平行极板间存储电荷的器件。

电荷,charge——在给定物体上的电子数量,以库仑为单位;可正可负。参见电容量。

化学气相沉积(CVD),Chemical Vapor Deposition(CVD)——沉积材料到硅晶圆上的工艺。通过彼此发生反应的气体混合产生沉积材料。通常是在高温炉管内进行。

扼流圈,choke——一种用于阻塞具有某一频点以上频率的交流信号的电感。

电路规范,circuit specifications——规定被设计电路功能的文件。包括诸如频率响应、工作电流、放大系数、噪声限制,等等。

时钟,clock——在大的数字系统中主要用于同步逻辑变换的周期性波动信号。

集电极,Collector——双极型晶体管的一个端子。在集电区收集电子或空穴。参见基极、发射极和晶体管。

互补型金属-氧化物-半导体(CMOS),Complementary Metal Oxide

Semiconductor(CMOS)——一种使 N 型和 P 型 FET 共同工作的工艺技术。N 型晶体管需要正电压开启,P 型晶体管采用负电压开启。两种晶体管以开关方式工作,但两种器件开和关以严格相反的形式出现,晶体管彼此互补。

计算机辅助构图(CAD),Computer Aided Drafting(CAD)——用于简化工程师工作的设计软件。

传导(电学),conduction(electricity)——在外加电压的作用下电子通过材料的通道。

导带,conduction band——能带图上的一段区域,在导带内的电子具有足够的能量进行传导。

导体,conductor——在外加电压的作用下电流可以在其内流动的材料。某些材料具有良好的导电性,而某些则较差。

接触区,contact——绝缘介质上的孔,通过它,金属可以和其他的有源扩散区或多晶硅连接。

电流方向,conventional current flow——电路中电子流动的反方向。电原理图中最常见的表示。

耦合电容器,coupling capacitor——用于只允许一定交流信号通过的电容器。参见隔直电容器、去耦电容器。

拉晶炉,crystal puller—— 一种用于生长单晶硅棒基础材料的设备。生长的单晶棒然后被切割成用于制造集成电路的硅片(晶圆),这种单晶生长的方法称为切克劳斯基法(Czochralski method)。

电流,current——在一定时间内通过某一点电荷数的标度。它类似于溪流或河流中的流量,而流量是一定时间内通过某一点的水量的标度。电流以安培或库仑/每秒定标。

电流密度,current densities——材料中能被可靠操控的电流量,通常以毫安/微米标度。该值的大小取决于材料导电层的薄层厚度,薄层越厚,能够操控的电流越大。(与在工艺手册中列出的薄层电阻率不同)

CVD——化学气相沉积的表示。

切克劳斯基方法,Czochralski method——在拉晶炉内拉制单晶硅棒的方法,这些单晶硅被用于制作生产集成电路的晶圆。该方法以发明该工艺的切克劳斯基(Czochralski)命名。

暗场,dark field——大部分区域被铬覆盖的用于光刻的玻璃掩模。

去耦,decoupling——利用电容减小直流电源噪声的技术,阻止电路间

不需要的信号通过。

去耦电容器，decoupling capacitor——用于消除电源高频噪声的电容器。

德耳塔，delta——设计尺寸和实际尺寸之间的误差。在实际情况中，制造工艺并不是如 CAD 工具所设计的那样完美，制造得到的器件经常是明显小于或大于设计尺寸。这些误差以希腊字母德耳塔 δ 表示，如 δL 表示设计长度与加工长度尺寸上的误差。

耗尽型 FET，depletion mode FET——常闭型 FET。

设计手册，design manual——一种资料，包含有根据特定工艺设计集成电路所需要的物理的与电学的信息，也称为工艺手册或设计规则。典型的参数如薄层电阻、电流容限、可靠性信息、晶体管模型信息、版图规则，等等。

电介质，dielectric——两层导体之间的绝缘材料。

介电常数，dielectric constant——与材料存储电荷能力特性有关的参数，空气的介电常数等于 1。

扩散区，diffusion——经过热处理（退火）的含有注入杂质的半导体区域。热处理引起杂质在半导体内各个方向上展开（扩散）。

扩散电容器，diffusion capacitor——下极板用扩散区制造的电容器。耗尽型 FET 就可以是一个典型的大面积的扩散电容器，其上极板是 FET 的栅，介电材料采用极薄的栅氧化层。

数字化，digital——信号被转变为二进制逻辑，一串脉冲。

二极管，diode——P 型材料和 N 型材料形成的结，它限制电流以一个方向流动。二极管被广泛地用于集成电路中器件之间的隔离。

直流电流（DC），direct current（DC）——仅以一个方向流动的电子流，参见交流电流。

狗骨，dogbone——一个术语，用于描述接触区宽度大于主电阻体的结构，其形状看上去像一个狗骨，对于“高阻值，低精度”电阻是常用结构。

掺杂剂，dopants——用于注入以产生 N 或 P 型区域的材料。

掺杂，doping——将杂质引入半导体的工艺。

双多晶工艺，double poly process——采用多层多晶硅去构造不同类型器件的半导体工艺。一层多晶硅被用于构造 CMOS 晶体管，而另一层多晶硅则可能被特定于电阻元件，两层多晶硅在不同的制造工艺步骤中沉积，每层多晶硅具有自己的掩模。

漏,drain——CMOS 晶体管的一个端子。可以与源极互换,这取决于跨接在晶体管上的外加电压的极性。

有效栅宽,effective Gate width——各并行连接的 CMOS 晶体管的总栅宽。

电荷,electric charge——参见电荷,charge。

电子,electron——原子中的基本粒子,带有负电荷,电子运动形成电流。参见电流。

电子流,electron flow——电子以传统电流方向的反方向流动,它反映了电子的真实流动情况。

静电释放(ESD),electrostatic discharge(ESD)——数千伏高压所形成的电子释放,与在你的身体上积累了大量自由电子时触摸一个导电材料的情况相似,这种静电可毁灭芯片。静电释放又称为 ESD。参见二极管、反向偏置。

电动势(EMF),Electromotive force(EMF)——电势,电压。

发射极,Emitter——双极型晶体管的一个端子。发射区发射电子或空穴并被集电区收集。参见基极、集电极和晶体管。

增强型 FET,enhancement mode FET——常开型 FET。

外延沉积,epitaxial deposition——在一层硅上面生长一层新硅的工艺,这层新硅保持了原有硅的晶格结构。该过程通过混合气体反应实现,是一专门的 CVD 形式。

外延层,epitaxial layer——通过 CVD 技术在一个厚的衬底上生长的薄的半导体材料层,容易控制并保持了原有的晶格结构。

刻蚀,etching——通过化学反应从半导体晶圆上除去材料的工艺。

蒸发,evaporative deposition——一种沉积金属到半导体晶圆上的技术。在很低气压的反应釜内,金属被蒸发,然后冷凝到晶圆表面。

异或(XOR),Exclusive OR(XOR)——除了所有输入都为 1 的情况,其他情况与或(OR)逻辑相同。当所有输入为逻辑 1 或全为逻辑 0 时,输出为逻辑 0,其他状态输出为 1。

非本征半导体,extrinsic semiconductor——掺杂的半导体。

扇出,fan out——单个逻辑门的输出能够驱动的数字逻辑门的数量。

法拉,farad——电容单位。

毫微微,femto——意指千万亿分之一($\times 10^{-15}$)。

FET——参见场效应晶体管。

场效应,field effect——当存在一个外加电压在材料附近的时候,材料

所发生的一种现象，材料中的电子或者被电压所吸引，或者被电压所排斥，结果是半导体材料发生反型，例如，N 型材料变成了 P 型材料。

场效应晶体管(FET)，Field Effect Transistor(FET)——由 N 型或 P 型半导体材料所制造的压控开关，电压控制开关打开或关断半导体中电子流的通路。

激励/检测，force/sense——一种去除非传导测量路径上线电阻所产生的不确定因素的电路方法，例如，用于测量材料方块电阻的 4 探针方法。

正向偏压，forward biased——当一个 PN 结被导通时，我们说它是处于正向偏压，空穴沿着正向穿越结，电子沿着反向穿越结。

4-探针测试，4-point measurement——一种去除非传导测量路径上线电阻所产生的不确定因素的电路方法，例如，用于测量材料方块电阻的激励/检测方法。

频率，frequency——交流电流或电压的完整周期在一秒中出现的次数，标定单位是赫兹(周期数/每秒)。

边缘电容，fringing capacitance——在平行板电容器上极板的边(边缘区域)和它的下极板之间所产生的附加电容。

全波整流，full wave rectification——将交变波形的负半波转变为正半波的方法。

保险丝熔断电流，fusing current——在一定时间内熔断材料所需的电流。

砷化镓，gallium arsenide(GaAs)——由砷和镓元素制成的半导体材料，因其高的工作速度而被用于微波电路。

栅，Gate——CMOS 晶体管的一个端子，该端子被用于施加一个外部控制电压，栅上的这个电压产生场效应。

栅区，Gate area——穿越有源扩散区的栅的区域，等于栅的长度乘栅的宽度，器件的栅电容主要由该区域决定。

栅钳位，Gate tie-down——连接衬底和晶体管多晶硅栅的小二极管，用于防止天线效应，该二极管将限制产生的电压大小。也称为 NAC 二极管。

千兆，giga——十亿($\times 10^9$)。

GND——电路中最负的信号名，通常用于模拟电路。

地，ground——电路中的最低电位，地的意思是被连接到大地电位。

谐波，harmonic——一个波形的正弦分量，其频率是波形基频的整

数倍。

头区,head——在电阻体区和接触区之间的部分,通常为低阻材料,有时被考虑为接触电阻的一部分。

亨利,henry——电感单位。当通过电感的电流以每秒 1 安培的速率变化时,产生 1 伏反向电动势所需的电感量为 1 亨利。

高电平(电路的电压状态),high(circuit voltage state)——表示逻辑 1 的电平。

Hitchhiker 规则,Hitchhiker Rule——确定电感中产生的磁场方向的方法。用右手握住导体,大拇指指向电流方向,其余握起的四指指向的是磁力线的方向。该规则又称为右手定则。

空穴,hole——半导体晶格电子结构的空位,可认为是携带了正电荷。

阻抗,impendance——在给定频率下,电容或电感的有效电阻,单位是欧姆。

注入,implantation——将杂质引入半导体晶格的方法,通常采用高能离子轰击硅基晶圆实现。

杂质,impurity——在半导体硅晶格中被注入的原子,它们可以增加或减少材料中的可动自由电子的数量。

电感量,inductance——导体阻碍其中电流变化的能力,单位是亨利。

感应,induction——由磁场所引起的导体中电流变化的过程,该磁场则是由附近另一个导体中电流流动所产生。

电感,inductor——一种元件,其阻抗随着其中流过的交流电流频率增加而增加。

绝缘体,insulator——电导或热导很差的材料。

集成电路,integrated circuit——在一个半导体基片上制作的连接了有源和无源器件的电路。

叉指结构,interdigitated——器件单元交叉布局方法。

本征半导体,intrinsic semiconductor——未掺杂的半导体。

反型区,invert a region——在场效应作用下,N 型半导体转变为 P 型半导体或 P 型半导体转变为 N 型半导体。

倒相器,Inverter——逻辑非门,其输出的二进制状态与输入相反。

I/O——系统的输入和输出。

离子,ion——得到或失去一个或几个电子而发生变化的带电原子。

迭代处理,iterative process——采用不断逼近得到期望解的数学计算方法。

跳线,jumper——1.两个点电连接器;2.用于说明静电释放的套头羊毛衫。

旧料场之战,Junkyard Wars——凯茜·罗杰斯关于在团队竞争中废料利用的革新,思想源于电影"阿波罗 13 号"中在桌子上扔废料盒的场景,具有现在需要的创造力。

千,kilo——10^3。

基尔霍夫电流定律,Kirchhoff's Current Law——所有流出节点的电流之和等于流入节点的电流之和。

基尔霍夫电压定律,Kirchhoff's Voltage Law——闭合电路中电压的代数和等于 0,回路中降低的电压之和等于提高的电压之和。

栓锁,latch-up——当半导体衬底上的寄生晶体管导通时发生的现象,将引起破坏性的电流流动。

版图设计,layout——产生制造层两维表示的过程,该版图被用于 IC 芯片的制造。

亮场,light field——用于光刻的大部分透光的掩模,仅有少量的铬层图形。

逻辑函数,logic function——二进制输入信号和电路输出之间的关系表达式,包括与、或、非、与非、或非和异或等。

逻辑 1,logic one——逻辑门的输入或输出,通常采用电路中的高电压表示。

逻辑 0,logic zero——逻辑门的输入或输出,通常采用电路中的低电压表示。

低(电路电压状态),low(circuit voltage state)——表示逻辑 0 状态的电平。

磁场,magnetic field——环绕通有电流的材料的一种真实有趣的现象,磁场能够对其周围的一些材料产生影响,它可以使铁粉排列成精巧的图形。

掩模,mask——包含有被刻蚀过的铬图形的非常平的石英玻璃平板。

掩模图形,masking——半导体晶圆上所选择的覆盖层区域,其他区域则被曝光以便进行扩散、刻蚀或金属布线。

微,micro——10^{-6}。

微米,micron——直线测量的米制单位,等于 1×10^{-6} 米,即 1 米的百万分之一。

毫,milli——10^{-3}。

模型,models——电路元件行为的数学表示,真实地反映器件的物理意义以及电特性和物理特性。建立一个基本器件的模型可能要花数月的时间。

万用表,multimeter——用于测量电压、电流和电阻的手持式设备。

互感,mutual inductance——由于电感彼此靠得很近而形成的额外的感应。

N 型,N Type——掺入了比硅原子含有额外电子的杂质的半导体材料。N 表示负性的,意指掺杂材料的电荷类型。

N 阱,N well——用于制作 PMOS 晶体管的深的 N 型扩散区。

N 阱接触,N well contacts——在 N 阱中用于形成欧姆接触的 N+掺杂区,通常接电路中最正的电位以防止栓锁效应。

NAC 二极管,Net area check,diode——连接衬底和晶体管多晶硅栅的小二极管,用于防止天线效应,该二极管将限制产生的电压大小。也称为栅钳位二极管。

与非,NAND——与逻辑函数的非量。

纳,nano——10^{-9}。

负电荷,negative charge——多余的电子。

负性抗蚀剂,negative resist——曝光区域被保留下来的抗蚀剂。被曝光的区域保持了牢度并且不会被显影剂去除,这样,未曝光的区域在显影剂中被正常溶解。参见光刻、光致抗蚀剂、正性抗蚀剂。

网络,network——电路的另一说法。

节点,node——两个或更多电路元件的连接点。

或非(NOR),NOR——或逻辑函数的非量。

常开,normally Off——用于描述晶体管在未加偏置的条件下不导通的术语,也称为增强型晶体管。

常闭 normally On——用于描述晶体管在未加偏置的条件下导通的术语,也称为耗尽型晶体管。

关(开关状态),off(switch state)——不能传导电流的晶体管状态。

欧姆,ohms——电阻 R 的测量单位,其符号为 Ω。

欧姆定律,Ohm's Law——电压、电流和电阻之间的关系。流过电阻的电流直接与其上的外加电压成正比,与电阻的阻值成反比,$V=IR$。

每方欧姆,ohms-per-square——一个正方形材料的电阻值。相同工艺、相同材料的所有正方形具有相同的阻值。

开(开关状态),on(switch state)——晶体管能够传导电流的状态。

或,OR——任何一个输入为逻辑 1 都能使输出为逻辑 1 的逻辑函数,如果没有一个输入为逻辑 1,则函数的输出为逻辑 0。

P 型,P Type——掺入了比硅原子含有的电子少的杂质的半导体材料。P 表示正性的,意指掺杂材料的电荷类型。

P 阱,P well——用于制作 NMOS 晶体管的深的 P 型扩散区。

并联,parallel——一种电路形式,电流从一个公共输入节点流入后,沿着两个或多个路径到达一个公共出口流出。

寄生元件,parasitic element——不期望的电容、电阻或电感,但这些寄生元件又是导电材料和器件所固有的。

无源元件,passive device——集成电路中的一些元件,这些元件的电特性不受外界的影响而改变。典型元件如电阻、电容和电感。

PECVD——等离子体增强化学气相沉积的英文缩写。

光刻,photolithography——按字面意思是指用光印刷。实际上是采用透过掩模板曝光将图形转移到半导体晶圆表面的工艺。参见掩模、掩模图形、光致抗蚀剂。

光致抗蚀剂,photoresist——一种旋涂在半导体晶圆表面形成一均匀薄膜的光敏液体,该薄层对后续工艺步骤进行了保护。

皮,pico——10^{-12}。

夹断,pinched off——CMOS 晶体管的状态,夹断时场效应将导通状态反转到足以阻止电子流动的状态。

平坦化,planarization——一种使不平整表面变平的技术,例如,采用刻蚀、研磨或抛光。平坦化使后续工艺步骤更精确。

等离子体,plasma——高能离子化气体,是除了固、液、气态之外的物质第四态。

等离子体增强化学气相沉积(PECVD),Plasma Enhanced Chemical Vapor Deposition(PECVD)——与 CVD 非常类似,但采用等离子体替代高温启动化学反应。

含有多个晶体的硅(poly),poly-crystalline silicon(poly)——与硅单晶不同,它是由许多随机排列的小单晶构成,而硅单晶是一个非常大的晶体。

多晶硅,polysilicon——同 poly。

正电荷,positive charge——指缺乏电子。

正性抗蚀剂,positive resist——光照发生反应的抗蚀剂。曝光区域抗蚀剂能够被显影液所溶解并被去除。参见负性抗蚀剂、光刻、光致抗

蚀剂。

电势,potential——电荷做功的能力。

电势差,potential difference——电动势,电压,两个电势之间的差。

势垒,potential barrier——N 型和 P 型半导体材料连接在一起时形成的区域,该区域形成一个抑制电子流动的屏障。参见二极管。

电源线,power rail——用于提供电压和电流到电路区的粗金属线。

工艺手册,process manual——一种资料,包含有根据特定工艺设计集成电路所需要的物理的与电学的信息,也称为设计手册或设计规则。典型的参数如薄层电阻、电流容限、可靠性信息、晶体管模型信息、版图规则,等等。

传输延迟时间,propogation time——信号通过自由空间、传输线、放大器或逻辑门从一个点到达另一个点所需的时间。

私有权,proprietary——不能告诉你。

发布合同,publishing contract——总而言之,让人混淆的一堆纸。

Q 值,Q——电感品质的度量。数值越大,越接近理想电感。

rat's nest——在 CAD 软件中进行各种电路块间互连的图形处理技术。每个电路块从一个连接点到电路中其他连接点画直线,直接画,仿佛兴手涂鸦。电路越复杂,连线难度越大。

RC 时间常数,RC time constant——描述在确定电压下通过给定电阻对电容充电快慢的数值。定义为 T=RC,即电阻值与电容值的乘积。

反应离子刻蚀(RIE),reactive ion etching(RIE)——一种刻蚀技术。利用与材料发生化学反应的等离子体进行刻蚀。

真实地产,real estate——芯片面积。

整流器,rectifier——将交变波形转变为单一正向波的器件。

可靠性,reliability——集成电路预期寿命的表示。

抗蚀剂,resist——同光致抗蚀剂。

电阻(阻值),resistance(value)——材料阻止电流流动能力的度量,单位是欧姆。1 欧姆定义为:在 1 伏电压的作用下产生 1 安培电流的电阻值。

电阻率,resistivity——在一定体积的导电材料中电阻的大小。

电阻器,resistor——通过提供电阻控制电路中电流的器件。

反偏,reverse biased——PN 结在这样的外加电压极性下没有电流流动情况的描述。

反向击穿电压,reverse breakdown voltage——反偏 PN 结开始产生电

流的电压。

RF 扼流圈,RF choke——用于描述电感的术语,该电感的作用是阻止射频信号进入不希望其进入的电路范围。

RIE——反应离子刻蚀的英文缩写。

右手定则,Right Hand Rule——确定电感中产生的磁场方向的方法。用右手握住导体,大拇指指向电流方向,其余握起的四指指向的是磁力线的方向。该规则又称为 Hitchhiker 规则。

设计规则,rulebook——一种资料,包含有根据特定工艺设计集成电路所需要的物理的与电学的信息,也称为工艺手册或设计手册。典型的参数如薄层电阻、电流容限、可靠性信息、晶体管模型信息、版图规则,等等。

饱和度,saturation——量的水平,达到该水平后,一个量的增加不再改变第二个量。

饱和电流,saturation current——随着跨接在器件上的电压增加,流过该器件的电流增加,当电流不再随着外加电压增加而进一步增加时,我们说器件进入饱和,此时的电流为饱和电流。它通常与双极晶体管和 CMOS 晶体管相关联。

原理图,schematic——含有用于表示电路中电气元件的符号及其连接关系的图。它是模拟和版图设计的依据,原理图还被用作文件存档。

电子海洋,sea of electrons——用于描述在导体或半导体中导带电子丰度的术语。

籽晶,seed crystal——在拉晶炉中拉制晶体的起始晶体,它的晶向决定了生产出的硅棒的晶向。

自对准栅,self-aligned Gate——描述 CMOS 晶体管的栅与源漏区对准技术的术语。晶体管的栅条担当了源漏离子注入工艺的掩模,后续的退火推动注入区向栅条下扩散,减小了晶体管栅长,实现高速器件。

半导体,semiconductor——价带与导带电子能级差非常小的单晶材料。电子很容易被激发进入导带,掺杂使半导体更具有导电性并更可控。

串联,series——仅包含唯一电流通路的电路。

折弯型电阻,serpentine resistor——以蛇行路径形式布图的电阻,使长的电阻具有更紧凑的版图。

薄层电阻率,sheet resistivity——一定厚度导体在给定表面积下的电阻值。也称为薄层 ρ。

薄层 ρ,sheet rho——同薄层电阻率。

电子能级,shells——对于绕原子核运动电子分立能级的描述。

短接(路),short(circuit)——不希望的低阻通路。

模拟器,simulator——预测电路在建立后所具有功能的计算机软件,它节省了时间并且降低了芯片测试成本。模拟器需要电路模型、原理图、电路设计规范以及工作参数等作为支持。

正弦波,sinusoidal waveform——具有正弦波形的信号电压。

源,source——CMOS 晶体管的一个端子,一般认为可以与漏互换,这取决于跨接在晶体管上的外加电压极性。

源漏共用,source-drain sharing——用于减小芯片版图面积的技术。当共同工作的 CMOS 晶体管具有同样电路连接端子时可采用该技术。

specs——电路设计规范的缩写。

SPICE——集成电路设计的模拟程序,电路模拟程序。SPICE 的第一个版本由加州大学伯克利分校于 20 世纪 70 年代开发。一个非常流行的计算机辅助分析软件。

螺旋电感,spiral inductor——绕制成正方形螺旋形式的电感,可以减小芯片面积。

扩展,spreading——当接触区远小于导电通路宽度时所出现的问题现象。当电子离开接触区后,它们向着整个导体的宽度方向扩展,这导致电阻长度度量模糊。

杂散信号,spurious signal——不希望的变化信号或可疑的信号源。

溅射台,sputterer——利用高能等离子体轰击金属实现金属沉积的机械装置,被轰击的金属则沉积到作为靶的半导体晶圆上。

叠层电容,stacked capacitor——两个或更多的电容竖直的彼此叠放,通常情况下,采用该技术可以在较小的面积上获得较大的电容量。金属电容器常采用这种方法制作。参见叉指结构。

叠层电感,stacked inductor——两个或更多的电感竖直的彼此叠放。

静电(电学),static(electricity)——在非导电材料上积累静电荷,可以通过去电器将其去除。

棒状图,stick diagram——CMOS 器件及其连接关系的非常简单的表示。是介于原理图与最终版图之间的中间草图,一旦棒状图被完成,它就提供了器件布局与连接关系。

随机的,stochastic——依靠实验和误差或概率求解;与规则系统相反。

衬底,substrate——原始硅片的底层材料,在其上制造晶体管或集成电路。

衬底接触,substrate contacts——连接到P型硅衬底的P+区,用于连接衬底到电路中最低电位以确保器件工作和防止栓锁。

衬底材料,substrate material——与衬底同,通常为P-。

衬底连接,substrate ties——同衬底接触。

超人,superhero——着蓝色衣服、红色帽子并且胸前有一大大的S的人。

电源,supply——在电路中的最高电压。

时间常数,time constant——描述在确定电压下通过给定电阻对电容充电快慢的数值。定义为T=RC,参见RC时间常数。

晶体管,transistor——采用半导体材料制造的固态开关。单词transistor(晶体管)取自于*TRANS*fer和res*ISTOR*。一种具有三个电极的半导体有源器件。

传输线,transmission line——被表征为寄生电容、电感和电阻的导线,用作从一端传输信号到另一端的通道。

盆区(tub),tub——同N阱。

地道,underpass——在不能采用金属连线处采用的多晶硅连线。

价带,valence band——能带图上电子不具备足够能量导电的区域。价带中的电子紧密排列。

变容二极管,varactor diode——具有高度可变结电容的二极管,电容大小取决于加在其上的电压。对掺杂具有特殊的选择以增强变容特性。

VCC——电路中最正的电压信号名,通常用于模拟电路。

VDD——电路中最正的电压信号名,通常用于数字电路。

垂直型器件,vertical device——利用扩散层彼此叠放构造的半导体器件。

垂直工艺 vertical processing——用于制造垂直型器件的工艺。垂直型器件工艺技术使双极型器件具有更高的精度。

通孔,via——绝缘介质层上连接集成电路不同金属层的孔。

电压,voltage——两点电荷之间的电势差。

伏特,volt——电压的度量单位,用符号V表示。1伏电压被定义为:引起一个1欧姆电阻中流过1安培电流的电势差。

VSS——电路中最负的电压信号名,通常用于数字电路。

晶圆，wafer——从单晶硅棒上切下的薄的半导体衬底材料圆片，有点像餐盘。

阱二极管，well diode——在 N 阱与 P 型衬底间形成的一个 PN 结，可用于 ESD 保护。

阱接触，well contact——用于连接 N 阱到电路中最正电压的 N＋连接，其目的是确保器件工作和防止栓锁。

阱连接，well ties——参见阱接触。

X 射线光刻，x-ray lithography——利用 X 射线代替可见光实现图形转移。X 射线的波长较短，因此可以用于更细线条的处理。

Y 镱，Yterbium——一种化学元素，用 y 表示。

zymurgy——很好的结束单词。瞧。

Suggested Readings and Resources

Electronics Pocket Handbook

by Daniel L. Metzger

Paperback—329 pages, 3rd edition (1998)

Prentice Hall PTR; ISBN 0137841906

CMOS Circuit Design, Layout, and Simulation

IEEE Press Series on Microelectronic Systems

by R. Jacob Baker, Harry W. Li, David E. Boyce

Hardcover—928 pages(January 1998)

IEEE;ISBN 0780334167

CMOS IC Layout: Concepts, Methodologies, and Tools

by Dan Clein

Paperback—304 pages, book &CD-ROM edition(December 1999)

Butterworth-Heinemann; ISBN 0750671947

Design of Analog CMOS Integrated Circuits

McGraw-Hill Series in Electrical and Computer Engineering.

Electronics and VLSI Circuits

by Behzad Razavi

Hardcover—600 pages, 1st edition(August 1999)

McGraw-Hill;ISBN 0072372710

The Art of Analog Layout

by Alan Hastings

Hardcover—576 pages, 1st edition (December 15,2000)

Prentice Hall; ISBN 0130870617

The Art of Electronics

by Paul Horowitz, Winfield Hill

Hardcover—1125 pages, 2nd edition(1989)

Cambridge University Press; ISBN 0521370957

Microchip Fabrication: A Practical Guide to Semiconductor Processing

by Peter Van Zant

Hardcover—640 pages, 4th edition (April 3,2000)

McGraw-Hill; ISBN 0071356363

Analysis and Design of Analog Integrated Circuits

by Paul R. Gray, Robert G. Meyer

Hardcover—792 pages, 3rd edition (January 15,1993)

John Wiley& Sons; ISBN 0471574953

Physical Design of CMOS Integrated Circuits Using L-Edit™

by John P. Uyemura

Hardcover—256 pages, 1st edition (October 5,1994)

ITP Educational Division; ISBN 0534943271

Schaum's Outlines: Basic Electricity

by Milton Gussow

Paperback—454 pages (1983)

McGraw-Hill; ISBN 0070252408

Educational Programs

Eastfield College

Eastfield College is located in Mesquite, Texas, just outside of Dallas. They are a two-year college and offer an Associate Degree in Computer Aided Design and Drafting—Integrated Circuit Design.

Austin Community College

Austin Community College is a two-year college located in Austin, Texas. They offer an Associate of Applied Science degree with an IC Certificate. The two IC layout courses in the certificate are Integrated Circuit Layout and Design I, and Integrated Circuit Layout and Design Ⅱ.

Mesa Community College

Mesa Community College is located in Mesa, Arizona. They have two classes for Integrated Circuit Design. The first is CMOS 1A, and the second class is CMOS 1B.

San Jose City College

San Jose City College is located in San Jose, California, also known as Silicon Valley. They offer CMOS Mask Design I and Ⅱ courses.

American River College

American River College is a two-year college located in Sacramento, California. Courses include CMOS Design I and Ⅱ.

Chemeketa Community College

Chemeketa is a dynamic, comprehensive educational institution located in the heart of the Willamette Valley in Salem, Oregon. They offer an Integrated Circuit Mask Design program.

Silicon Artists

Silicon Artists offers courses in the field of IC Mask design—basic and advanced level classes. Each course is taught by an experienced industry professional, in such a manner that does not require an Electrical Engineering degree. Silicon Artists offers both IC Mask Design and Advanced IC Mast Design.

Feel free to inform us of other educational programs, so that we may include them in future editions.