.doc in alpha 豆丁

特别说明

此资料来自豆丁网(http://www.docin.com/)

您现在所看到的文档是使用下载器所生成的文档

此文档的原件位于

http://www.docin.com/p-49730619.html

感谢您的支持

抱米花
http://blog.sina.com.cn/lotusbaob

.doc in alpha 豆丁

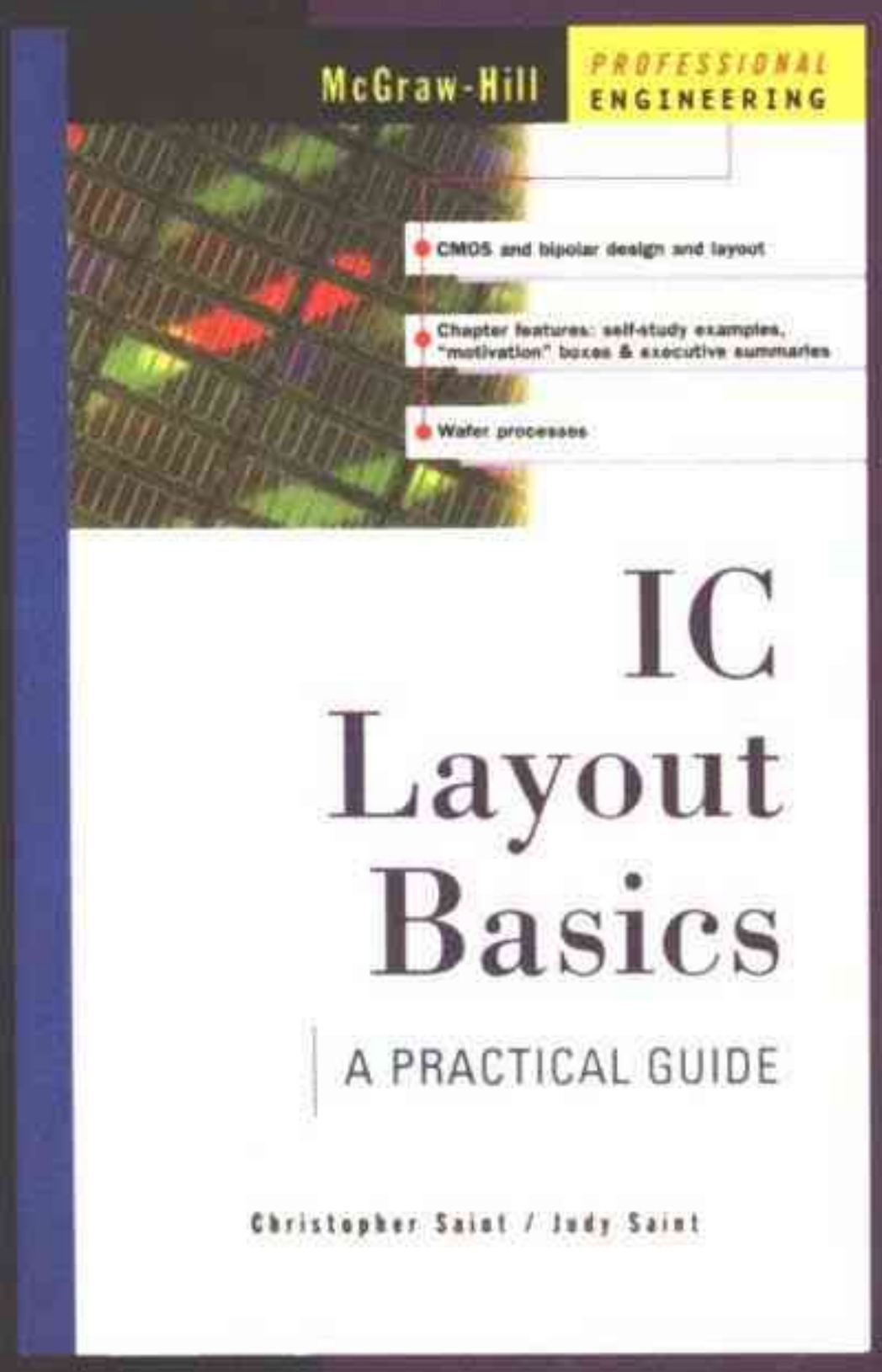
Mc Graw Hill Education

国外大学优秀教材——微电子类系列（翻译版）

集成电路版图基础
——实用指南

（美）Christopher Saint, Judy Saint 著

李伟华 孙伟锋 译



清华大学出版社

集成电路版图设计是一个非常新的领域，虽然掩模设计已经有30多年的历史，但直到最近才成为一种职业。想从事这个职业的人，包括大学毕业生和希望转行的人们，需要了解一些非常复杂的原理。同样，一些富有经验的版图工程师也发现当代IC工艺的复杂性要求他们进一步了解这些基础知识。

版图设计不是一个孤立的设计环节，它与一系列的技术相关联。本书从基本半导体理论开始介绍，进而阐述了在现代半导体技术中基本器件的发展，为读者提供了IC版图设计的方法与技术。本书的一个突出特点是：在介绍版图设计的同时说明了为什么要这样设计，使读者知其然，知其所以然。本书内容的重点是版图设计的基础知识，对于新入行的从业者，这是一个良好的开端；对于有经验的设计者，则可作为对设计经验的回味和思考。

ISBN 7-302-13371-9

9 787302 133711 >

McGraw Hill Education

http://www.mheducation.com

ISBN 7-302-13371-9

定价：35.00元

国外大学优秀教材——微电子类系列（翻译版）

集成电路版图基础
——实用指南

（美）Christopher Saint, Judy Saint 著
李伟华 孙伟锋 译

清华大学出版社
北京

Christopher Saint and Judy Saint
IC Layout Basics: A Practical Guide
EISBN: 0-07-138625-4

Copyright © 2002 by Christopher Saint and Judy Saint.
Original language published by The McGraw-Hill Companies, Inc. All Rights reserved. No part of this publication may be reproduced or distributed by any means, or stored in a database or retrieval system, without the prior written permission of the publisher.

Simplified Chinese translation edition is published and distributed exclusively by Tsinghua University Press under the authorization by McGraw-Hill Education (Asia) Co., within the territory of the People's Republic of China only (excluding Hong Kong, Macao SAR and Taiwan). Unauthorized export of this edition is a violation of the Copyright Act. Violation of this Law is subject to Civil and Criminal Penalties.

本书中文简体字翻译版由美国麦格劳-希尔教育出版(亚洲)公司授权清华大学出版社在中华人民共和国境内(不包括中国香港、澳门特别行政区和中国台湾地区)独家出版发行。未经许可之出口视为违反著作权法,将受法律之制裁。未经出版者预先书面许可,不得以任何方式复制或抄袭本书的任何部分。

北京市版权局著作权合同登记号　图字:01-2004-1909

版权所有,翻印必究。举报电话:010-62782989　13501256678　13801310933
本书封面贴有 McGraw-Hill 公司防伪标签,无标签者不得销售。

图书在版编目(CIP)数据

集成电路版图基础:实用指南/(美)塞因特(Saint,C.),(美)塞因特(Saint,J.)著;李伟华,孙伟锋译. —北京:清华大学出版社,2006.10
(国外大学优秀教材——微电子类系列(翻译版))
书名原文:IC Layout Basics: A Practical Guide
ISBN 7-302-13371-9

Ⅰ.集…　Ⅱ.①塞…②塞…③李…④孙…　Ⅲ.集成电路—设计—高等学校—教材　Ⅳ.TN402

中国版本图书馆 CIP 数据核字(2006)第 077345 号

出 版 者:清华大学出版社　　**地　　址**:北京清华大学学研大厦
http://www.tup.com.cn　　**邮　　编**:100084
社 总 机:010-62770175　　**客户服务**:010-62776969
责任编辑:田志明
印 刷 者:北京鑫丰华彩印有限公司
装 订 者:三河市春园印刷有限公司
发 行 者:新华书店总店北京发行所
开　　本:152×228　**印张**:17　**字数**:284 千字
版　　次:2006 年 10 月第 1 版　2006 年 10 月第1 次印刷
书　　号:ISBN 7-302-13371-9/TN・341
印　　数:1～3000
定　　价:35.00 元

作 者 序

集成电路(IC)版图设计是一个非常新的领域,虽然掩模设计已经有30多年的历史,但直到最近才成为一种职业。人们希望从事这个职业,包括大学毕业生和一些希望转行的人们,他们需要了解一些非常复杂的原理。同样地,一些富有经验的版图工程师也发现当代IC工艺的复杂性要求他们进一步了解这些基础知识。

包含版图工程师需要了解的所有信息的资料现在找起来已经是十分困难,在关于其他方面工作的一些讨论中略微地介绍了一些关于版图工程师应该了解的基础知识,但涵盖了相关的方方面面的材料尚未发现。

在本书中探讨了相关的内容。我们希望为新的版图设计师们提供他们应了解的所有理论和设计基础知识,使他们成为设计能手,为他们的职业生涯提供参考。我们也希望给那些富有经验的版图设计从业者一个知识的扩展,增加对当今器件与技术的了解。

这本书从基本半导体理论开始介绍,进而阐述了在现代半导体技术中基本器件的发展。在较深的程度上为读者提供了有价值的设计方程以及设计IC版图的方法与技术,这些知识将使从事该职业的人们终生受益。

本书的内容以幽默、图示和循序渐进的方式表述①,在书中关键之处插入了轶事和佐证加以调侃,但丝毫不会影响本书作为高技术资料的水平。

本书内容完整,可读性强,欢迎大家阅读此书:《集成电路版图基础——实用指南》。

Christopher Saint
Judy Saint

---

① 这可能是第一本可以躺在床上看的技术书。

译 者 序

集成电路版图是电路系统与集成电路工艺之间的中间环节，是一个必不可少的重要环节。通过集成电路版图设计，可以将立体的电路系统变为一个二维的平面图形，再经过工艺加工还原为基于硅材料的立体结构。因此，版图设计是一个上承电路系统，下接集成电路芯片制造的中间桥梁，其重要性可见一斑。

随着微电子技术的突飞猛进，新技术、新工艺、新材料不断涌现，设计方法、设计手段、设计理念不断更新，版图设计已从单纯的图形设计发展为需要综合考虑各方面因素的、复杂的设计问题。一个优秀的版图设计工程师不仅需要了解版图设计的技术、技巧，还应该对相关的电路系统问题、工艺问题以及一些重要的物理效应有深刻的理解。

但是，集成电路版图设计也确实是令设计者们感到困惑的一个环节，我们常常感到版图设计似乎没有什么“规矩”，设计的经验性往往掩盖了设计的科学性。即使是有多年版图设计经验的人有时也“说不清”为什么要这样或那样设计。在多年的科研与教学实践中，我们感到版图设计方面的问题是最令学生感到无所适从的问题之一。

长期以来，关于集成电路版图设计的知识大部分是作为集成电路原理或 VLSI 设计书籍中的一些章节，专门介绍版图设计知识的文献资料非常缺少。此次清华大学出版社引进并组织翻译有关版图设计的书籍，为集成电路版图设计者提供了非常好的学习与参考资料。虽然工作非常繁忙，我们仍接下了翻译任务，希望本书能够成为微电子行业的从业者学习与了解版图设计基础的实用资料。

本书从基本半导体理论的介绍开始，循序渐进地介绍了基本集成电路单元的版图设计。本书的一个突出特点是：在介绍版图设计的同时说明了为什么要这样设计，使读者知其然，并知其所以然。从本书的内容组织也可以看到，版图设计不是一个孤立的设计环节，它与一系列的技术相关联。本书内容的重点是版图设计的基础知识，对于新入行的从业者，这是一个良好的开端；对于有经验的设计者，本书则可作为对设计经验的回味和思考。

本书由东南大学李伟华和孙伟锋翻译。其中，孙伟锋负责第 1、5、

6、7 章和第 8 章的翻译，李伟华负责第 2、3、4 章以及术语和其他内容的翻译，最后，由李伟华对全书的内容进行校对与整理。在本书的翻译过程中得到了东南大学 MEMS 教育部重点实验室和国家 ASIC 系统工程技术研究中心的老师和同事们的支持与帮助，在此一并表示感谢。

由于水平有限，在对原著的理解方面可能存在不足，希望读者给予批评指正。

译者

2006 年 1 月于东南大学

目　录

第 1 章　电路基础理论　1

1.1　内容提要　1
1.2　引言　1
1.3　基本电路回顾　2
　1.3.1　同性相斥，异性相吸　2
　1.3.2　基本单位　3
　1.3.3　串联公式　4
　1.3.4　并联公式　4
　1.3.5　欧姆定律　4
　1.3.6　基尔霍夫定律　5
　1.3.7　电路单元符号　7
1.4　导体、绝缘体和半导体　8
1.5　半导体材料　9
　1.5.1　N 型材料　11
　1.5.2　P 型材料　12
1.6　PN 结　13
　1.6.1　势垒　13
　1.6.2　通过势垒的电流　14
　1.6.3　二极管　16
　1.6.4　二极管应用　17
1.7　半导体开关　18
　1.7.1　一个灯开关的例子　18
1.8　场效应　19
　1.8.1　场效应晶体管　21
1.9　开关隔离　22
1.10　增强型器件和耗尽型器件　24
1.11　互补型开关　26
1.12　N 阱和衬底接触　27

1.13 逻辑电路 27
1.13.1 用电压表示逻辑状态 28
1.13.2 CMOS 逻辑电路 28
1.13.3 与非门 31
1.13.4 或非门 31
结束语 33
本章学过的内容 34
应用练习 34

第 2 章 硅加工工艺 39

2.1 内容提要 39
2.2 引言 39
2.3 集成电路版图 40
2.3.1 基本矩形 41
2.4 硅晶圆制造 42
2.5 掺杂 45
2.5.1 离子注入 46
2.5.2 扩散 46
2.6 生长材料层 47
2.6.1 外延 47
2.6.2 化学气相沉积 48
2.6.3 氧化层生长 50
2.6.4 溅射 50
2.6.5 蒸发 50
2.7 去除材料层 51
2.8 光刻 51
2.9 芯片制造 53
2.9.1 下凹图形的加工 53
2.9.2 凸起图形的加工 55
2.9.3 平坦化 57
2.9.4 作为掩模的二氧化硅 57
2.10 自对准硅栅 58
结束语 61
本章学过的内容 62

第 3 章 CMOS 版图 93

3.1 内容提要 93
3.2 引言 93
3.3 器件尺寸设计 94
3.3.1 SPICE 94
3.3.2 大尺寸器件的设计 97
3.4 源漏区共用 102
3.5 器件连接技术 105
3.6 紧凑型版图 108
3.7 棒状图 109
3.8 阱连接和衬底连接 115
3.8.1 阱连接布局 117
3.9 天线效应 119
3.10 多晶硅引线 122
3.11 图形关系 123
结束语 125
本章学过的内容 125
应用练习 125

第 4 章 电阻 129

4.1 内容提要 129
4.2 引言 129
4.3 电阻概述 130
4.4 电阻的测量 131
4.4.1 宽度和长度 131
4.4.2 方块的概念 132
4.4.3 每方欧姆 135
4.5 多晶硅电阻公式 139
4.5.1 基本电阻器版图 140
4.5.2 接触电阻 142
4.5.3 改变体材料 151
4.6 实际电阻分析 155
4.6.1 接触区误差 155

4.6.2 体区误差 155
4.6.3 头区误差 156
4.6.4 扩展电阻 158
4.6.5 总电阻方程 161
4.7 实际的最小电阻尺寸 162
4.8 特殊要求的电阻 163
4.8.1 大电阻-低精度 163
4.8.2 小电阻-高精度 166
4.9 设计的重要依据——电流密度 166
4.10 版图误差分析 171
4.10.1 电阻器误差的来源 171
4.10.2 误差要求 171
4.11 基本材料的复用 172
4.12 扩散电阻和多晶硅电阻的比较 175
4.12.1 双层多晶硅 176
4.12.2 Bipolar/BiCMOS 176
结束语 176
本章学过的内容 177
应用练习 177

第5章 电容 183

5.1 内容提要 183
5.2 引言 183
5.3 电容概述 184
5.3.1 电容器的特性 184
5.4 电容值计算 187
5.4.1 表面电容 188
5.4.2 边缘电容 189
5.5 N阱电容器 191
5.5.1 寄生电容 193
5.6 金属电容器 194
5.6.1 叠层金属电容器 195
5.6.2 氮化物介质电容器 195
结束语 196

本章学过的内容 196

第 6 章 双极型晶体管 197

6.1 内容提要 197
6.2 引言 197
6.3 工作原理 198
6.3.1 基本结构 198
6.3.2 NPN 晶体管工作原理 200
6.4 纵向工艺 203
6.4.1 FET 和 NPN 晶体管的开关特性比较 203
6.4.2 层的结构 204
6.5 NPN 管的寄生效应 206
6.6 PNP 晶体管 207
6.6.1 横向 PNP 管 207
6.7 双极型晶体管版图与 CMOS 版图的区别 209
6.7.1 设计规则的数量 209
6.7.2 黑匣子式的布局 211
结束语 211
本章学过的内容 212

第 7 章 二极管 213

7.1 内容提要 213
7.2 引言 213
7.3 二极管的种类 213
7.3.1 基本二极管 214
7.3.2 由双极型晶体管构造的二极管 214
7.3.3 变容二极管 217
7.4 ESD 保护 218
7.5 特殊版图结构 222
7.5.1 圆形版图 222
7.5.2 梳状结构二极管版图 223
结束语 223
本章学过的内容 224

第 8 章　电感 225

8.1　内容提要 225
8.2　引言 225
8.3　基本电感 226
8.4　传输线 228
　8.4.1　直线特性 228
　8.4.2　拐角特征化 229
8.5　螺旋电感 231
8.6　电感品质因子 232
8.7　叠层电感 232
　8.7.1　射频扼流圈 234
8.8　邻近效应 236
结束语 237
本章学过的内容 238

术语 239

推荐读物和资料 255

培训项目 257

第 1 章

电路基础理论

1.1 内容提要

在本章中，你将看到以下内容：

- 基本电路理论的回顾
- 导体、绝缘体、半导体材料
- 如何制造半导体材料
- 两种半导体材料——P 型和 N 型
- PN 结的重要性
- 利用电场制作开关
- 串联两个互补型开关
- 用互补型开关设计一个控制电路
- 如何设计逻辑电路

……

1.2 引言

大家应该已经熟悉本章前几页所涉及的大部分电路概念以及集成电路(IC)的思想。因此，下面作一个简单的回顾，仅供参考。

集成电路的绝大部分功能都是通过控制电流来实现的，例如控制电流变化、开关电流、或者利用电流产生电压，而这些操作许多是通过**半导体**完成的。

不像普通灯的开关仅有开和关两种状态，半导体开关可以有开、关以及介于开关之间的一些状态，这种半导体开关称为**晶体管**。

在本章中，我们将首先基于半导体材料构建晶体管，然后再利用晶体管组成逻辑电路。

芯片的设计首先是从工艺研发团队开始的，然后是电路设计人员，最后是你——版图工程师。

版图工程师在新的芯片设计制造过程中是必不可少的。如果你具有更丰富的知识、更强的创造性和更高的效率，那么你可以为你的公司节省数百万美元，因为你所设计的芯片在第一次流水后的性能甚至比预期的还要好，或者你设计的芯片版图比其他人员设计的版图尺寸小，或者在芯片生产之前找到并改正那些致命的错误。

一个优秀的版图工程师是公司的宝贵财富，特别是作为芯片产品流水前最后一道工序的执行者。

本书的一些说明

- 图形中垂直方向为材料的宽度，水平方向为材料的长度。
- 如果没有特别说明，电流的流向为自左向右。
- 文中仅用代词“他”和“它”，这并不存在对女性的不尊重。
- 图示仅起到说明作用，为了简便起见，文中的图形与实际工艺制备的图形有所差别。
- 读者可以带着幽默感来读本书，应该在读书和工作中保持乐观的心态，探索那些未知的东西。

1.3 基本电路回顾

下面给出一些基本的电路理论供读者参考，我们认为读者已经熟悉基本的电路公式和概念，因此仅作一些简单的概述，如果需要更加详细的论述请查阅参考书目。

1.3.1 同性相斥，异性相吸

“异性相吸”是非常普遍的现象，具有相反极性的物质相互吸引，而相同极性的物质相互排斥。例如，带有正电荷的原子将会吸引带负电荷的原子；带正电荷的原子排斥带正电荷的原子，而且不论它们之间是否存在一定距离。

异性相吸。

如果这一神奇的自然规律消失了，那么本书提到的所有电路也就

无法工作了。

我很想弄明白相隔一定距离的电子为什么会相互吸引和排斥，弄明白这一现象的根本原因。一个小小的电子怎么会对它周围的电子有“想法”的呢？实际上，正负电荷没有什么区别，仅仅是电子的数量不同而已，但它们怎么会知道这些呢？它们又不会计数。

为什么我们看不到重力？磁铁也不应该工作啊！以前的宇宙到底是怎样的？为什么航空小姐的纸托蛋糕里面需要奶白色的填充物呢？这真是一个迷茫的世界。—Judy

1.3.2　基本单位

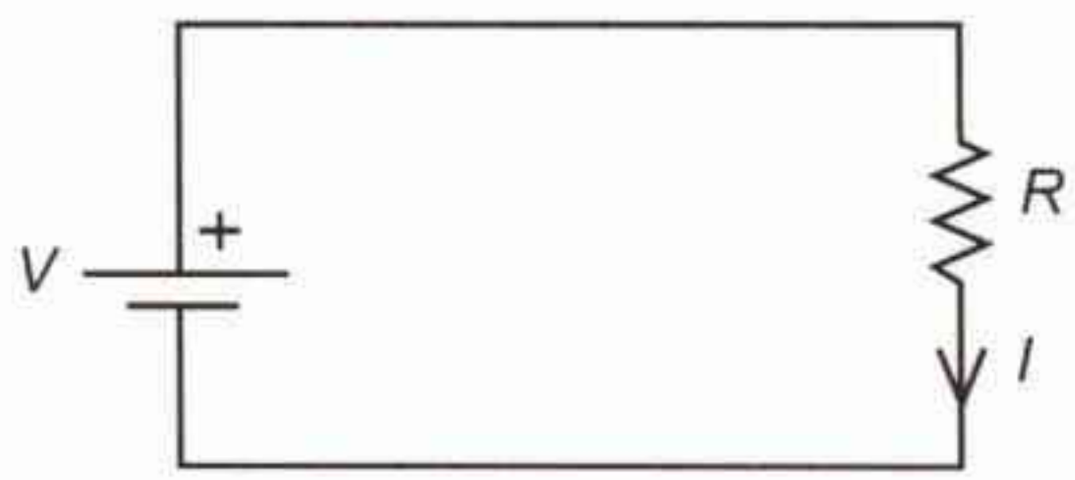


图 1-1　包含电压、电阻和电流的电路示意图。

电压：符号 V，单位为伏特(V)。

电阻：符号 R，单位为欧姆(Ω)。

电流：符号 I，单位为安培(A)。

千米(km)	$\frac{1000}{1}$	1000	$1e^{3}$
米(m)	$\frac{1}{1}$	1	1
厘米(cm)	$\frac{1}{100}$	0.01	$1e^{-2}$
毫米(mm)	$\frac{1}{1000}$	0.001	$1e^{-3}$
微米(μm)	$\frac{1}{1,000,000}$	0.000001	$1e^{-6}$
纳米(nm)	$\frac{1}{1,000,000,000}$	0.000000001	$1e^{-9}$
皮米(pm)	$\frac{1}{1,000,000,000,000}$	0.000000000001	$1e^{-12}$
飞米(fm)	$\frac{1}{1,000,000,000,000,000}$	0.000000000000001	$1e^{-15}$

1.3.3 串联公式

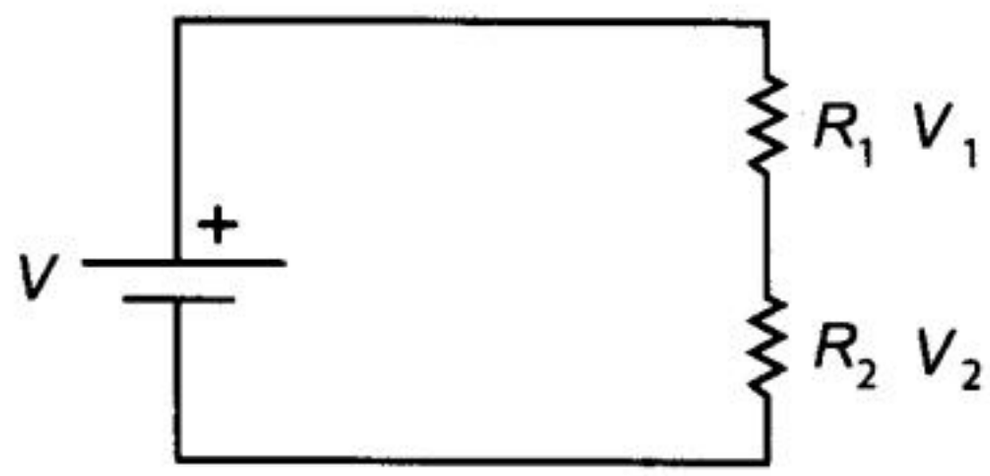


图 1-2 两电阻串联示意图。

串联电路的总电压：

$$V_T = V_1 + V_2 + V_3 + \cdots \quad (V)$$

串联电路的总电阻：

$$R_T = R_1 + R_2 + R_3 + \cdots \quad (\Omega)$$

1.3.4 并联公式

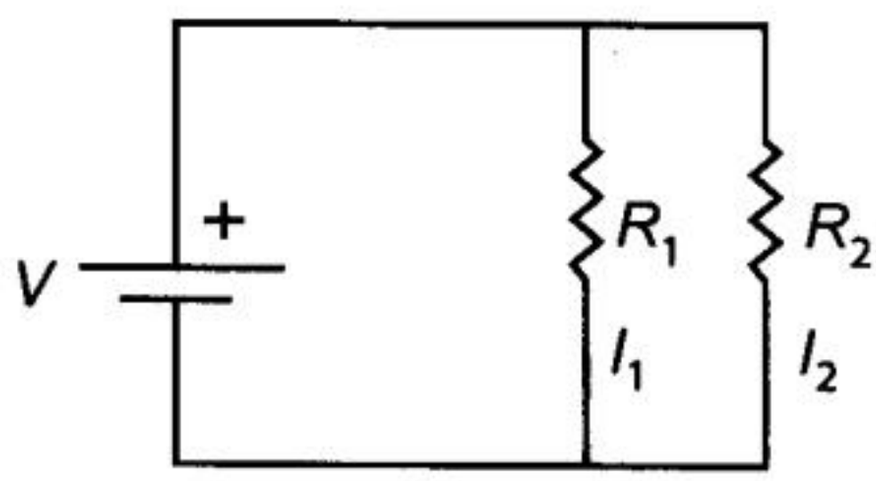


图 1-3 两电阻并联示意图。

并联电路的总电流：

$$I_T = I_1 + I_2 + I_3 + \cdots \quad (A)$$

并联电路的总电阻：

$$\frac{1}{R_T} = \frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} + \cdots \quad (\Omega)$$

1.3.5 欧姆定律

简单地说，**欧姆定律**是指电压等于电流与电阻的乘积。

$$V = IR \quad (V)$$

上述关系式可有如下变形：

$$I = V/R \quad (A)$$

$$R = V/I \quad (\Omega)$$

下图给出的三角形可以帮助大家更好地记忆欧姆定律。

- 三角形的顶角始终是电压。
- 三角形的两个底角始终是电流和电阻。
- 看着这个三角形回忆公式。
- 用一个手指盖住希望得到的符号。
- 剩下的两个符号就自动形成想要得到的公式。

难道你不希望所有的公式都如此容易吗？

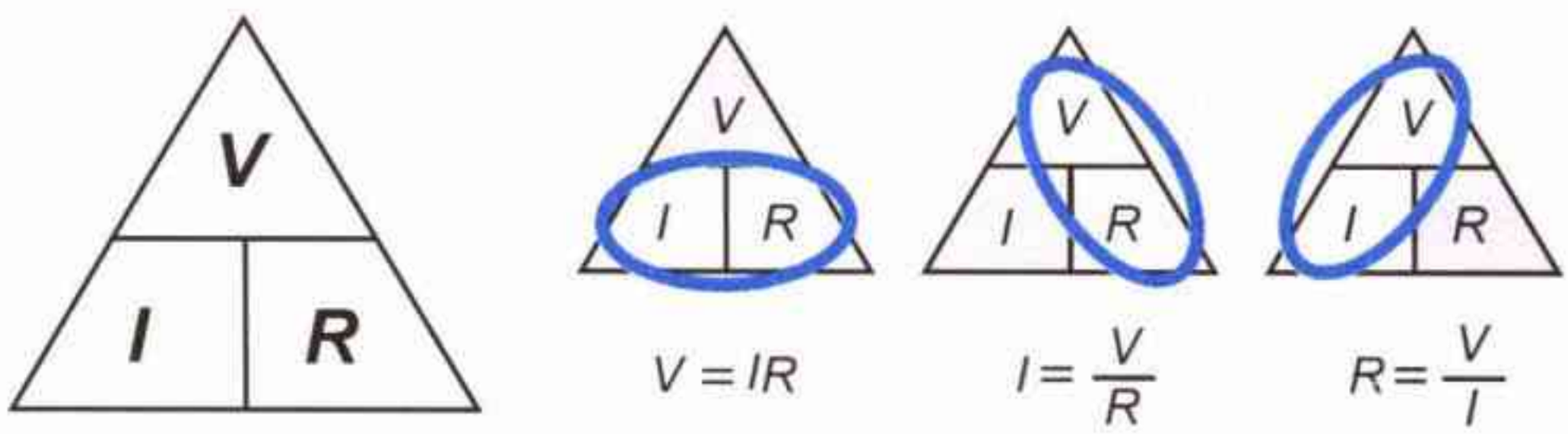


图 1-4　记忆欧姆定律的三角形方法。

1.3.6　基尔霍夫定律

基尔霍夫电压定律：在一个闭环回路中的电压降之和等于该电路外加总电压，也就是说，输入电压的总量等于电路中所有的电压降。

$$V_T = V_1 + V_2 + V_3 + \cdots \quad (V)$$

基尔霍夫电流定律：流出一个节点的所有电流等于流入该节点的所有电流之和。

$$I_T = I_1 + I_2 + I_3 + \cdots \quad (A)$$

这意味着，电路中的任何节点只要有电流流入和流出，则流入、流出的总量一定相等。例如，不可能存在流入的电流量比流出的多的情况。

仅仅去读这些定律是相当枯燥的，但是它们可以转换成代数方程，利用这些方程，我们可以计算未知参量。

这些定律都是非常重要的，利用这些定律解决了许多问题。另外，我们还可以在晚宴上引用这些别致的名字。

还可以考虑把电容和电感等效为电阻，只不过该电阻值对跨接其上的电压的频率敏感。

试试看

1. 利用欧姆定律完成下表。

电压(V)	电流(A)	电阻(Ω)
5.2	0.25	
12		200
	0.003	3

2. 把下面的数据转化为以微米为单位的数据。
   (1) 0.025 英寸
   (2) 2500 纳米
   (3) 5,000,000,000 飞米
   (4) 0.00045 米
3. 电阻 A 和电阻 B 并联,A 的阻值为 100Ω,B 的阻值为 200Ω,那么总电阻是多少?如果两个电阻都是 200Ω 呢?如果两个电阻都是 100Ω 呢?如果两个电阻都是 xΩ 呢?
4. 已知一个闭环回路的电压源电压为 12V,该电路中有三个元器件,一个压降为 6V,另一个为 4V,请问第三个元器件的压降为多少?如果有人怀疑你的计算结果,你会拿什么来作为你的证据呢?

答案

1.

电压(V)	电流(A)	电阻(Ω)
5.2	0.25	**20.8 Ω**
12	**0.06A 或 60mA**	200
0.009V 或 9mV	0.003	3

2. (1) 25 × 25.4 = 635 微米
   (2) 2.5 微米
   (3) 5 微米
   (4) 450 微米
3. $R_A=100\Omega$, $R_B=200\Omega$:

$$\frac{1}{R}=\frac{1}{100}+\frac{1}{200},\quad R=66.67\Omega$$

$R_A=200\Omega$, $R_B=200\Omega$:

$$\frac{1}{R}=\frac{1}{200}+\frac{1}{200},\quad R=100\Omega$$

$R_A=100\Omega$，$R_B=100\Omega$：

$$\frac{1}{R}=\frac{1}{100}+\frac{1}{100},\quad R=50\Omega$$

$R_A=x\ \Omega$，$R_B=x\ \Omega$：

$$\frac{1}{R}=\frac{1}{x}+\frac{1}{x},\quad R=0.5x\Omega$$

4. 电源电压必须等于电压降之和。

$$V_T=V_1+V_2+V_3 \qquad (V)$$

$$12=6+4+V_3 \qquad (V)$$

第三个元件的电压降为 2V。大家应该引用基尔霍夫定律来作为计算的依据。

1.3.7　电路单元符号

以下是电路中常用的一些元器件符号。

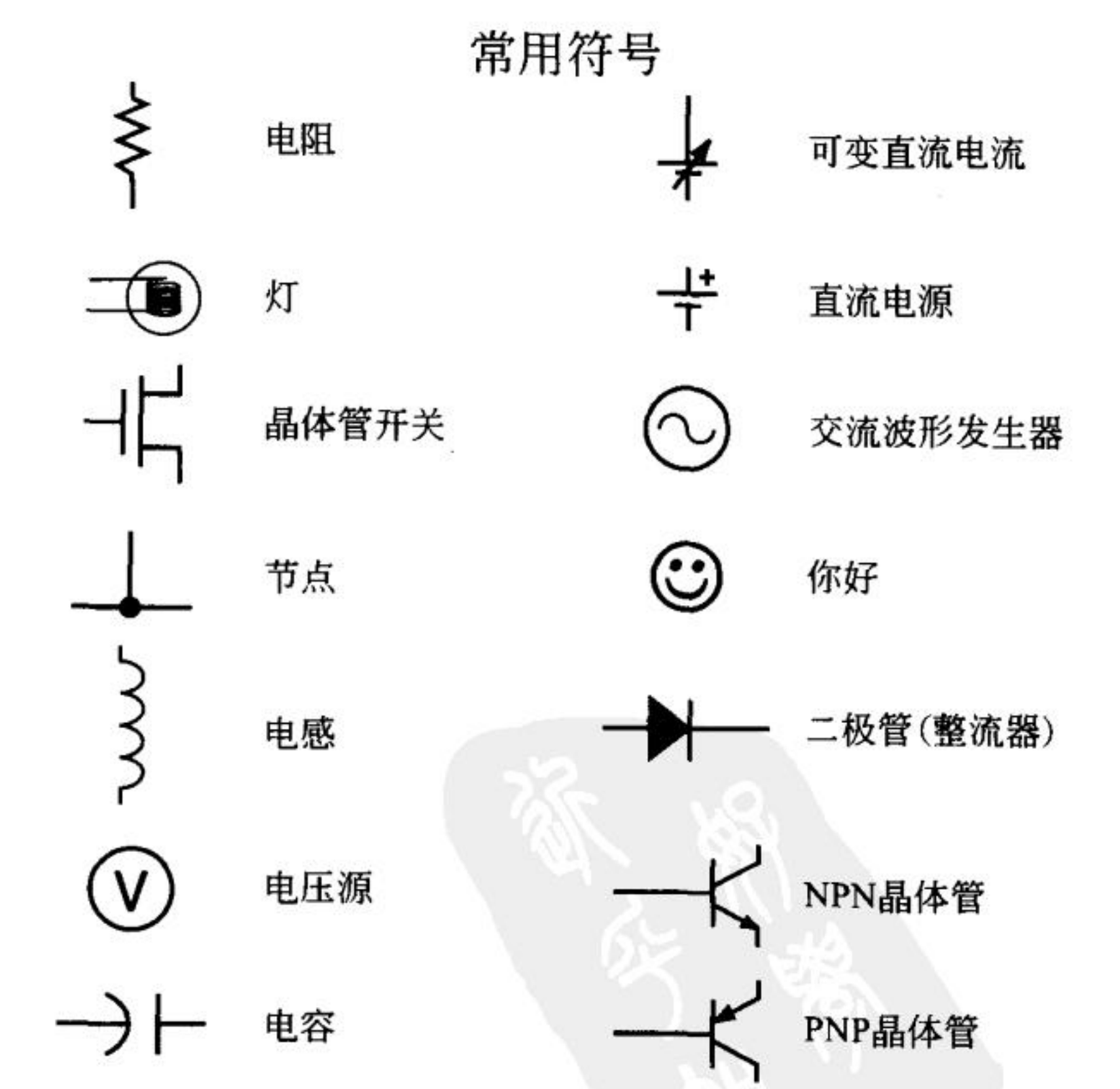


图 1-5　常用符号。

1.4 导体、绝缘体和半导体

导体中含有大量的自由电子，可以在电压的作用下自由运动，就像是一个**电子海洋**。

绝缘体中没有自由电子，电子被原子紧紧地束缚，不能自由运动。正是由于这些电子不可动，绝缘体几乎是不导电的。

半导体是位于导体边缘的绝缘体，它的导电不像绝缘体那么困难，因此称之为半导体(semi 是部分的意思)。例如，提高半导体的温度可以增强导电能力。其实也可以称之为半绝缘体(semiinsulator)，但没有人喜欢在一个单词中连续出现两个 i，故取名为半导体(semiconductor)了。

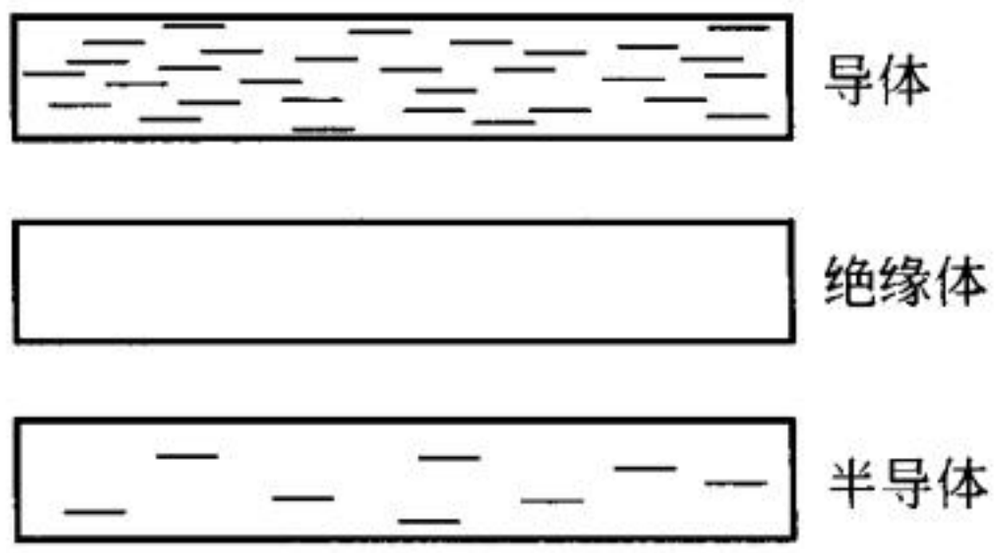


图 1-6 材料的自由电子数量与导电能力之间的关系。

如果找到一种方法可以随意地控制材料的导电或不导电，那么利用该材料就可以为我们做很多有用的事情。可以利用它来开关电子器件，或根据设定的模式来实现逻辑功能。如果我们能够通过某个给定的电路控制它导电的话，应用领域就可能变得无限宽广了，这也就是半导体材料所能给我们的巨大能量。

在理解半导体特性之前，需要对构成半导体材料的原子性质作一些了解。我们主要关心能够以一种可控的方式移动电子。首先回顾一下基本的原子理论。

原子理论指出电子只能存在于原子核周围的某个能量状态，该能量状态称为**能级**。这些能级就像卫星围绕地球旋转的轨道。我相信大家以前对电子的能级已经有所了解。

电子从一个能级跃迁到更高的能级，需要获得能量，也就是给它一个作用力。当我们给电子施加能量，它就会跃迁到邻近有效的能级上，一旦电子位于一个正确的能级之上，我们便可利用它来导电。

根据电子的能级或能带可以对电子进行分类。那些紧密排列的

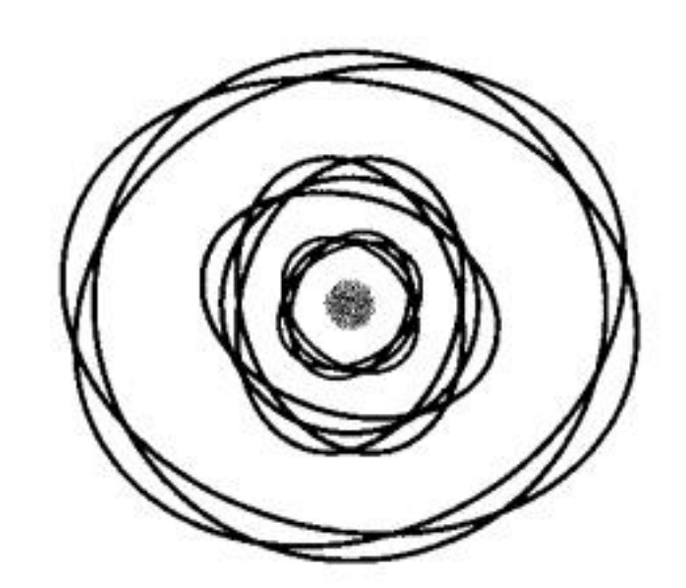


图 1-7　在获得能量之前，电子始终位于自己的能级之上。

电子处于**价带**之中；而那些具有足够的能量可以自由运动的电子则位于**导带**，导带中的电子可以形成电流。

在导体中，导带和价带不是相互接触就是相互交叠，在某一时刻你看到电子被原子所束缚，而下一时刻，这个电子又会跃迁到导带之中，这意味着导体中的电子可以很容易地运动，从而可以导电。当导体上加上电压后，它就会导电。

在绝缘体中，导带和价带离得非常远，把一个电子从价带激发到导带需要很高的能量。实际上，如此高的能量在电子跃迁到导带之前就已经把绝缘体材料毁坏了。这也就是为什么在绝缘体中看不到自由电子的原因。

在半导体中导带和价带距离较近，仅仅需要较小的能量就可以使电子跃迁到导带，因此，半导体材料很容易变成了导体材料。

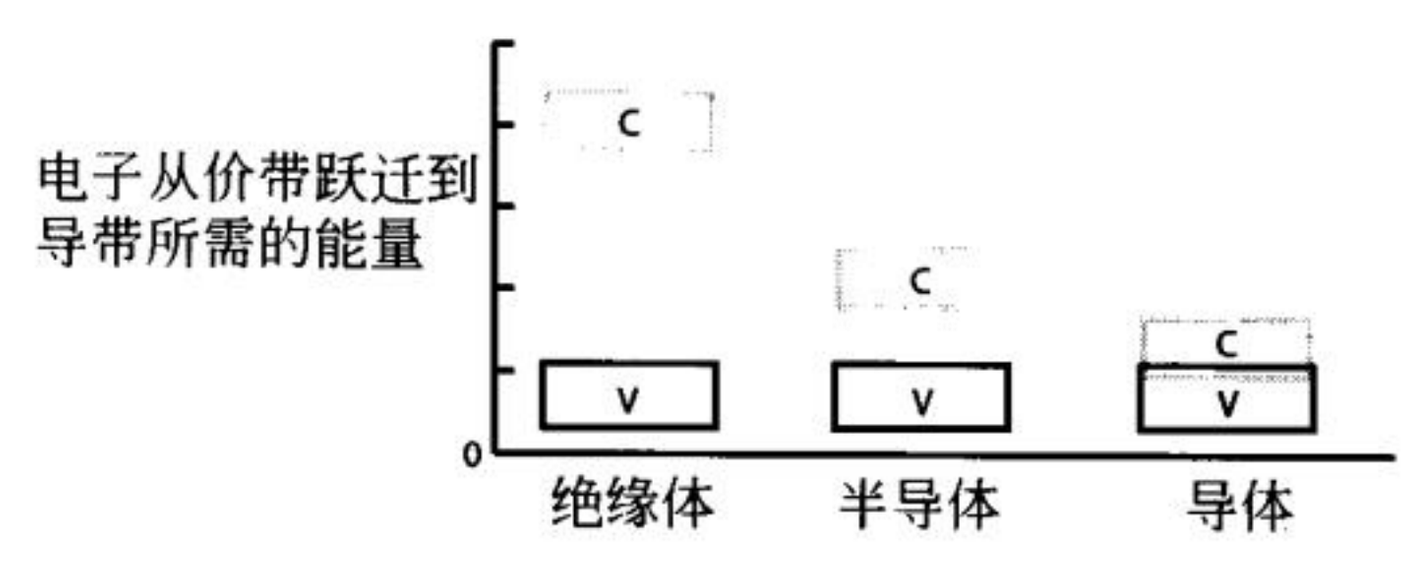


图 1-8　半导体价带中的电子可以容易地受激跃迁到导带中，而绝缘体中的电子就十分困难。

1.5　半导体材料

硅的导带和价带之间的能量差较小，因此使硅中的电子跃迁到更高的能级参与导电并不是特别困难的事情，这使得硅成为常用的集成电路制备材料。

更幸运的是硅材料非常丰富。在地球的任何一个沙滩上，它都以二氧化硅(SiO_2)的形式存在。硅原子和氧原子通过**共价键**紧密地结合在一起，这种结构使任何电子都无法脱离原子核。图 1-9 中的直线代表共价键。

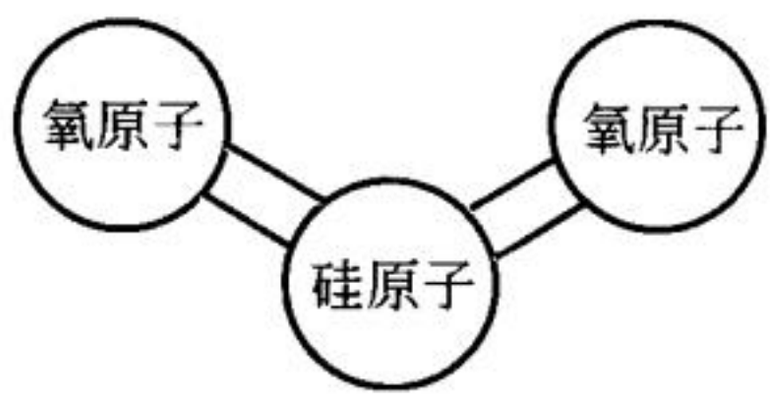


图 1-9 两个氧原子结合一个硅原子形成 SiO_2。

现在做个比喻，如果我们把二氧化硅分子不加保护地遗留在一个品德不好的邻居家里，第二天回来的时候就会发现分子上的两个氧原子被剥离了，仅仅留下了硅原子。在实验室中也可以做这个实验。

一旦剥离了氧原子，我们就可以使硅原子组成非常大的晶体，就像钻石一样，这便是纯净硅，它的电子很容易脱离原子核的束缚，大家在接下来的讨论中可以看到这一点。

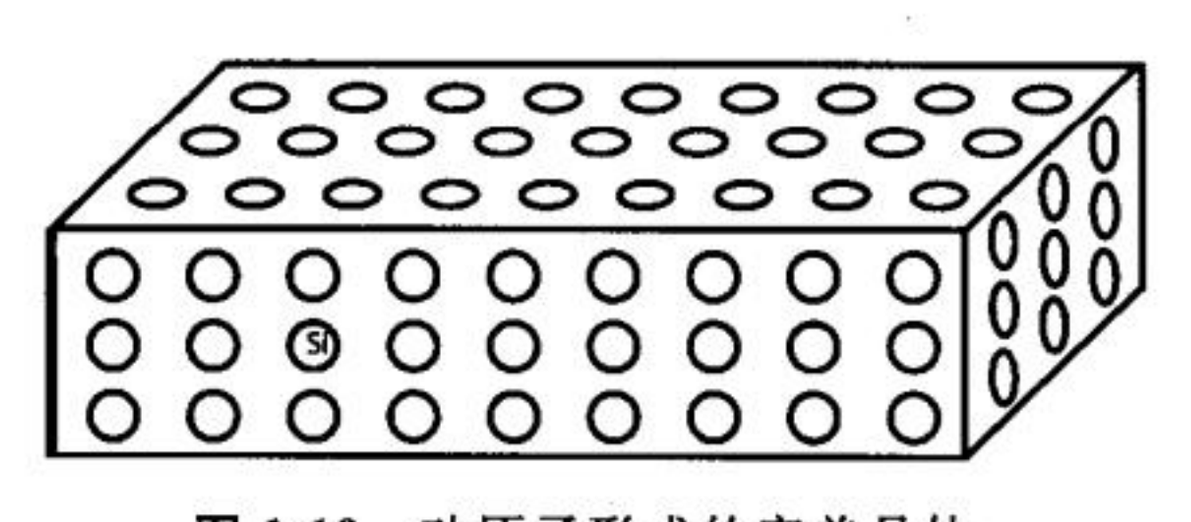


图 1-10 硅原子形成的完美晶体。

在绝对零度附近，电子被硅原子紧紧束缚。随着晶体温度的上升，晶体中的原子开始振动，当温度升高到室温时，原子振动更加剧烈，一些电子可以获得足够的热能而跃迁到导带之中。

如果我们在室温下测量纯净硅的电阻，会发现它的值还是很高的。但是，随机的热激发会产生导带电子，故纯净硅也存在一定的导电性。

事实上，纯净硅未加处理时的导电能力很弱。为了利用硅材料来制造有用的器件，纯净硅中必须加入少量经过选择的杂质材料，使硅在一定的温度下具有更多的自由电子。通过控制杂质的剂量，可以很好地控制导电能力。

引入杂质的过程称为**掺杂**，在后面的章节中我们将介绍不同的掺杂方法，用来掺杂的材料称为**掺杂物**。

在下面的章节中大家首先会看到如何通过掺杂制作两种重要的半导体材料，一种存在多余电子，而另一种缺少电子。然后看到如何控制两种材料间电流的大小。最后，利用这种控制方法来制备开关。

1.5.1　N 型材料

前面已经提到，晶体由完美、精致的晶格构成，一排排的原子严格按顺序排列，原子相互连接，在晶格中每个原子的电子是和周围原子共用的，电子不多不少，都是成对出现的，这就是大家看到的纯净硅。

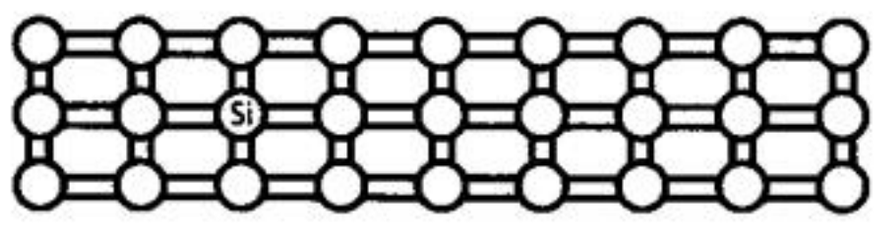


图 1-11　硅晶体的一个截面。

这种状态下的硅有良好的绝缘性，因为仅有少数随机产生的自由电子可以导电。

但是，我们希望能有更多些的电子参与导电，那么如何才能在这种完美晶体中产生更多的自由电子呢？

让我们用不同的原子来替代硅原子，该原子与周围其他的硅原子连接在一起，但多出一个电子，且这个多余电子不会与其他硅原子共用。

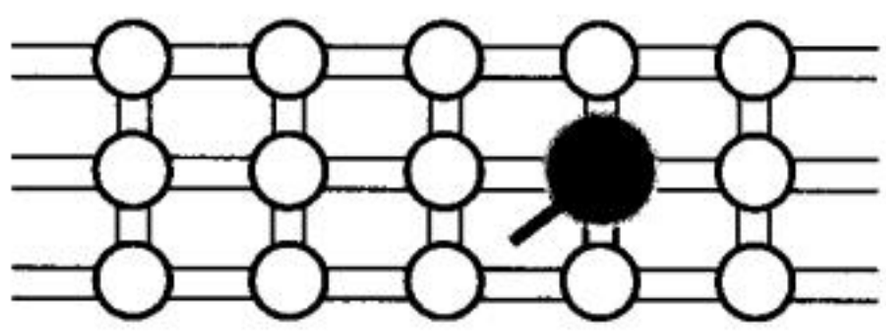


图 1-12　用比硅原子多一个电子的原子替代硅原子，可以看到这个额外电子不会形成共价键。

这就像一个在抢座位游戏中被挤出的小孩一样。我们仿佛看到一个自由的、没有约束的电子在高喊，“我自由了！我自由了！我想做什么就能做什么了！”然后开始疯狂地奔跑，不过这一切发生在晶格中而已。

我们必须正确选择这种新原子，如果大小不合适，便与晶体不匹配，会损伤晶格，化合键也会不匹配。另外，这种新原子需要有正确的化合键数和电子数。

通过掺入正确的杂质，可以保证硅在任意时刻、任意条件下都存

在自由电子。现在万事俱备，接下来可以利用这些自由电子做很多有用的工作，如果我们在晶体上加电压，电子便可以从一端运动到另一端。

由于自由运动的电荷被认为是带负电荷，这种原子结构的材料就命名为**N型**材料，N是英文Negative的缩写。（注意到我们使用“被认为”，电荷的正负仅仅是一种规定）

1.5.2 P型材料

现在，我们再次把晶体中的一个硅原子拿出，但这一次使用比硅少一个电子的原子替代。在这种情况下，晶体中没有足够的电子。这样就缺少了一个与硅原子的外层电子形成电子对的电子，也就是出现一个电子空位，称为**空穴**。

这样，一些硅原子的电子因缺少填充化合键的配对电子而不稳定，这些电子在寻找它们的配对电子。我可以告诉大家，在17世纪早期，在伦敦街上卖硅原子并不是一件搞笑的事。

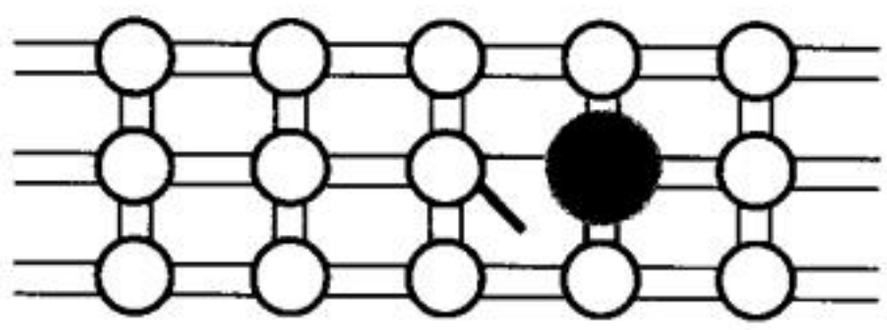


图1-13 用比硅原子少一个电子的原子替代硅原子，就因缺少一个电子而形成空穴。

空穴被认为是正的，因为它们要吸引电子形成电子对。这种原子结构的材料命名为**P型**材料。P是英文中Positive的缩写。减去了一个电子等于减去一个负电荷，因此称它为正电荷，就像数学中，减去负数等于加上正数。

现在，如果发现一个可以自由运动的多余电荷，我们便可以陶醉其中了。但到哪儿去找到它呢？如果有一个多余电子，则它将会寻找配对。它会运动到哪呢？相邻材料的电子或许会进入空位，填充空穴。你想到这些了吗？

让我们猜一猜如果把N型材料和P型材料连接到一起会有什么事情发生。请记住N型材料多余电子，而P型材料缺少电子。

别走开，精彩还在后面！

1.6 PN 结

实际上，在一块硅体中掺入的杂质原子数量并不是一个原子，而是很多原子。因此在 P 型材料中电子非常缺少（按我们的要求控制缺少量），在 N 型材料中电子则显得特别的多（同样地，按要求控制多余电子量）。

被替代的硅原子越多，材料的电阻就越低，也就越易于导电。我们可以通过选择适当的掺杂原子，同时精确地控制掺杂剂量来得到需要的导电能力。

下面给出两块半导体材料，请注意电子和空穴在各自的材料中是如何均匀分布的。

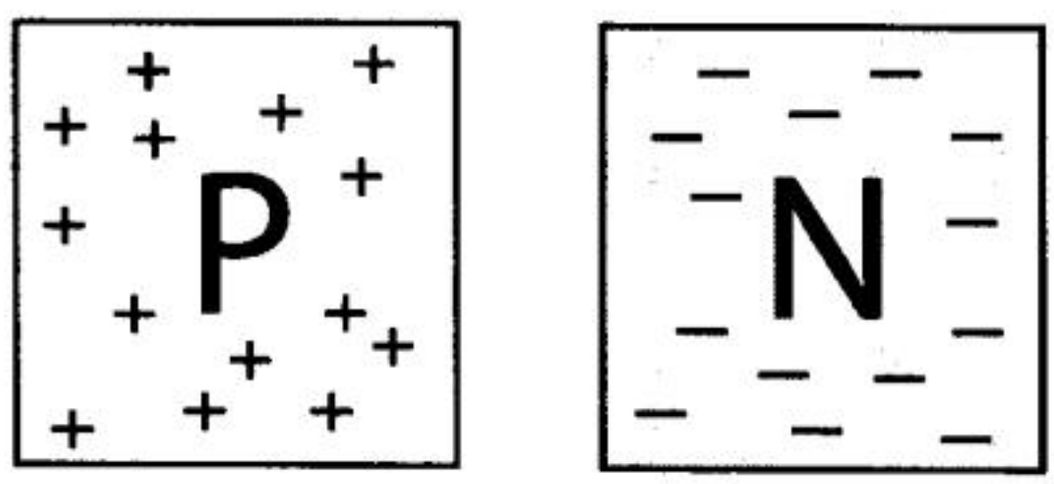


图 1-14　P 型和 N 型半导体材料。

N 型材料中的剩余电子会怎样呢？它们会不会到 P 型材料中填充空穴呢？通过控制 N 型材料中的自由电子进入 P 型材料中的空位便可以控制逻辑电路了，接下来说明其原因。

1.6.1 势垒

假设有两所相邻的小学，用栅栏分开。放学后，两所学校的学生离开学校并能通过栅栏看到对方，两所学校的学生跑到一起谈论当天学到的有趣的量子物理问题，但不幸的是，由于有栅栏挡着，他们只能在栅栏的两边。

当我们把一块 P 型硅和一块 N 型硅连接到一起，类似的事情就发生了。N 型材料中多余的电子看到了 P 型材料中的空穴。由于它们分别带有负电荷和正电荷，它们相互吸引（异性相吸）。

电子和空穴相向移动并在两种材料的连接处聚集，都希望到另一种材料中去。

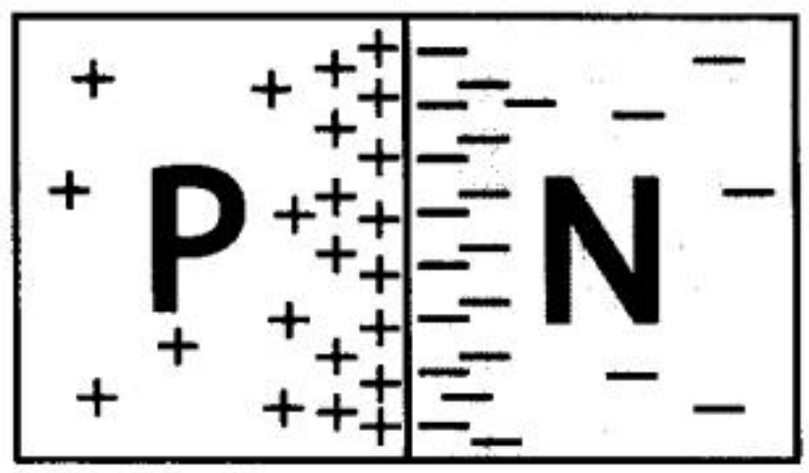


图 1-15 P 型、N 型半导体连接在一起形成结。

但是由于有“栅栏”挡路，它们不能到达另一边。P 型和 N 型两种材料间的“栅栏”称为**势垒**。一块 P 型材料与一块 N 型材料连接在一起便形成 **PN 结**。

那么为什么电子不能穿越 PN 结进入另一种材料呢？

两种杂质的选择必须十分仔细。对于 N 型材料，杂质的电子导带能级较低；对于 P 型材料，杂质的电子导带能级相对较高。正是因为 P 型材料具有更高的标准，N 型材料中的多余电子因能量较低而不能达到空穴的要求。

现在，我们要做的就是提供一定的能量使电子可以翻过“栅栏”完成它们的使命，提供的能量越多，进入 P 型材料的电子也就越多，我们可以通过控制加在 N 型材料上的能量来控制流入 P 型材料的电子数。

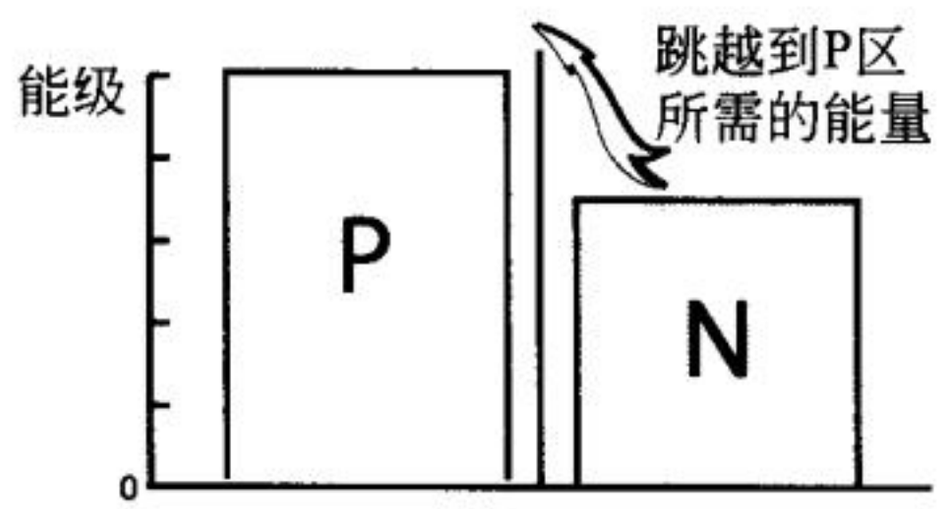


图 1-16 在没有外加能量的情况下，N 型材料的自由电子无法进入 P 型材料。

使电子越过“栅栏”的能量从哪里获得呢？其实这是个很简单的问题，可以通过给 PN 结加电压来提供能量，下面将会具体讨论。

1.6.2 通过势垒的电流

随着 PN 结上电压的增加，N 型材料中的电子将获得足够的能量克服势垒，从而开始出现电流。电子将流向 P 型材料，空穴流向 N 型材料。因此，如果电源的极性正确，并且足够大，将有电流流过

PN 结。

由于电子运动的方向正好与电流的方向相反。从示意图中可以看到，**习惯表示的电流方向**与实际的电子流向相反。很早以前，人们把电流的方向弄反了，我希望将来能有什么人把它更正过来。

要点在于，能量带来电流。至于电流的流向与实际的电子流向相反，只是碰巧这样。

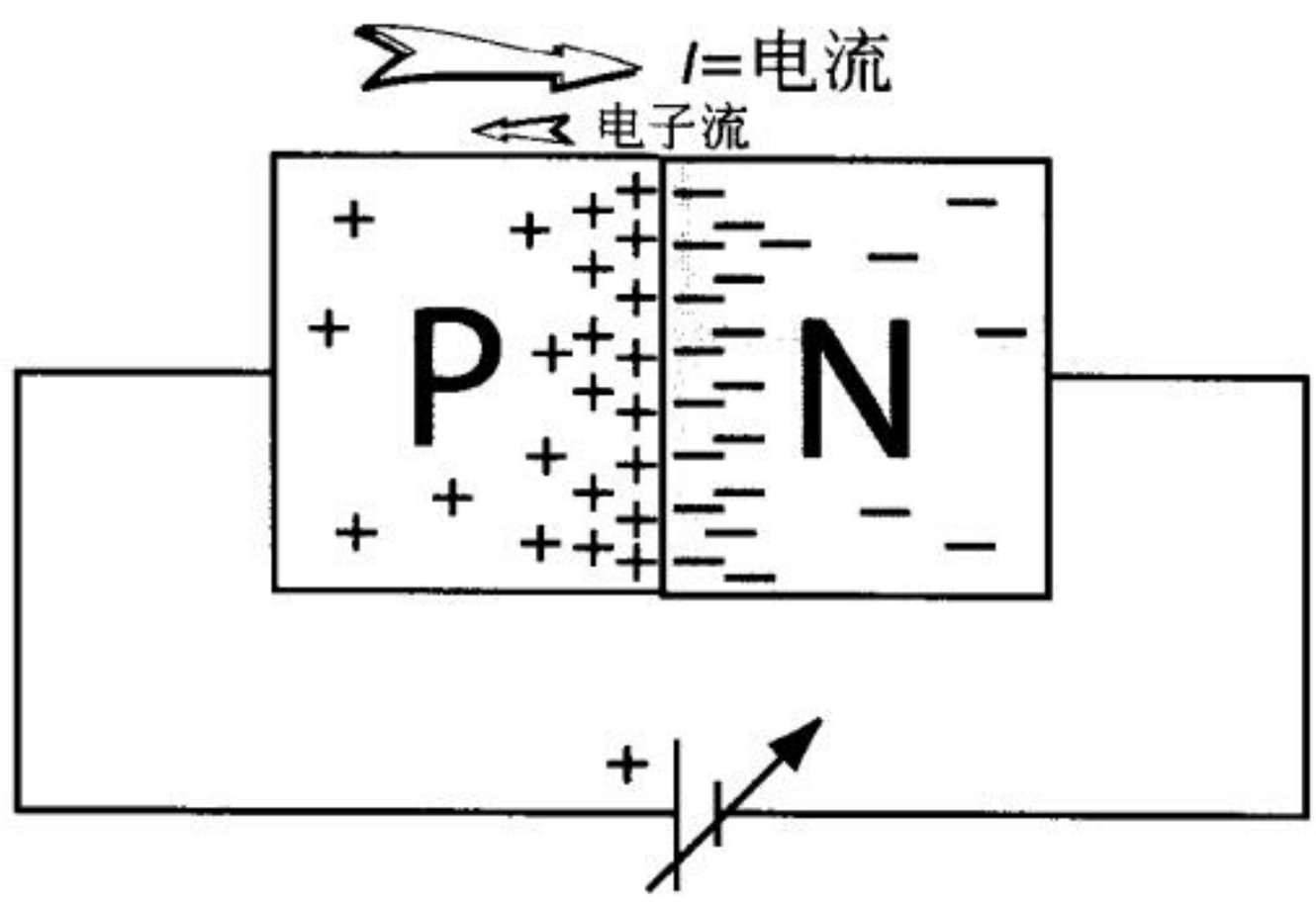


图 1-17　电压带来电子电流，牢记习惯表示的电流方向与电子流动方向相反。

■ 经验法则：如果工作了很长时间后，你突然觉得自己把电流的方向弄反了，事实上并没有。那么可以休息一下，过一会儿再想这个问题。

当在 P 型材料上加正电压，N 型材料中的电子将受到更强的吸引力，这使 N 型材料的电子获得更多的能量。随着正电压变大，电子获得的能量越来越多，这两种材料间的能带差异不断减小。

当两种材料的能带比较接近时，系统热运动的能量将使电子随机地越过势垒，穿越 PN 结，从而开始导电。

继续增加外加电压来进一步增大对电子的吸引力，直到所有的电子都获得足够的能量穿越势垒。

这时，PN 结完全导通了，表现为一个电阻，电流随着 PN 结两端电压的增加而线性变化。

当 PN 结导通时，称之为**正偏**。空穴沿电流方向穿过 PN 结，电子则沿电流反方向穿过 PN 结。

如果继续增大电压，电流将不再以线性关系增加，而是最终达到一个平稳值，为一个常数。这时的电流称之为**饱和电流**，这也是我们所能得到的最大电流。

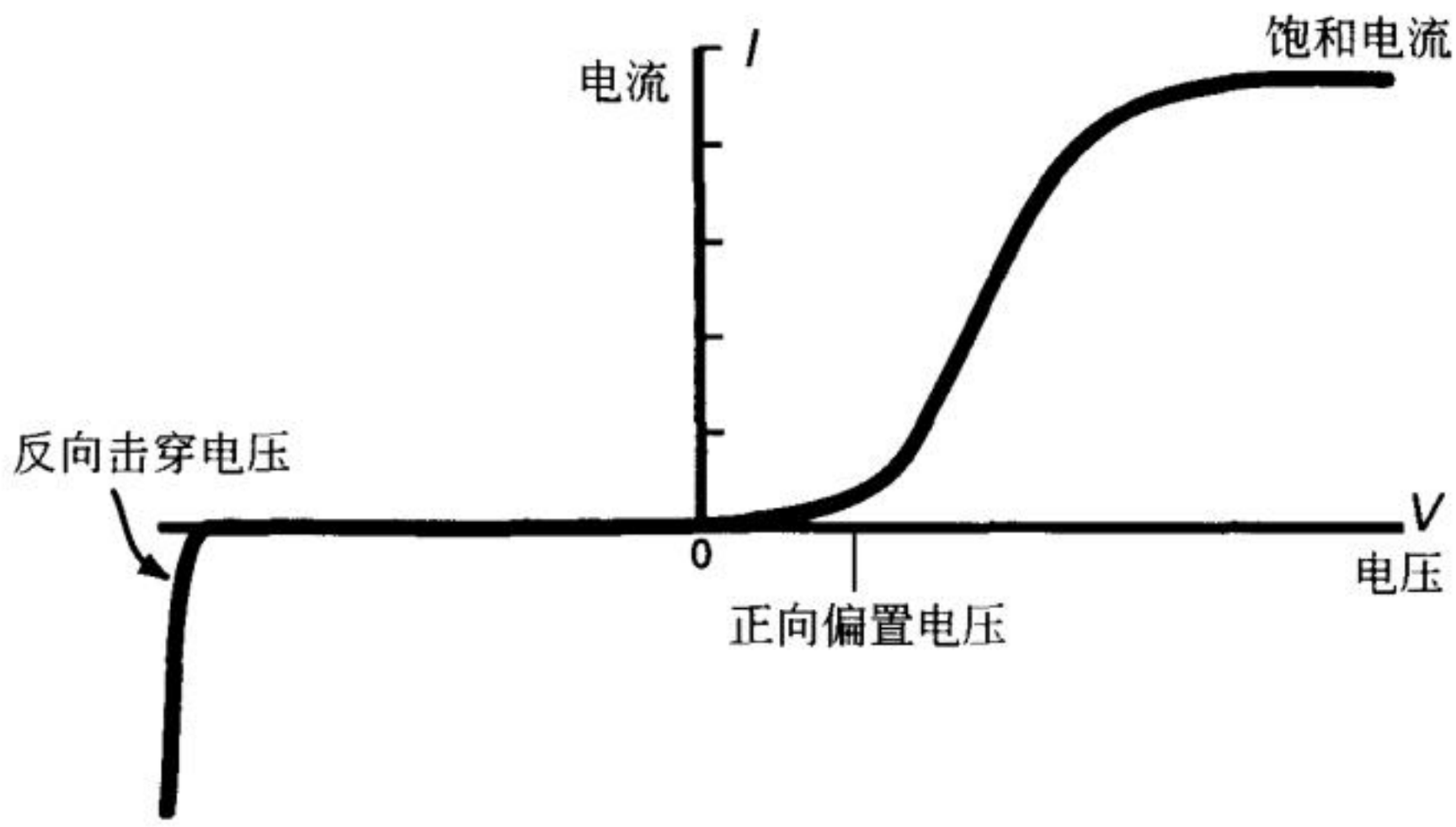


图 1-18 达到正偏压之后，电流线性增加直到饱和。

现在，如果改变外加电压的极性，降低 N 型材料中电子的能量。这样，不但没有缩小能带间的能量差，反而使差距进一步加大。此时电子和空穴都不再运动。这种 PN 结截止情况，称为**反偏**。

但是，如果我们把反向电压加到足够大，在某一点 PN 结将不再处于非导通态而是突然导通。此时所加的电压称之为**反向击穿电压**。在集成电路中，反向击穿电压通常是很高的，因此，在大部分应用中，我们认为反偏结是截止的。

在集成电路中，反偏结非常有用，后面将会对此进行讨论，但是前面的内容已给我们一定的启发，利用反偏结的截止特性或许可以做些什么事情。

1.6.3 二极管

由 P 型和 N 型两种材料形成的结称之为**二极管**。在以后的章节中可以看到电流在二极管中仅沿一个方向流动。可以看到我们把代表电流方向的箭头作为二极管的符号，这更易于记忆。

以上介绍了基本半导体结、名称、符号以及工作原理。在下一节中，我们将利用这种单向导电性来设计一些有用的电路。

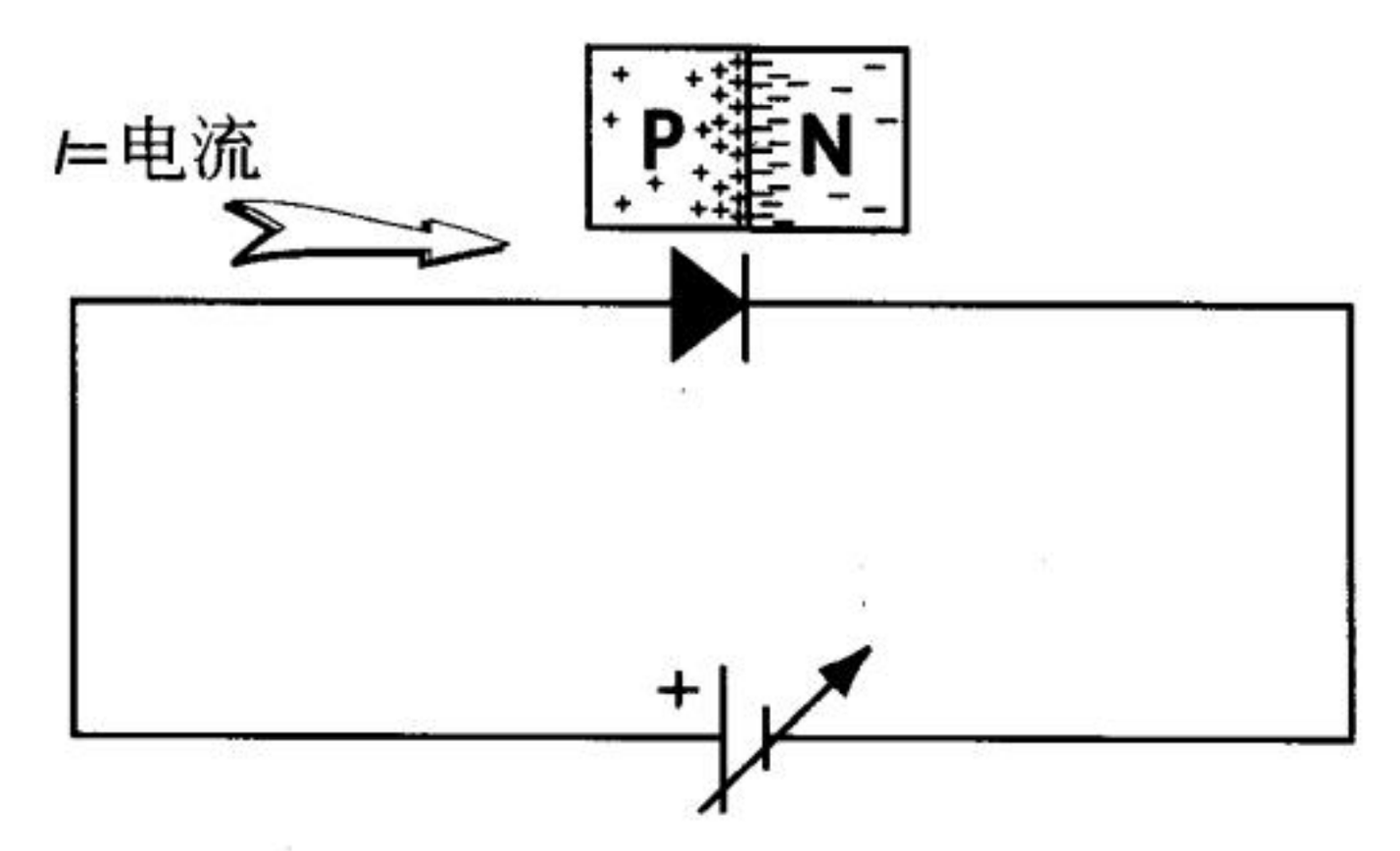


图 1-19　用二极管符号替代 PN 结。

1.6.4　二极管应用

单个二极管本身的用途是有限的，并不能做很多事情。

使一个正弦波流经二极管，则只有大于零的正向部分会到达后面的电路。这种滤除负向信号的过程称之为**整流**。

如果在二极管两端加上电压，你就可以看到如何整流了。现在观察流过二极管的电流，会发现有电流、无电流、有电流、无电流……，不断循环。这是一种很好的整流方法，但也损失了一半的功率，看起来很浪费。

我们可以通过合理地放置二极管，对正负信号分别调整，通过这种方法可以得到另一半信号，避免了功率的损失，这便是**全波整流**，是供电系统常用的技术。

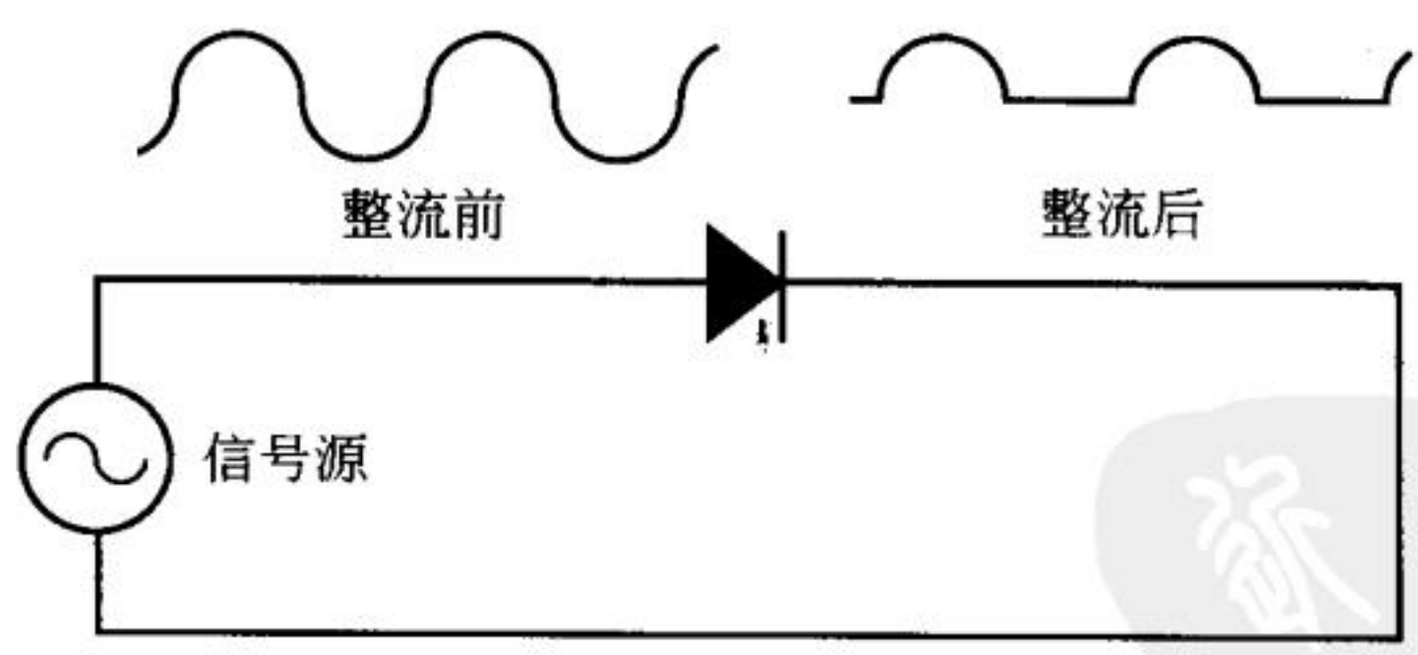


图 1-20　二极管中电流单向流动，因此可以用于检波。

二极管，也就是 PN 结，在电路中有一种非常有用的效应：

PN 结隔离。

请大家回忆一下，在一个 PN 结上加正向电压，电流单向流动，也就是说加反向电压的时候没有电流。在下一节大家会看到：这种隔离电流的功能是一个非常有用的工具。这就是 PN 结的价值所在，它可以隔离和控制电流，因此在集成电路中，电流不会随意地四处流动。

在这本书的后面会看到利用到 PN 结的隔离功能，我们拭目以待吧。

二极管可用在晶体管收音机中。Cat's Whisker(一种晶体管收音机)就是利用 PN 结来解调调幅无线电波。作为一个整流器，它允许电流向一个方向流动。在旧式的收音机中，只有一个点接触 PN 结，你必须推动这种晶体，因此 Cat's Whisker 实际上是一个二极管。

1.7 半导体开关

前面谈了不少了，下面做一个可以真正为我们工作的东西，一个可以控制的电路。

我们要做一个开关，要打开某个东西，要点亮一个灯泡！

对了，我们就是要把一个灯泡点亮！因为我们是能量怪物！

1.7.1 一个灯开关的例子

我们已经有了灯泡和电池，怎么样才能把灯泡点亮呢？这需要按一定的方式放置一个开关实现对这个灯泡的控制。

推上开关，接通电路，灯泡亮了；拔下开关，电路断开，灯泡就灭了；推开，又亮了。关，开，关，开。

因此，只要把两根线通过一个作为开关使用的接触条进行连接，灯泡就可以点亮。

现在我们可以通过物理的手段用手指头去按下开关，连接两个触点来完成对电路的连接，但如果我们用电子的手段来完成的话就会更加容易。因为很多时候，即使我们邀请朋友来帮忙也凑不齐那么多手指头来按开关。

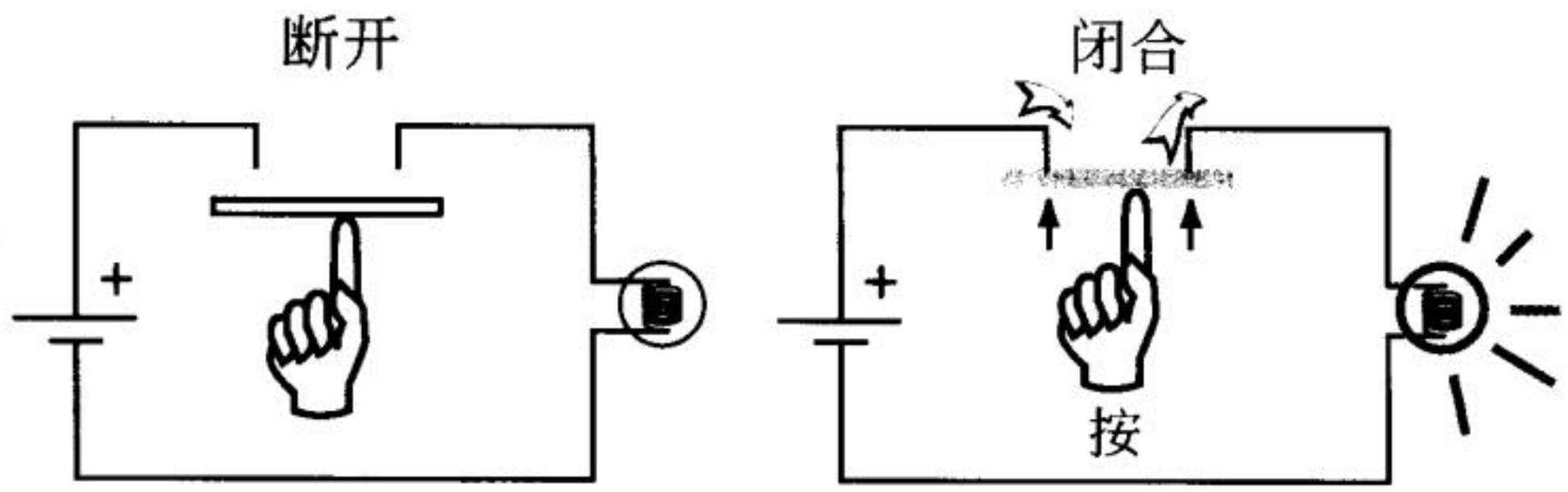


图 1-21　半导体材料能够做成一个电子开关，就像按下一个接触开关一样工作。

那就让我们做一个同样的电灯电路，把一个可变的电压加在开关上以代替手指。在这个电路图里，把开关符号简化了，以便记忆。

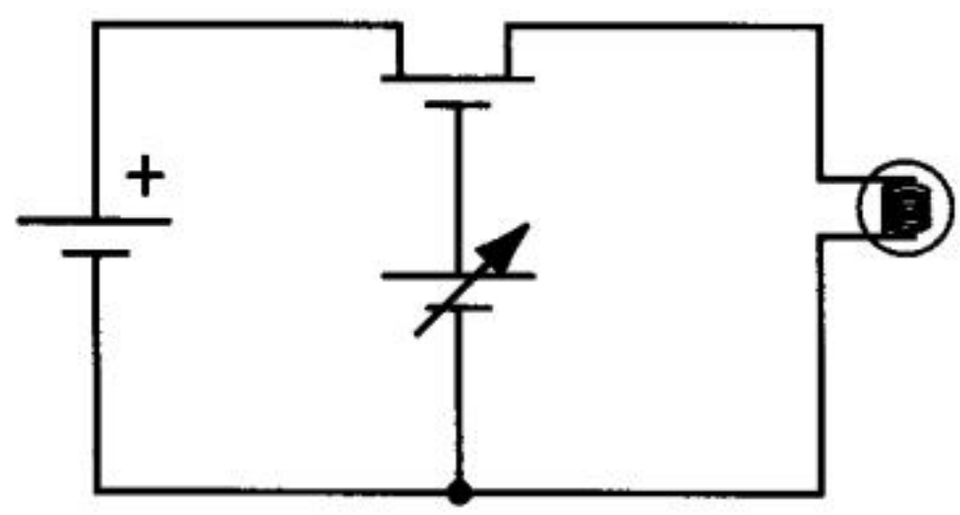


图 1-22　这个半导体开关的符号看起来与前面使用的按压式开关很像。

如果可以用这个电压来控制电灯的开与关的话，我们就可以用电而不是手指来控制灯泡了。因此我们只需找到一种方法用电压去允许或禁止开关导通就可以打开或关闭开关了。

放置一个半导体开关进去，这就是答案。我们已经知道半导体的导电性是可以控制的，它们有时导通，有时不导通，这对我们来说就是一个可以工作的开关。

我们要做的正是用半导体材料来制备一个开关。

在下一节，我们要讨论为什么半导体开关在电压控制下可以像一个指触式开关一样工作，甚至都不需要电流去让这个开关工作，所有的控制都不需要消耗能量，一个电子工程师的梦想变成了现实。

1.8　场效应

半导体材料有一些很有趣的特性，其中一个很有用的特性被称为**场效应**。

如果在一块 N 型半导体材料上加上一个电压，就会有电流流过。

现在在一块半导体附近加一个电压，但不直接和半导体接触。如

果是正电压的话，即使存在一定的间距，由于异性相吸的原因，这个电压也会对半导体里所有的电子形成吸引。

在附近电压的作用下，在 N 型材料中形成了一个电子聚积的区域。这种由于附近电压作用而形成电子或空穴聚积的效应称为场效应。

由附近电压所产生的场效应可以有效地提高半导体材料表面电子数目，进而降低表面电阻（因为有更多的自由电子），从而可以获得更大的电流。但这还不是一个开关，因为我们希望它还能阻止电流流过，而不仅是增大电流。

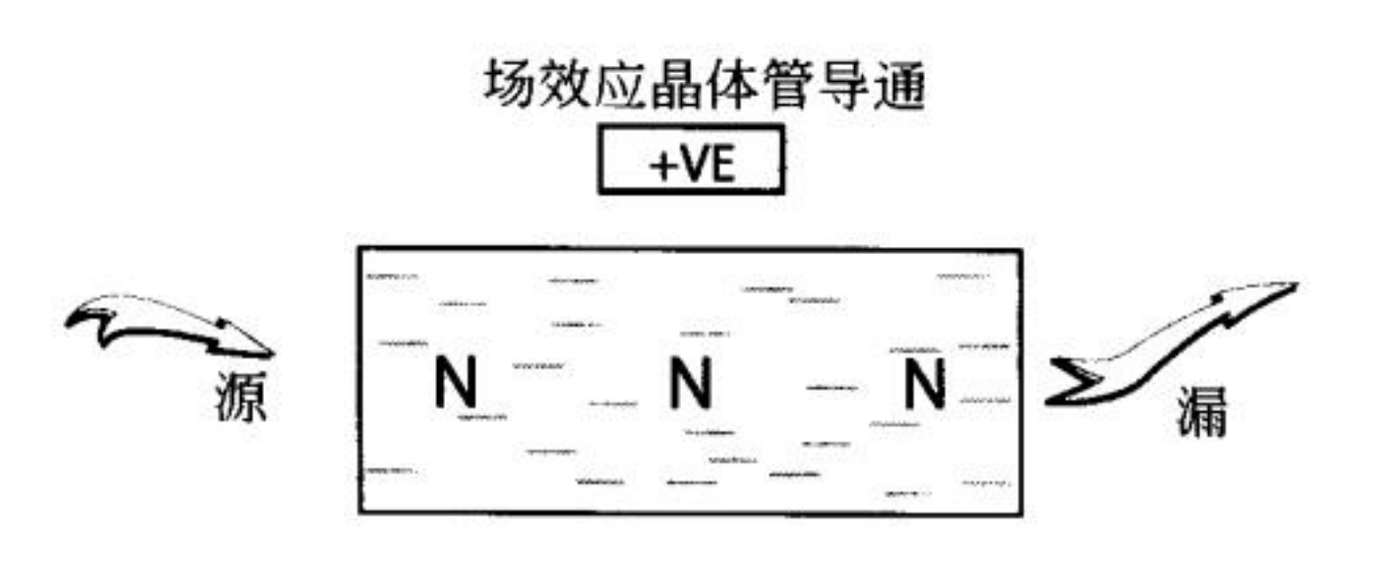


图 1-23 如果半导体材料中到处都是自由电子，那电流就可以从源端流到漏端。

如果在半导体材料附近加一个负电压，那么，所有的电子都在尖叫："哇哇，是负极性啊！"随之，它们都被推到另一边去了（电荷排斥现象）。这个负电压把所有电子都赶走了，从而在靠近负电压的区域中形成了空穴，也就形成了 P 型材料。

随着负电压的增大，更多的正极性空穴被附近的负电压所吸引（异性相吸），愈来愈多的空穴聚积起来。

当最终形成足够浓度的 P 型材料时，实际上在半导体材料中间部位形成了两个 PN 结，一个正偏，一个反偏。大家已经知道电子不能轻易通过反偏的 PN 结，所以在这个半导体材料中没有电流流过。

图 1-24 如果一个区域的空穴被吸引到了半导体材料的中间部位，那么 PN 结将阻止电流流过。

终于找到了所需要的开关，只需在靠近半导体材料的地方加一个可以波动的负电压，产生 PN 结，就可以控制开关的开合。

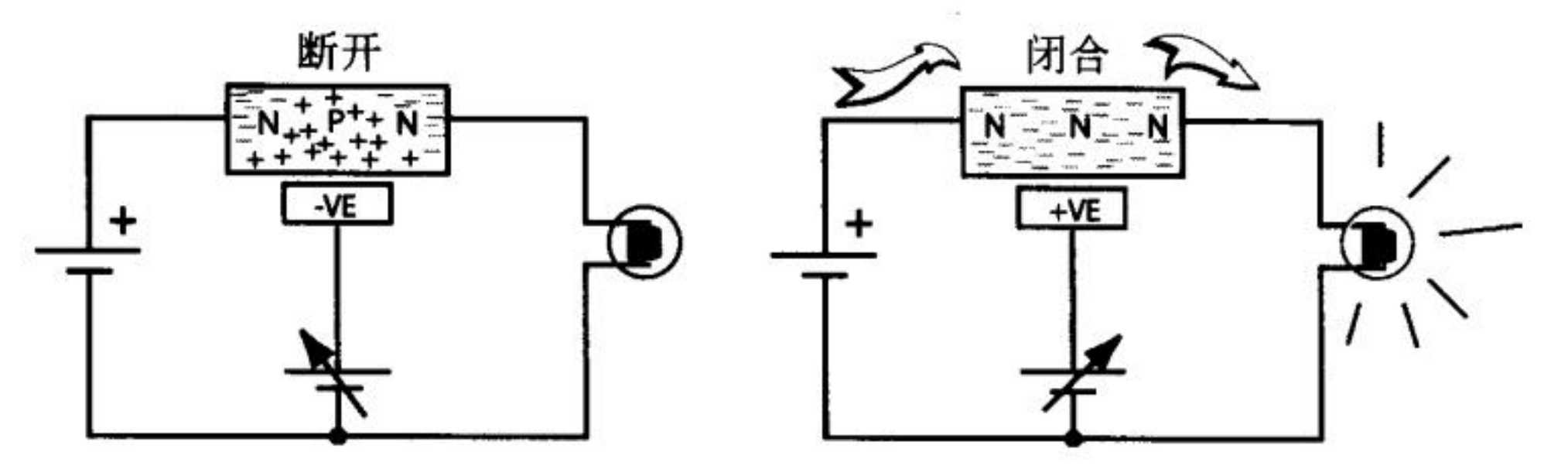


图 1-25　现在不需要用手指了，可以通过改变附近的电压来控制开关。

1.8.1　场效应晶体管

现在我们可以通过改变一个靠近材料的电压将 N 型半导体变成 P 型半导体，还能再把它们变回来。这种效应可以允许或阻止电子流通过半导体，这样的器件称之为**场效应晶体管**(FET)。

下面让我们认识一下这个刚刚制备的晶体管的各个部分。

当这个晶体管开启时，电子流进的端称之为**源端**，流出的端称之为**漏端**。源端和漏端是可以互换的，加在晶体管两端的电压极性决定了哪端是源端，哪端是漏端。

晶体管中部附近放置控制电压的端子称为**栅极**，栅这个名字很形象，它决定是不是让东西通过它，栅上的电压用来产生场效应。

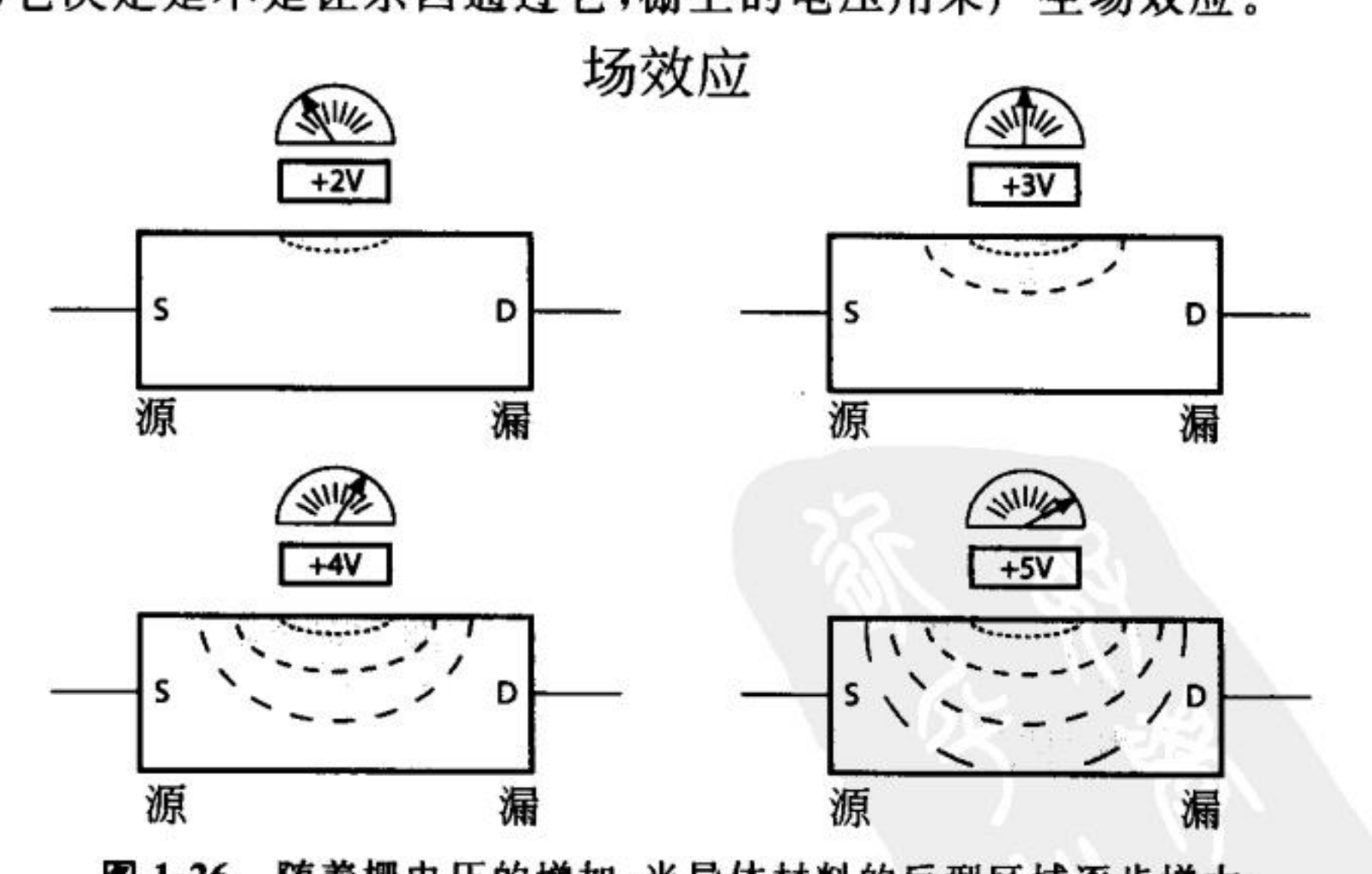


图 1-26　随着栅电压的增加，半导体材料的反型区域逐步增大，当电压足够大时，这个区域可以阻止电流通过。

如果栅上电压较小，就只能产生较小的场，也就只能产生较小的P型区域，但是少量电子仍然可以通过。随着电压的增加，可以**反型**的区域（从N型变成P型）越来越大，直到P型多到完全没有自由电子可以通过。当P型区域扩展到整个半导体的宽度时称之为**夹断**，就像脚踩水管，当你把水管踩扁的时候，水管就不流水了。

机械开关只能开或关，没有中间状态。与普通的机械式电灯开关不同，晶体管不但可以处于开态，关态，还可以保持某个中间状态。

1.9 开关隔离

单个晶体管只是一个例子，我们希望找到一种方法制造一批晶体管，这样就可以按我们的要求在需要时控制开启和关闭了。

如果有三个灯泡，要实现独立地开关这些灯泡。那么，首先需要三个灯泡，一个电池，但怎么才能最简单地做出三个晶体管呢？如果每个晶体管都采用单独的塑料封装，那就太贵了，让我们试试在一块硅片上一次制作三个晶体管，如何？

我们也需要保证三个管子相互独立，毕竟我们没有必要同时打开三个灯泡。

看起来PN结可以完成这项工作，正如前面刚刚讨论过的PN结特性：反偏的PN结可用来隔离需要控制电流的区域。在这种情况下，为了能够完全阻止电流，同一块硅衬底上制备的三个晶体管必须相互独立。

首先制备一个N型的长条形区域，然后在需要隔开的N型区域之间制作一个P型区域，这样在一条N型区域上就形成了一排晶体管，非常方便，而且采用现有工艺，可以节省很多成本。当然，这不是为你节省，是为你的公司。

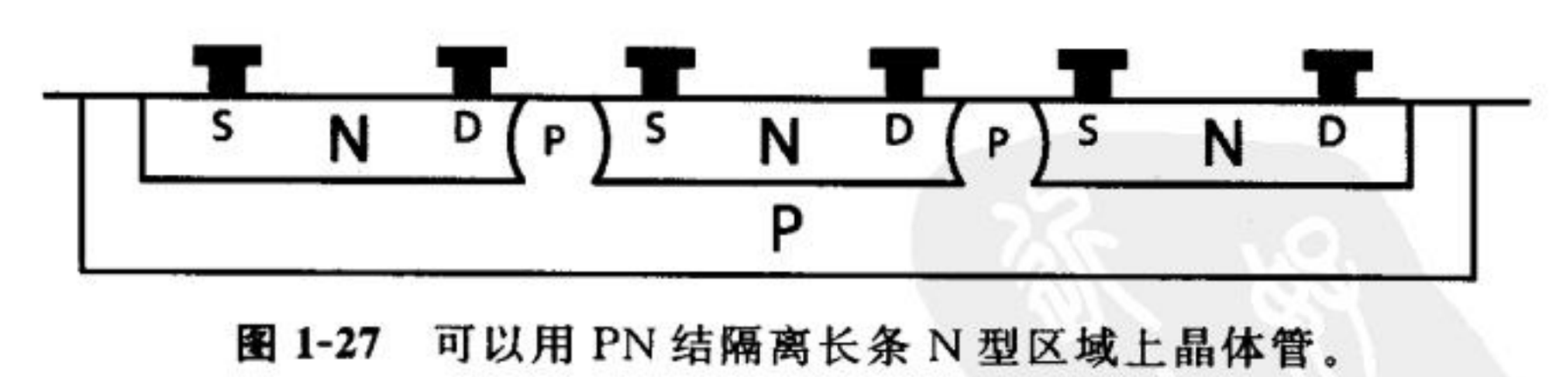


图 1-27 可以用PN结隔离长条N型区域上晶体管。

再来看看晶体管，它周围到处都是P型区，二极管完完全全地包围了晶体管，前、后、左、右，还有衬底，PN结可以对一个晶体管进行全方位的隔离。

如前所述，我们可以用 P 区来分隔 N 型材料。除此之外，我们还可以在大的 P 型硅衬底上来实现这样的结构，在需要制备晶体管的地方直接将小的 N 型区域嵌入到 P 型衬底，这些 N 型区域被产生的 PN 结自动隔离。

现在我们需要把栅极直接放到硅的表面控制 N 型材料的开和关了。但这儿有一个问题，就是栅会和晶体管的中部区域短路，这可不行。需要把栅悬浮在 N 型区域上方的某个位置，但是让什么东西悬浮在半空中是不可能的，栅会掉下来落在硅表面上。

所以我们需要在栅和硅衬底之间制备一个很薄的绝缘层，而且越薄越好。事实上，如果让栅浮的太高，那么场效应就会很弱，所以栅必须处在一个适当的位置上。

二氧化硅是很好的绝缘材料，即便它很薄也有很好的绝缘性。请记住我们是在硅上做晶体管，更让人惊讶的是，如果加热硅，空气中的氧就会和硅反应生成二氧化硅。

当然还需要一些其他的工艺来控制在哪儿生长二氧化硅，这是比较容易的。二氧化硅是一种很容易获得的绝缘材料。

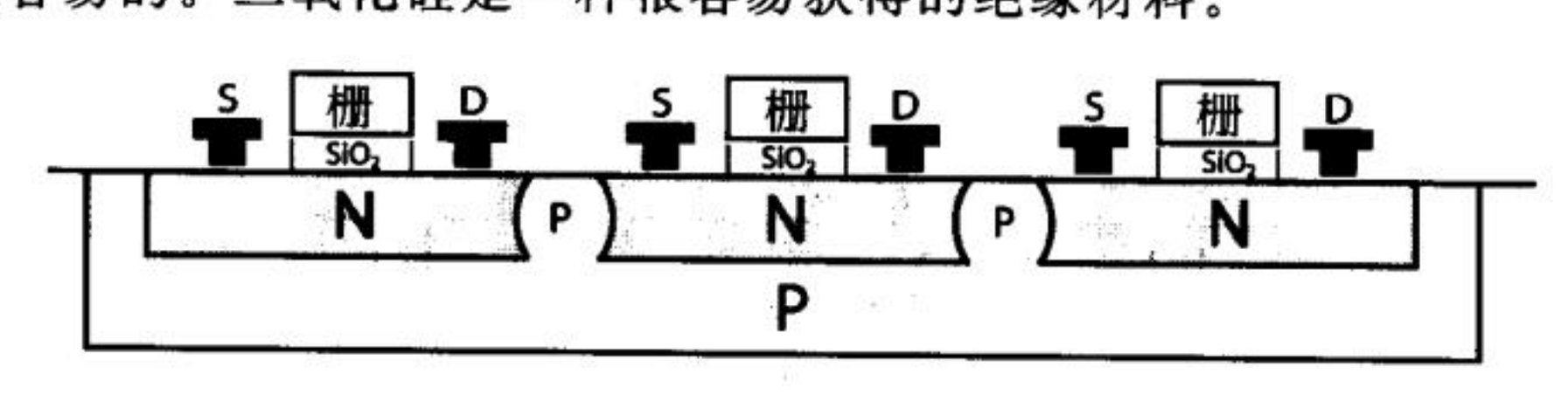


图 1-28　每个晶体管都有各自的栅。

前面我们都在讨论 N 型晶体管，下面讨论一下 P 型晶体管的制备。P 型晶体管要做在 N 型区域上，当然也需要把 P 型晶体管相互隔离起来，这也正是必须在 N 型区域上制备的原因，还是用 PN 结隔离。P 管和 N 管都可以作为晶体管开关使用。

根据半导体理论我们已制备出了基本的场效应管，实现了通过电学方法来控制电流的开和关。现在大家可以设计一个决策电路了，我把它作为你们的课后作业。

下一节将介绍如何将基本的场效应管制备得更精确，从而达到更快的开关速度，非常非常快的速度。

1.10 增强型器件和耗尽型器件

下图是一个 FET[1]，P 型材料隔离了 N 型材料，栅浮置在顶部以控制半导体中的电场。如果栅电压为负，因为 P 型区域形成而导致管子关闭，原来 N 型材料中可以携带电流的电子在晶体管的中间区域减少或耗尽了。这种应用方式的晶体管我们称之为**常开型**，或**耗尽型**晶体管。它们非常简单，非常基本，直接是一条 N 型材料，就像我们前面讲的那样。

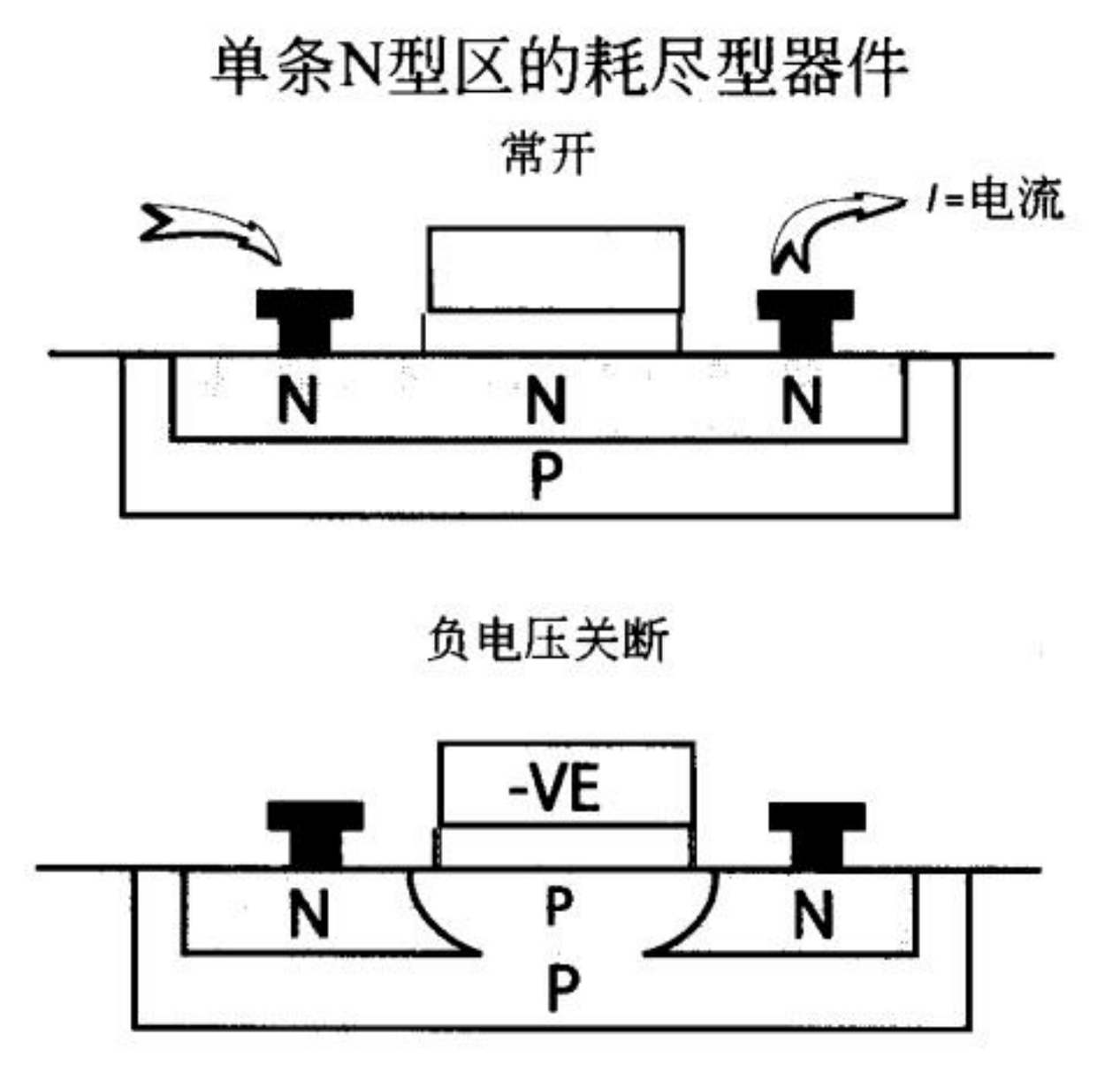


图 1-29 正如本书到目前为止讨论的，图示为一个耗尽型场效应管在开态和关态的情况。

现代晶体管电路的一个重要因素是晶体管的开关速度。在中心有很大电场区域的晶体管需要更多时间来实现开启和关闭，同时需要更多的能量去移动一个大区域中的电子或空穴，因此中心场区也即栅区应尽可能小，从而使晶体管的开关速度尽可能快。

前面制备的耗尽管存在一个问题。在前面解释场效应的图中，我们发现随着电场的增大，耗尽区超出了栅区的范围，电场区域变大了!! 这与我们所希望的相反，因为小场区可以使开关工作得更快，那我们怎么克服这个问题呢？当然，总是有办法的。

---

① 假设你已经了解了 FET 是“场效应晶体管”的简称，因此我通常用“FET”来表示，这里是让你知道我的习惯表示。

我们不再先制备一长条 N 型杂质区，然后再在其顶部放置栅。相反，我们先把栅放置在硅表面，再用此栅来阻止 N 型杂质注入栅区，下面看看这个方法有多巧妙。

在注入 N 型杂质之前先放置栅，这在新型晶体管中间区域形成了天然的保护层，然后再在 P 型衬底上注入 N 型杂质，从而在栅的两边得到一对对准非常好的 N 型区域，而栅的下面却没有 N 型杂质，就这么巧妙。

当然，栅也会受到 N 型杂质原子的撞击，但是栅材料足够厚而且只有表面受到影响，因此这并不是问题。如果想详细了解原子的轰击或者**注入**是怎么一回事，请参看下一章。

现在，在栅下仍然是 P 型区域而不是 N 型区域，这就意味着必须用正电压而不是负电压来迫使栅区反型。

在图 1-30 中，如前所述，场效应拓展到栅下的区域中，当栅上加上正电压时，栅下的 P 型区变成了 N 型，这个 N 型区不断扩展直至与栅区两侧的 N 型源漏区接壤，这样便形成了一个连续的 N 型区域，从而实现了晶体管的导通。

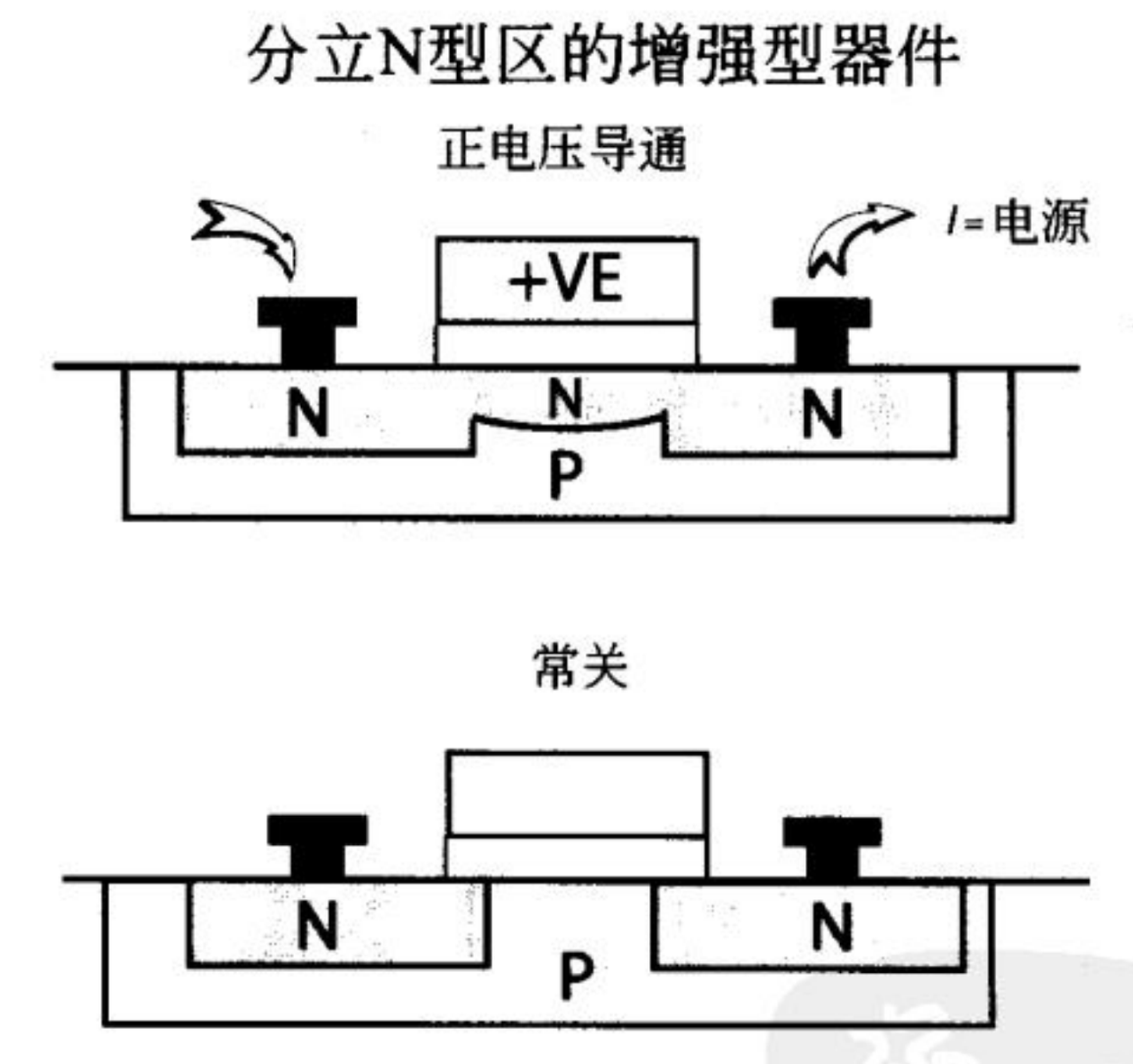


图 1-30　如果先制备栅再注入 N 型杂质，栅下区域就不会有 N 型杂质，具有更好的对准效果。

这种晶体管平时总是关闭的，只有在栅上加了正电压，吸引电子之后才导通，这个过程增强了源漏区之间区域的电子量。

这种晶体管是**常关**的，被称为**增强型**晶体管，名字来源于它栅下

的电子增强区域。这种晶体管的另一个优点是：即使加大栅电压，栅区也不会增大。事实上，栅区比所设计的还要小一点，因为 N 型的源漏区在工艺推进的过程中会向栅区扩散一点。

这种结构正是我们梦寐以求的，有一个较小且不随应用过程而变化的栅区。

本书以后都将以增强型晶体管为例。

即使采用在离子注入前先制备栅的增强型晶体管，它仍然只能实现电流的开或关的功能，我们还希望它能做得更多，希望它能够做一些决策，希望把这些晶体管组合成一个大的阵列。

你可能希望让这只灯泡和那只灯泡一起亮，或者，你会想不管哪只灯泡亮都行，这也就是需要“与”和“或”的决策。

这就是下面要讨论的逻辑电路，它取决于晶体管之间如何相互连接。栅电压来自何处呢？能明白吗？给大家一点思考时间。

先让我们看看如何用一堆晶体管来完成一些有意思的事情。

1.11 互补型开关

比增强型晶体管更有用的是所谓的**互补型-金属-氧化物-半导体**，即 CMOS。

这个互补是什么意思呢？大家回顾一下，N 管需要正电压才能开启，P 管需要负电压才能开启，这两种管子都是开关，但是开关的控制方式正好完全相反。因此这两种晶体管相互补偿，它们可以构成一个很好的组合而一起工作，就像劳莱和哈台[②](Laurel & Hardy)一样。当今绝大多数集成电路中都采用 CMOS 技术。

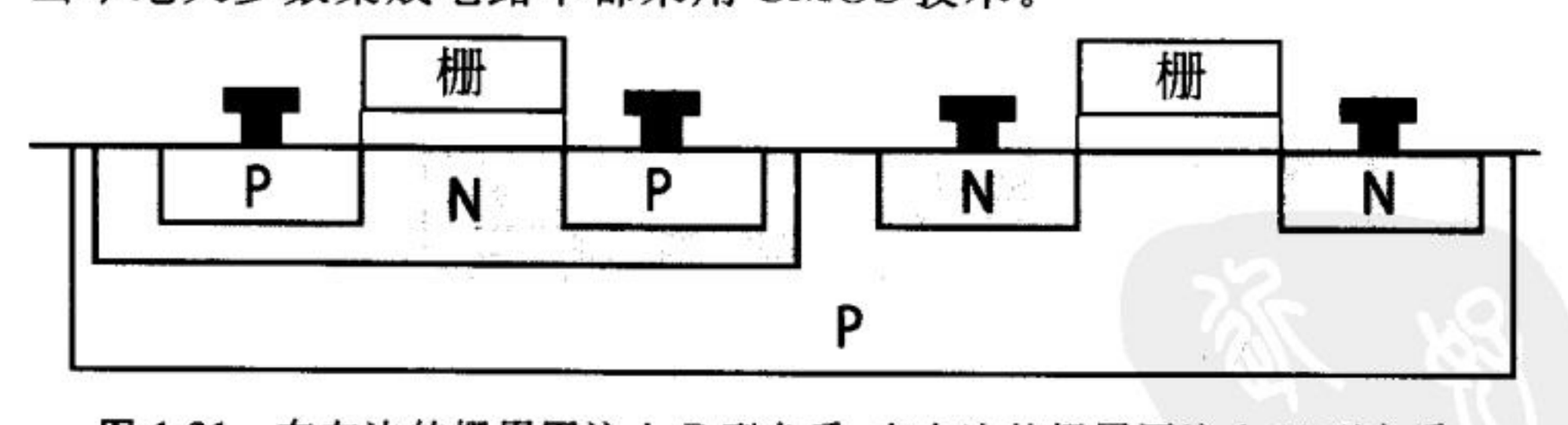


图 1-31 在左边的栅周围注入 P 型杂质，在右边的栅周围注入 N 型杂质，从而形成互补型开关。

---

② 在技术书籍里不太能找到这两个人；译者注：此二人是美国一对搭档演出滑稽片的演员。

大家已经知道 N 管和 P 管是一对互补晶体管了。如果把这两种类型的晶体管彼此相邻摆放，就可以构造一些有用的电路。当然仅仅把它们摆放在一起还是不够的，还需要把这些晶体管正确地连接起来。

1.12　N 阱和衬底接触

在我们应用这些器件之前还有最后一个问题需要解决。

观察 P 型器件，就会发现它周围有一个 N 型区域未接任何电位，同样地，P 型衬底也未接任何电位。如果不细心，这两个区域会形成一定的偏压。这个电压可能来自于实际器件的泄漏电流，它将导致 P 区、N 区形成的 PN 结正偏。这种情况一旦发生，灾难就会接踵而来。

要确保这两个区域形成的 PN 结决不出现正偏，最好的办法就是有意地让这个 PN 结反偏。将衬底接最低的电位，通常是负电源；同时将 P 型器件的 N 型区域接最高电位，通常是正电源。

这个 N 型扩散区域相当深，就像一个水井一样，因此我们通常称这个区域为 **N 阱**(**well**)或**盆**(**tub**)。器件制备在 N 阱中。电路中的每个器件都必须制备在接有适当电位的阱或衬底上，有些技术还采用第二个阱，**P 阱**，来制备 N 型器件，但双阱工艺不常用。

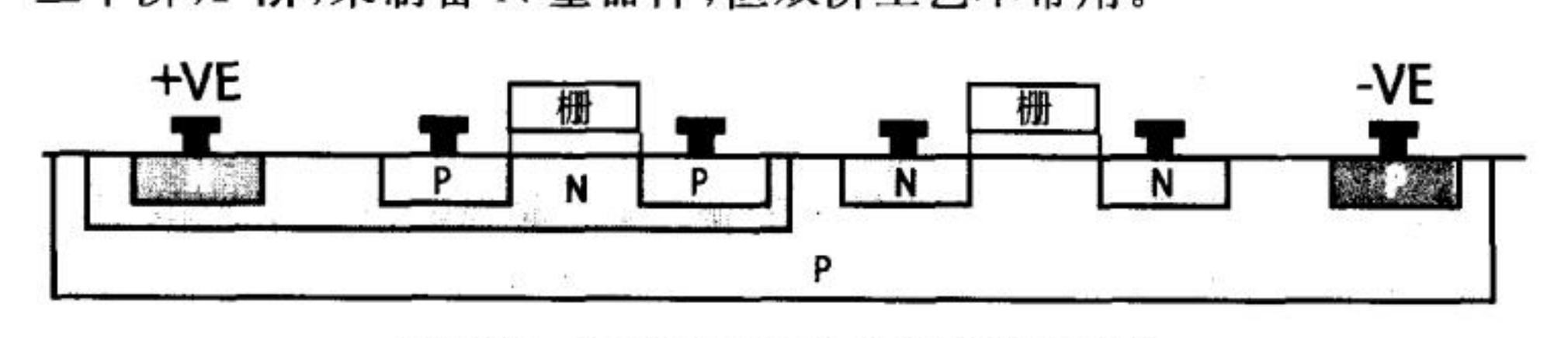


图 1-32　N 阱接正电压，P 衬底接负电压。

这里需要增加的接触孔称之为 **N 阱接触孔**和**衬底接触孔**。关于衬底的问题在以后的章节中将详细地讨论。即便阱和衬底接上了正确的电位，阱/衬底的 PN 结仍然存在正向偏置的可能，这种现象称为**栓锁效应**(**Latch-up**)，会导致芯片烧毁。

下面就要用这些互补开关做些什么了，你肯定会为它们所做的事情感到吃惊的，让我们看看是否能用它们把一架钢琴搬上门外的一截台阶。

1.13　逻辑电路

前面我们已经讨论了很多简单的电灯电路，下面来讨论晶体管如何构造完成二进制逻辑功能的电路。

1.13.1 用电压表示逻辑状态

我们已经用晶体管实现了电流的开关，但用电流来表示二进制的值非常浪费能量，如果这样使用的话，电池很快就会用光。

采用电压来表示二进制值会更好些。还记得 CMOS 晶体管是靠电压控制工作的吗？所以如果能设计一种电路是用晶体管去开关电压而不是电流的话，就可以用这些电路来实现相互开关。如果可以让电路相互开关控制，那么就可以用它们来构建相当复杂且实用的系统。

开关电压还有一个好处就是电流仅在电路开关的瞬间才存在，一旦晶体管开启或关闭之后就没有电流流过晶体管了，这样就节省了电能。现在来测试一下用 CMOS 晶体管构成的逻辑器件。

1.13.2 CMOS 逻辑电路

如果要实现一个二进制逻辑电路，比如一个计算器，可以采用电压状态来表示二进制值。

现在以电源的正电压表示二进制 1，负电压表示二进制 0，则高、低电压就可以分别表示逻辑 1 和逻辑 0。

如果将 CMOS 晶体管按下图方式连接会发生什么呢？按照这个电路，将高电压（正）加到连接起来的栅上，根据我们已经了解的互补型开关特性看看会有什么结果，然后再在这个栅上加上低电压（负），看看又会有什么结果。

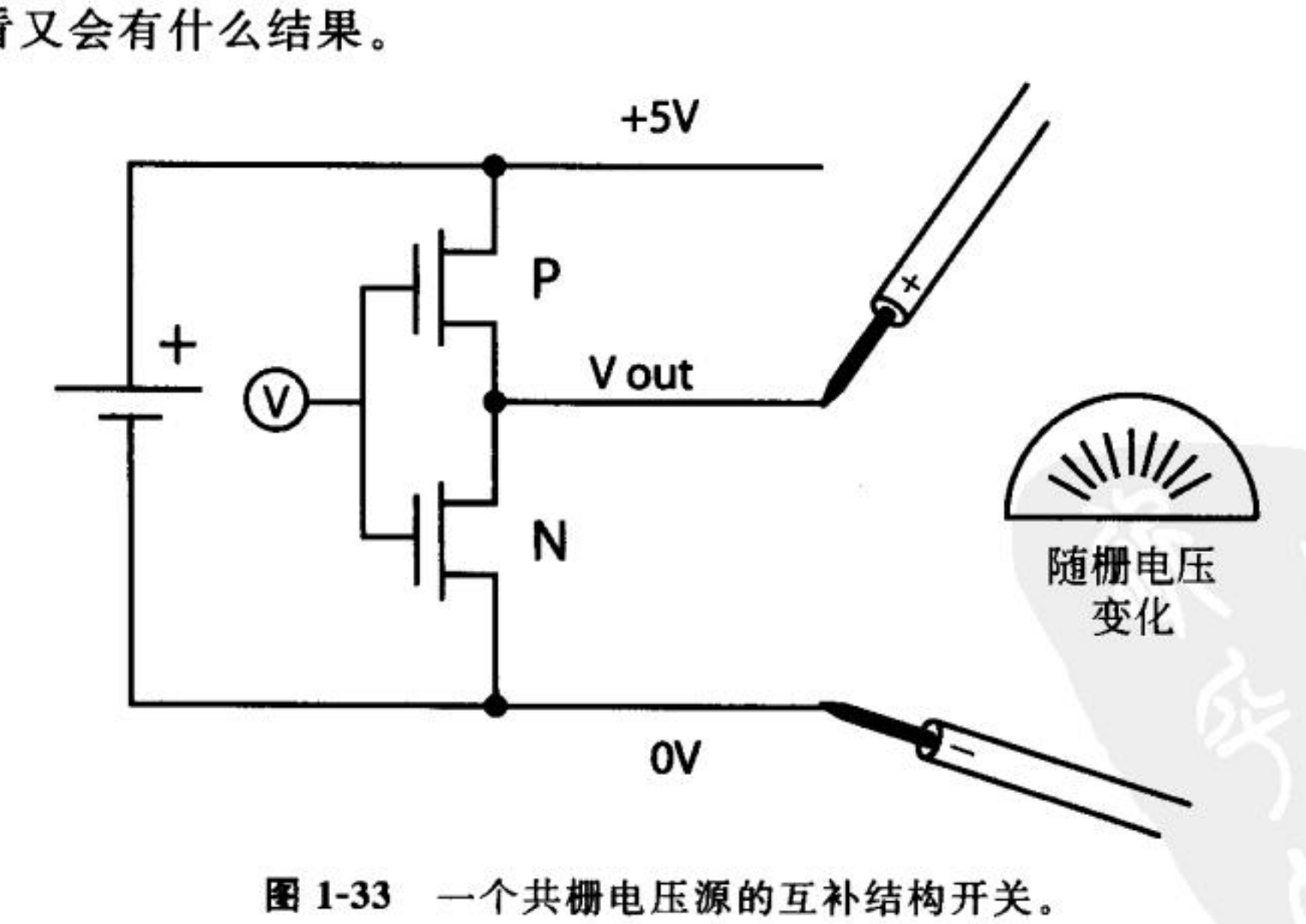


图 1-33 一个共栅电压源的互补结构开关。

因为共栅，所以 N 管和 P 管的栅在同一时刻所加的电压是相同的。还记得增强型管是怎么工作的吗：栅加正电压，N 管开启；栅加负电压，P 管开启。

如果在两个栅上同时加上一个正电压，逻辑 1，会如何呢？

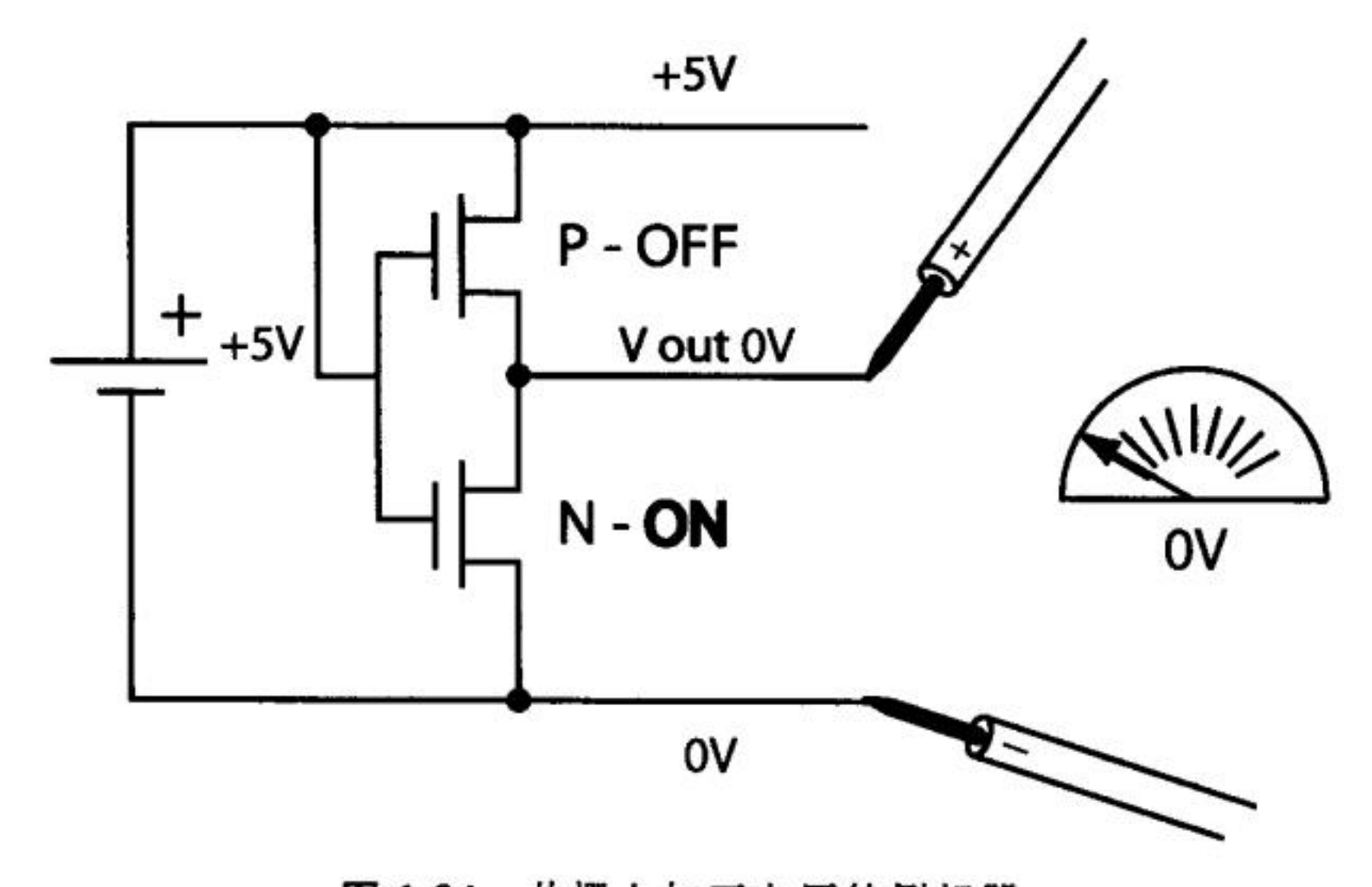


图 1-34　共栅上加正电压的倒相器。

由于栅压为正，所以 N 管开启，而 P 管呢？P 管还是处在常开状态（因为 P 管需要负栅压才能导通），也就是 N 管开启，P 管关断。

将这两个器件漏相连，也就是说 N 管的漏和 P 管的漏连接在一起，这样就有一个共同的输出端，如果我们测量一下输出点的电压就会发现，电源负极的电压，逻辑 0，通过导通的 N 管传递出来了。

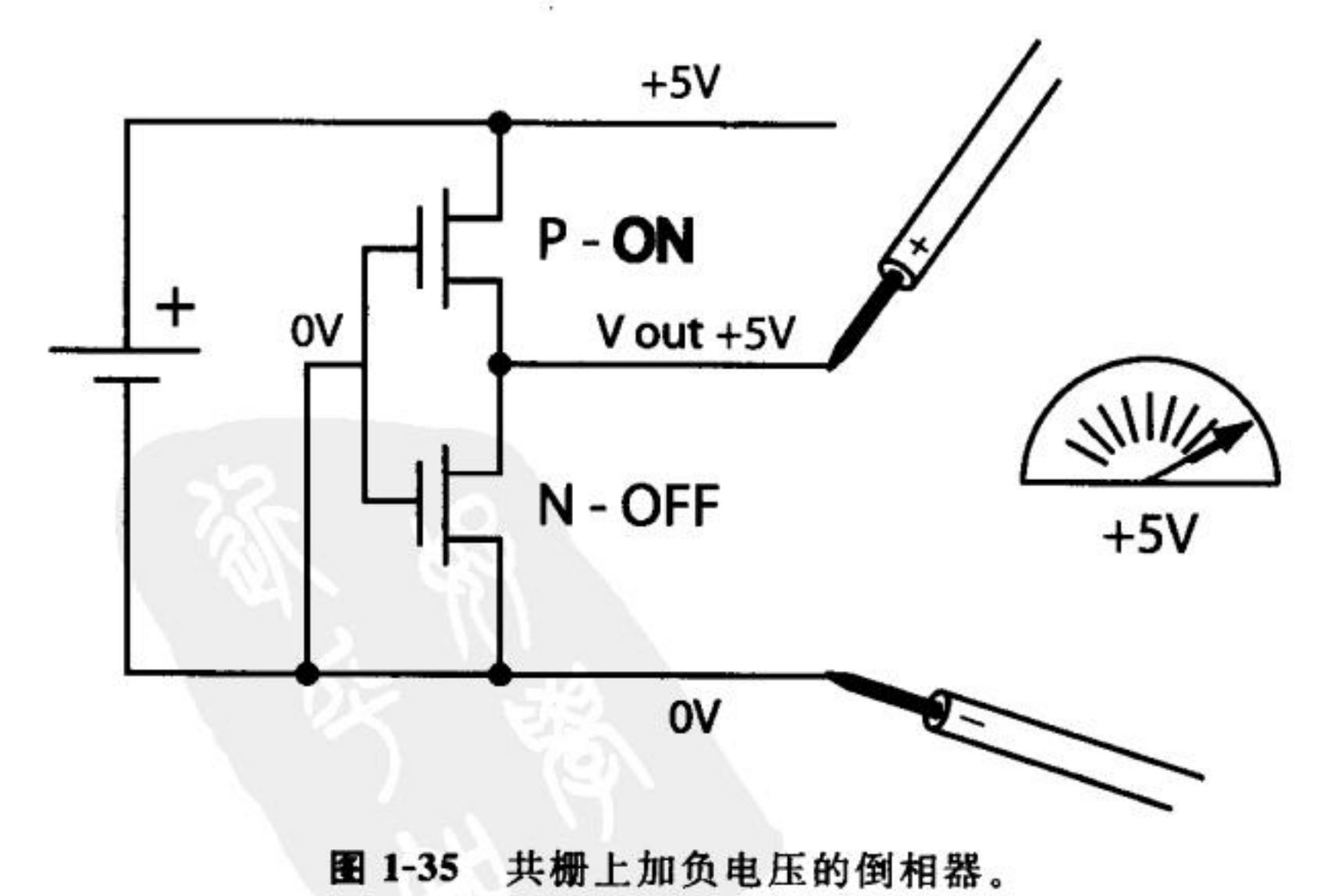


图 1-35　共栅上加负电压的倒相器。

如果将两个栅都接电池的负极，逻辑 0，又会如何呢？

P 管因为栅压为负而开启，N 管则处于常开状态（因为 N 管要正栅压才能开启），也就是 P 管开启，N 管关断。

同样，如果我们测量一下共同的输出点电压，就会发现电源正极的电压，逻辑 1，通过导通的 P 管传递出来。

读者有没有注意这种电路是 0 进去 1 出来，1 进去 0 出来？这个电路反转了逻辑状态，所以用上面的电路可以构成**倒相器**。这种电路反转了接到栅上的逻辑状态，高输入低输出，低输入高输出。

现在我们可以实现转换高低电压的功能了，这是我们设计出的第一个电路，我们应该为之自豪！

试试看

不看书本，尝试着在一张纸上把倒相器的电路图画出来，然后按照逻辑功能确认自己有没有画对，然后再画一个试试。

你也可以在需要的时候查看一下书本，但是尽量靠自己把它画出来，直到你可以不用看就可以轻易地画出来为止。

你还可以在遇到更复杂系统时试试同样的做法，这会对你很有用的，因为你会在画电路的过程中分析清楚它的工作原理。

一遍遍地练习，这将为熟练掌握这些器件的逻辑做好思想上的准备。

连接在一起的栅通常作为输入端，而两个器件相互连接的漏则被视为输出端。

如果把两个倒相器相连会怎么样呢？你可以自己先想一想，也可以直接向下看（不过请等一等，参与才会让生活更有趣，当然，我会帮助你，当第一个倒相器的输出接到第二个倒相器的输入会怎么样呢？慢慢地一步一步来，把图画出来看看）。

第二个倒相器的输入来自于第一个倒相器的输出，对第二个倒相器来说，即便它的输入不是直接来自于电源而是来自晶体管，它的输入仍然还是 0 或者 1。

最终的输出被反相了两次，高进高出，低进低出。

倒相器是最简单的逻辑门。每个微处理器内部都有数以千计的倒相器，但只用倒相器还不足以完成微处理器复杂的功能，即便你把两个倒相器串在一起也不过如此。所以需要构造更为复杂的电路才

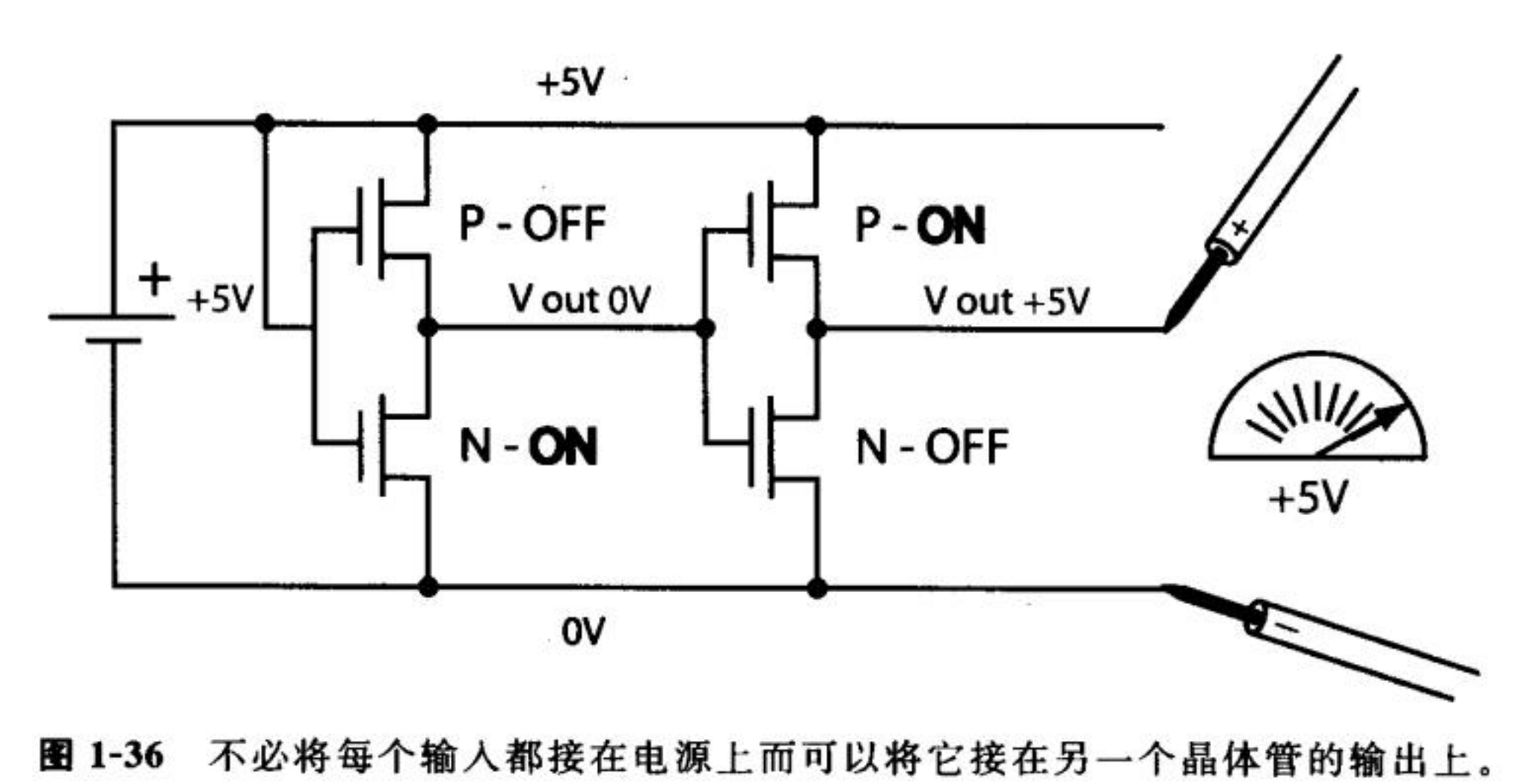


图 1-36　不必将每个输入都接在电源上而可以将它接在另一个晶体管的输出上。

能创造出一个真正的微处理器。

下面你会看到两个更有意思的逻辑电路。先花几分钟时间对照两个电路的真值表，在心里想一想高低电压在电路里是怎么变化的。两个电路都是两组栅信号输入，A 和 B，每个信号都可以独立为高或低电压，公共的输出称为 Z。

自己对照表中的值确认一下与非门和或非门的逻辑功能是否正确。在这里，高电平表示开启，在表中为 1；低电平表示关闭，表中为 0。

1.13.3　与非门

与逻辑功能是只有两个输入 A **与** B 都为逻辑 1 时输出才为逻辑 1。

与非就是“与的反相”，也就是“把与的结果取反”的意思。与非的功能是将与功能的结果取反。所以，如果与逻辑输出为 1，与非逻辑则变为 0，与逻辑输出为 0，与非逻辑则变为 1。只有当 A 和 B 都为 1 时，输出才会为 0，这一点从图 1-37 所示的真值表中可以很清楚地看到。

1.13.4　或非门

或逻辑是当任一输入，A **或** B，或者两者，为逻辑 1 时输出就为逻辑 1。

或非就是“或的非”的意思，也就是“对或取反”。或非的功能是将或功能的结果取反而得到的。所以如果或逻辑输出为1，或非逻辑则

2输入与非门

A	0	0	1	1
B	0	1	0	1
Z	**1**	**1**	**1**	**0**

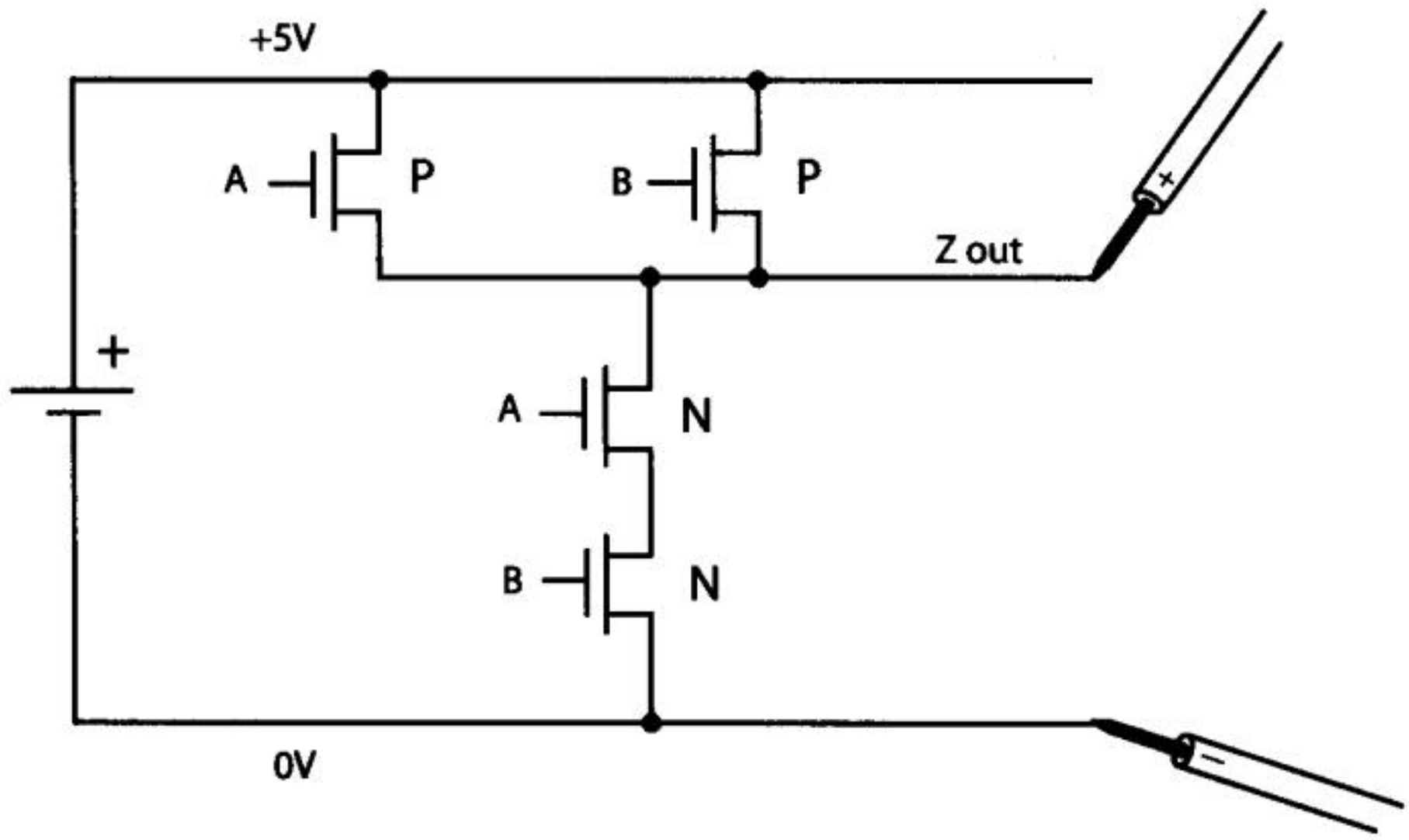


图 1-37 两输入与非门。

2输入或非门

A	0	0	1	1
B	0	1	0	1
Z	**1**	**0**	**0**	**0**

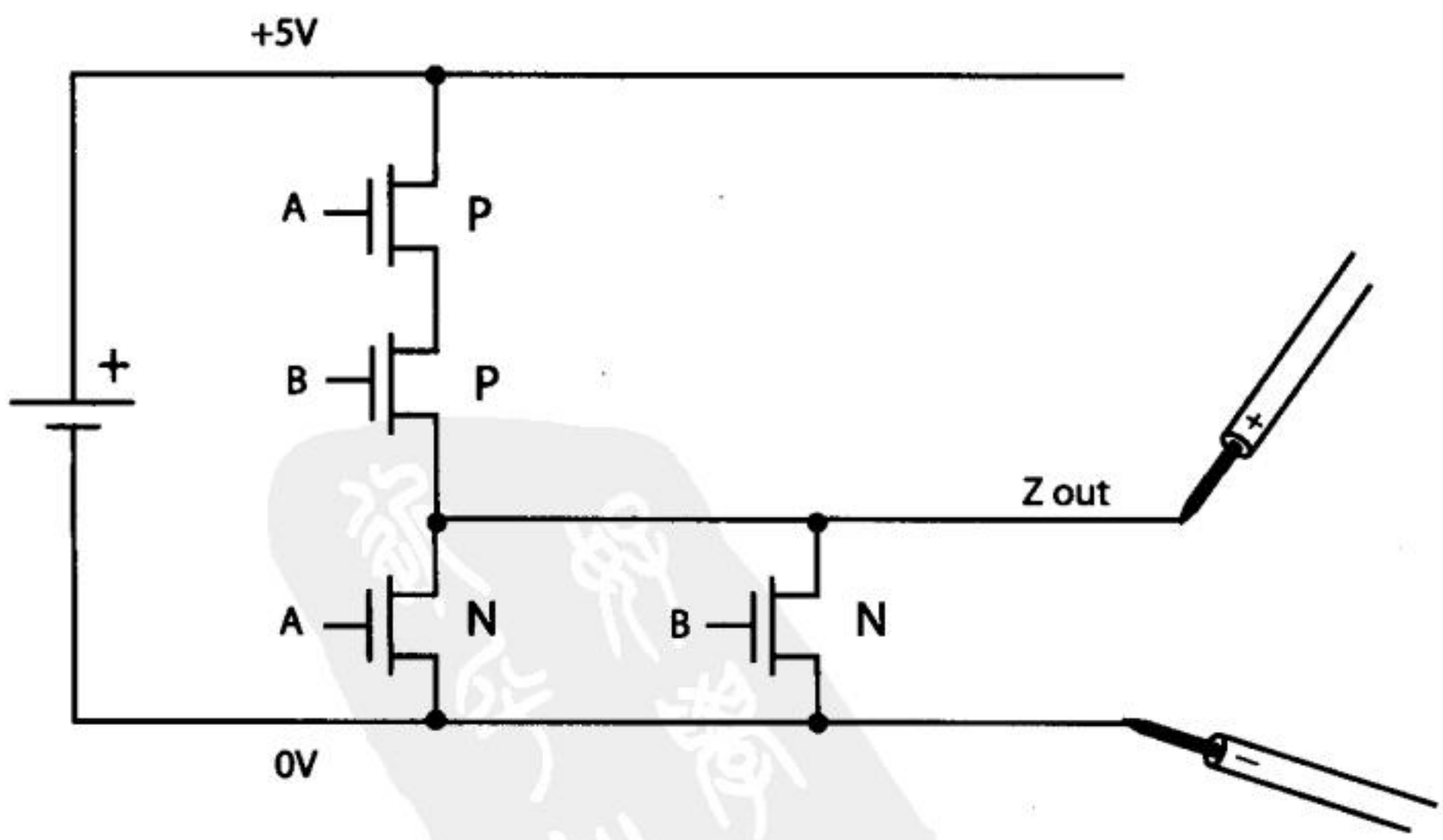


图 1-38 两输入或非门。

变为 0，或逻辑输出为 0，或非逻辑则变为 1。这样就得到了或非门，这一点从图 1-38 所示的真值表中也可以很清楚地看到。

想一想这些电路中每一种 A 与 B 状态的组合，用手指沿着电路图走一遍，在脑子里想想输出是什么，然后与真值表核对一下结果，看看对不对。

结束语

到此为止，我们已经介绍了所有的集成电路基础理论，已经把一些非常简单的概念串成了一条线，从最简单的原子讲到复杂的逻辑门。

以上内容在大学里通常需要 3～6 个月的时间去学习，而且一般讲得很深，有很多复杂的公式，所以你会发现这本书的分量很重。

如果你一直是循序渐进学下来的话，肯定可以理解这些概念，并且为你去理解将要设计的版图建立了良好的背景。这种理解会伴随你度过整个版图工程师的职业生涯，而且会使你获得创新和多产的能力。虽然在学习过程中作了一次投资，但在你随后的职业生涯中将会得到回报。

我个人认为，理解工艺技术是很必要的。实际工艺制备需要 20 到 30 步复杂的步骤，理解每一步工艺干什么会让你理解这项技术并让你理解如何来布局新的版图。

你必须知道你画的是什么，不能盲目地投身进去就希望它能正常工作。我认识的一些最出色的版图工程师常常会对他们自己说："哦，如果我把这道扩散、那道多晶硅淀积和那道金属淀积的步骤组合起来去取代一个电阻、二极管和晶体管的话，我就可以把它们整合在一起，从而可以节省一半的尺寸了。"

减小了尺寸你就节省了成本，因为你在同样大的面积里做了更多的东西，这样就赢得了优势。如果你不知道那些工艺步骤有什么用，就有可能在你的版图中加了很多没用的东西。

你不一定需要对能量的每一部分都了解得很细，比如电子穿过 PN 结的能量。但是这些对制作晶体管是很好的背景知识。它解释了场效应是如何发生的。

这是启发性的背景知识，你迟早会用到的。理解得越深你就越不容易意识到自己已经用到这些知识。而当你最终可以下意识地使用它们的时候，你会一辈子记住它们的。

这么多理论已经足够带你进入真正有趣的设计工作当中了。

下一章将要讨论**如何**在硅中掺入其他的原子，当然不能用镊子，我们怎样使它们掺在所设计的位置上呢？

本章学过的内容

在本章中，你看到了以下内容：

- $V=IR$ 以及其他串并联公式
- 绝缘体、导体和半导体的定义
- 硅中掺杂的原因
- N 型、P 型材料的定义
- PN 结作为整流器和二极管
- 用 PN 结隔离晶体管
- 在 P 型区域上掺入 N 型杂质以便更有效地制备晶体管
- 半导体开关
- 场效应晶体管
- 互补型开关
- CMOS 逻辑电路
- 用电压代替电流表示电路状态
- 与非门和或非门

……

应用练习

根据表中给定的输入状态写出下面每个电路的输出状态，在表中的结果栏写下 0 或 1，要小心，可能会有陷阱哦！

初级：简单

简单的3输入系统

A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
Z								

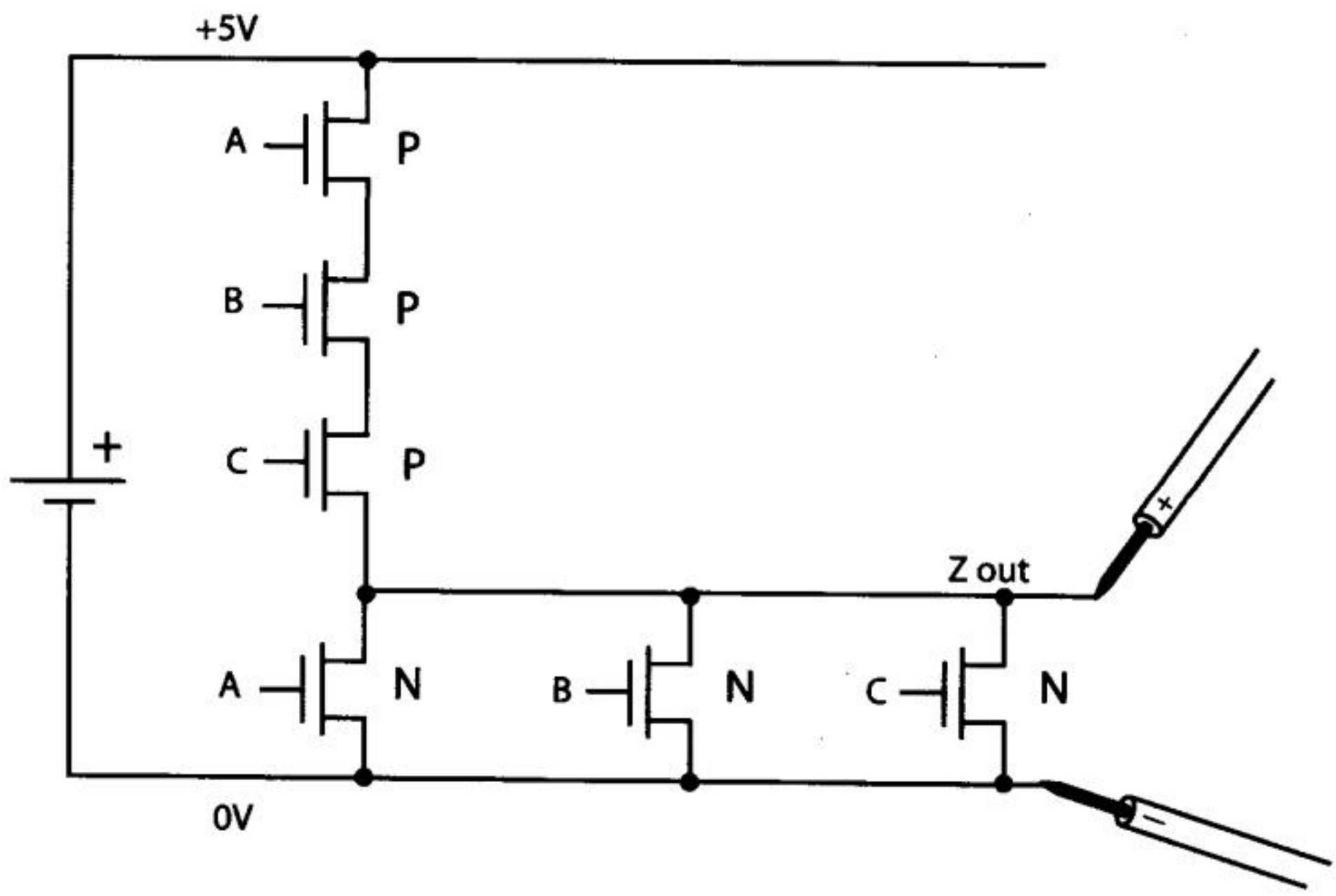


图 1-39　简单电路。

第二级：中等

中等难度的3输入系统

A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
Z								

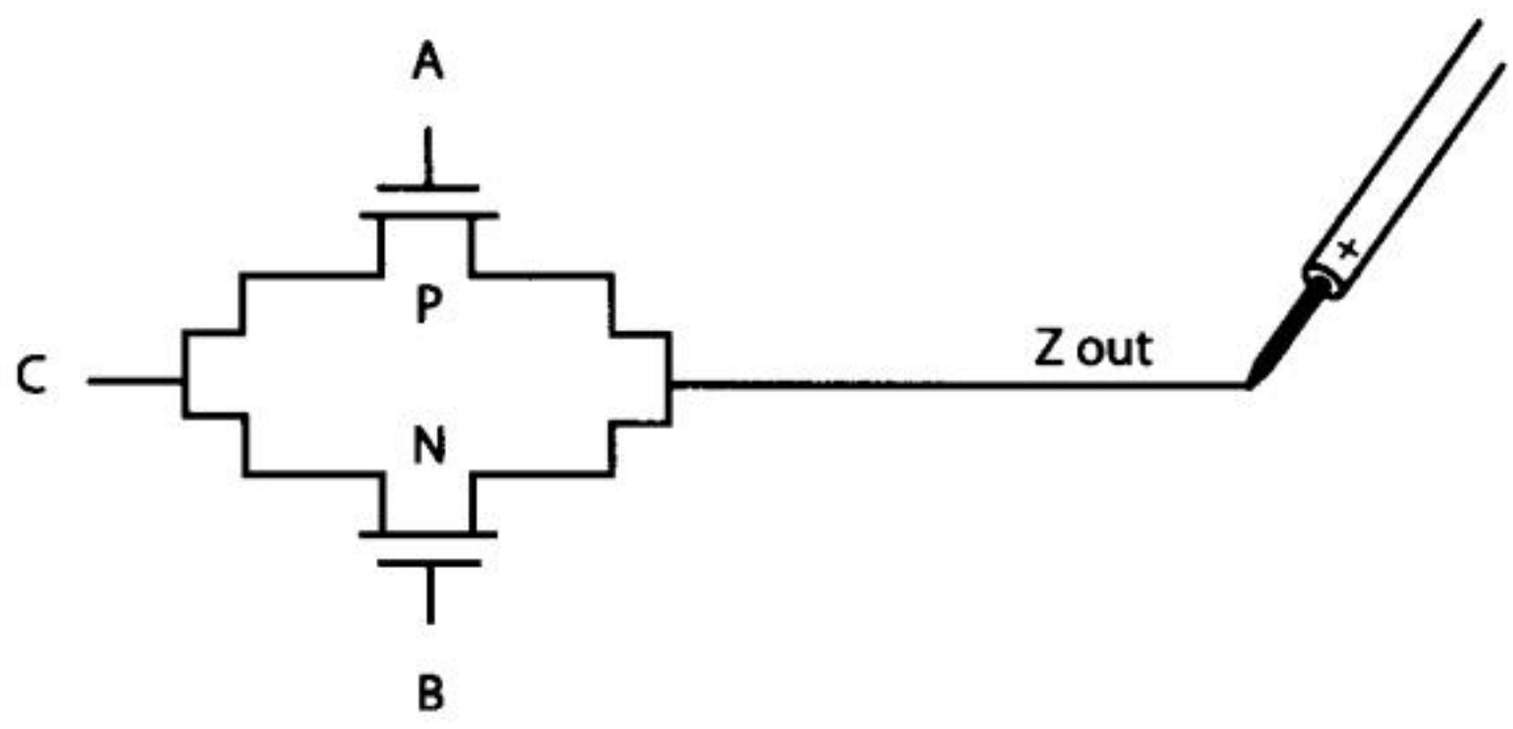


图 1-40　中等难度电路。

第三级：难

高难度的 3 输入系统

A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
Z								

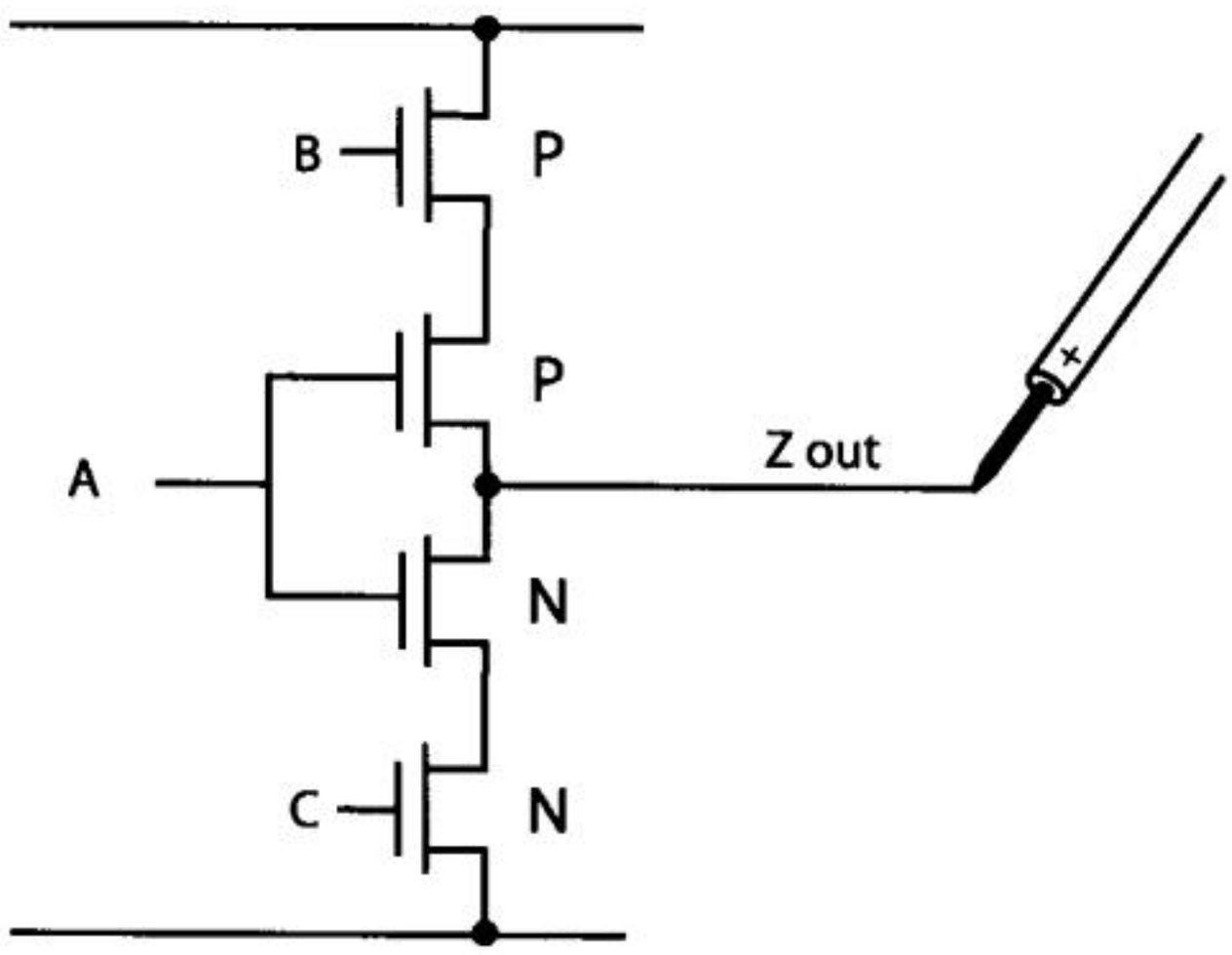


图 1-41　高难度电路。

答案：

1. 简单电路

A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
Z	**1**	**0**	**0**	**0**	**0**	**0**	**0**	**0**

这很简单，电路完成与非功能。这是 3 输入与非门。必须所有 P 管开启(A、B 和 C)才有输出高电平，只要有一个 N 管开启就输出低。

2. 中等难度电路

A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
Z	**0**	**1**	**0**	**1**	**X**	**X**	**0**	**1**

在这种组合下，我们发现有不确定的输出态。这就是当两个管子都关闭的时候(A=1，B=0)，这时无论 C 是什么状态，通过两个关闭的晶体管都不能“看见”C 的状态。在其他状态下，只要有一个晶体管开启，输出端的结果与 C 的状态相同。

3. 高难度电路

A	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1
Z	**X**	**1**	**X**	**X**	**X**	**0**	**X**	**X**

这种组合经常用在输出级。中间的两个器件可以认为是个倒相器，但是顶部和底部两个晶体管必须开启才能让倒相器“看到”电源。当 B 管和 C 管都开启时，倒相器正常工作，否则，输出将被有效地断开。

有时这种断路也称为“三态”，就是除正常双态系统之外的第三态。

第 2 章

硅加工工艺

2.1 内容提要

在本章中，你将看到以下内容：

- 半导体掺杂如何进行
- 杂质对材料特性有哪些影响
- 如何在半导体上附加材料层
- 如何从半导体上去除材料层
- 当需要时，如何精确地控制这些变化
- 硅加工工艺是如何进行的
- 掩模设计如何与工艺步骤对应
- 怎样有效地组织工艺

……

2.2 引言

在第 1 章中，介绍了在硅晶体中掺杂形成自由电子，并控制这些自由电子运动完成需要做的工作。我们可以在芯片的任何位置对这些 N 型掺杂区和 P 型掺杂区进行布局。现在，我们需要学习如何实现这些布局。

在这章中，将介绍如何根据集成电路芯片的设计，精确地控制硅材料生长、切片、注入以及沉积与刻蚀。通过这一章，我们将了解如何将产品的构想变成一块集成电路。

对于衬底材料——硅晶圆，我们能够做三件事情：改变它的材料性质；增加材料层；移去材料层。一旦理解了怎样做这些改变，就能够根据要求对特定的区域进行材料性质的改变，增加或除去

材料层。

2.3 集成电路版图

集成电路是按工艺步骤顺序加工完成的，随着工艺加工过程逐步进行，各种材料层被逐步叠加到集成电路上，芯片越来越厚。每一步工艺都对应着一个几何图形，这些几何图形彼此关联形成三维的器件结构，正是这些共同工作的器件构成了集成电路芯片。集成电路**版图**是加工层的两维表示，正是对这些材料层的加工实现了一个集成电路。

在早期开发集成电路时，各层版图是画在透明的红色塑料薄膜上的，每一加工层对应一层塑料薄膜。所有这些版图层之间必须精确地对准。今天，我们使用**计算机辅助制图**（**CAD**）工具绘制集成电路版图的每一层，当然，这些版图层还是必须精确地对准。

问题是所画的那些图与真正在集成电路制造工艺中形成的结构是什么关系，换句话说，这些两维图形怎样才能成为三维的产品。弄懂隐藏在这些图形后面的工艺过程，将有助于理解与制造相关的设计规则。

我们可以利用某些计算机辅助工具对照工艺设计规则检查所设计的版图。有时，那些由计算机检查软件所输出的内容非常难理解。对于撰写规则的人来说，可能感觉到这些结果非常难懂，但对于我这样的版图工程师却不是问题。这种差别也说明了为什么我们需要更多地了解版图图形，了解它们是怎样变成真实材料层的。

假设，某人已帮助你设计完成了一个晶体管版图的主要部分，你现在的任务仅仅是设计连接三个电极的金属引线。

和采用多层金属对已初步布局的单元进行连接类似，大部分的版图设计工作就是这样完成的，现在的问题是，你是否理解了正在进行的设计工作。

例如，你可能想：这就是一根金属连接线，我可以随意地放置，可以让它从晶体管的上面穿过。但是，当芯片被加工完成后，你可能会发现晶体管被短路了。

“这是蓝色——颜色相同，就是稍微暗一些，谁会注意？”，但是，当你运行设计规则检查软件时，你将发现有大量奇怪的错误信息，例如，提示“这里离埋层太近”。

当你咨询你的老师这些信息是什么意思的时候，他们会告诉你，尽管你采用的那一层材料通常也可以用作为连线，但是，它也是晶体管内具有其他功能的结构层，如果你把它作为连线跨越晶体管当然会有问题。

随着逐渐了解了集成电路是怎样制造的，你就应该开始想象，你所画的一个矩形图形在加工完成后的三维结构是怎样的。正是这样的学习与理解将使你成为一个熟练的版图设计工程师。

2.3.1　基本矩形

CAD 工具设计的版图是两维的，而芯片是三维的。当你在画着两维的正方形、矩形或其他图形的时候，应该想象它们最终的形状、层与层的上下关系、厚度以及连接等。必须仔细地思考你的版图和结果是什么，这可能比较困难，但你必须习惯。

有时，许多层包含在一起，这时设想它们的三维结构是困难的。因此，如果你能够弄明白三十多层工艺中的五或六层，并且按这样的规律循序渐进地去理解，问题就简单了。

现在来看看 CAD 工具是如何一层层完成制图的。

让我们观察一个场效应晶体管(FET)的侧视图。

图 2-1　FET 的侧视图。

实际结构并不像我们所画的图形那样简单，栅和氧化层(中心区域)实际上不是一个平面，它们是彼此叠放的材料层，中心区域的二氧化硅是凹下去的，栅在它的上面并且爬越台阶到达上表面。

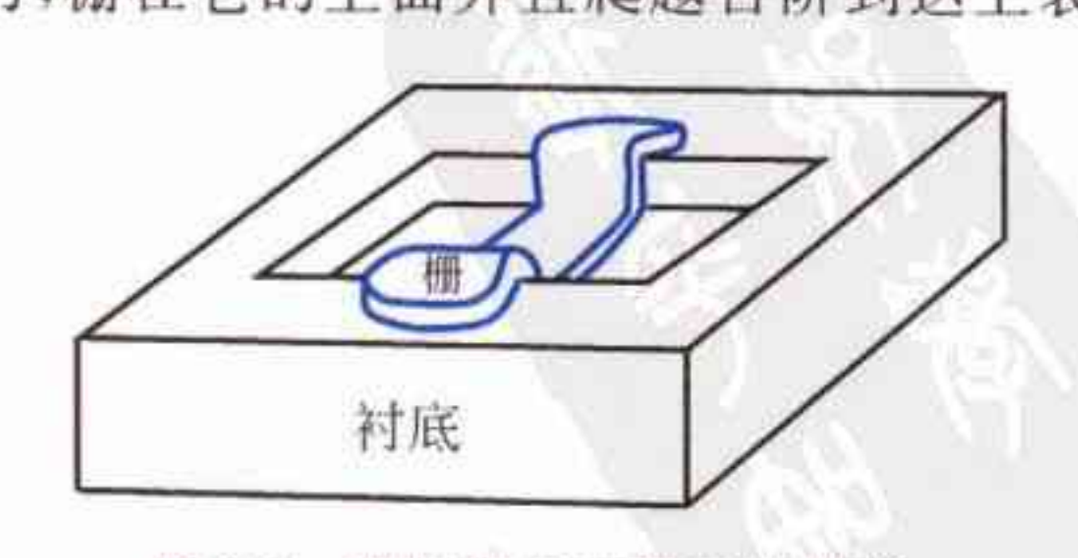


图 2-2　栅材料的三维结构图形。

爬越厚的二氧化硅台阶使得栅材料起伏不平，在下落的边界处形成覆盖，然而，在 CAD 工具所画的图中并不能看见这些起伏，只能看见栅伸出了下面图形的边界。同样地，当栅爬越被刻蚀而形成的凹陷区边界时也有类似的情况。

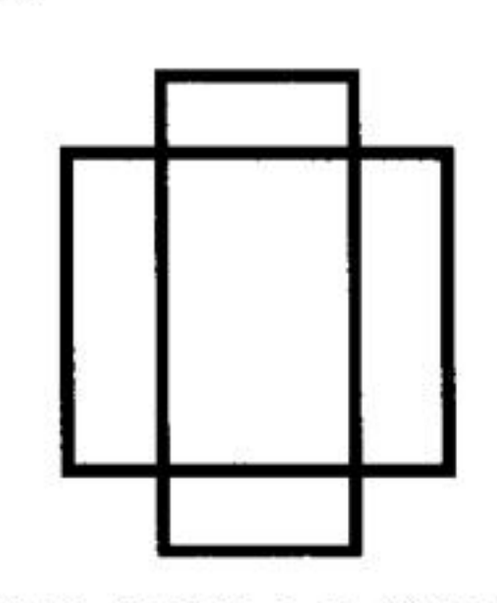


图 2-3 说明栅材料延伸出晶体管边界的顶视图。

因此，虽然在计算机屏幕上仅能看见两个矩形，在真实图形中却是上下错落。由于覆盖，爬越边界的栅材料改变了原来台阶的陡峭程度。尽管一个矩形表示了凹陷的氧化层图形，另一个矩形表示了凸起的栅，但在你的 CAD 工具中，它们看上去都是相同的，就是矩形。

你应常常自问：我真正画的是什么？它是芯片上我需要形成的一个窗口吗？或者，它表示了在芯片上层的一块材料吗？再或者，它表示我希望的某个材料部分发生化学变化，但仍留在原处？尽管与我们打交道的仅仅是一些矩形，但对于不同的制造商却是完全不同的结果。他们怎么能知道我们要什么呢？怎么能保证我们将得到什么呢？

让我们来一步步地制造一块芯片并且学会怎样去解释所画的矩形。首先来了解用于芯片制造的硅材料是如何制造的。

2.4 硅晶圆制造

制造集成电路芯片需要硅单晶，虽然是单晶，但它可以是非常大的晶体，与晶体尺寸做比较，“希望之钻”(Hope Diamond)就像一粒芥子。

研究人员以一个相当聪明的办法来制造硅单晶。你有没有用糖(盐)水做过这个实验：在一个盛着浓的糖(盐)水的大容器中悬挂一块晃来晃去的棉纱，最后就析出了糖(盐)的晶体？这就是糖(盐)的单晶。硅单晶也是这样制造得到的。

加热一个大坩埚中的硅，直到它完全熔化，采用上述的办法，在一个悬挂着的旋转籽晶杆上有一个小的种子晶体，这个种子晶体被称为

籽晶，它不算太小，有一定的重量。这个籽晶被慢慢地下降进入坩埚中，直到接触熔化的硅表面。

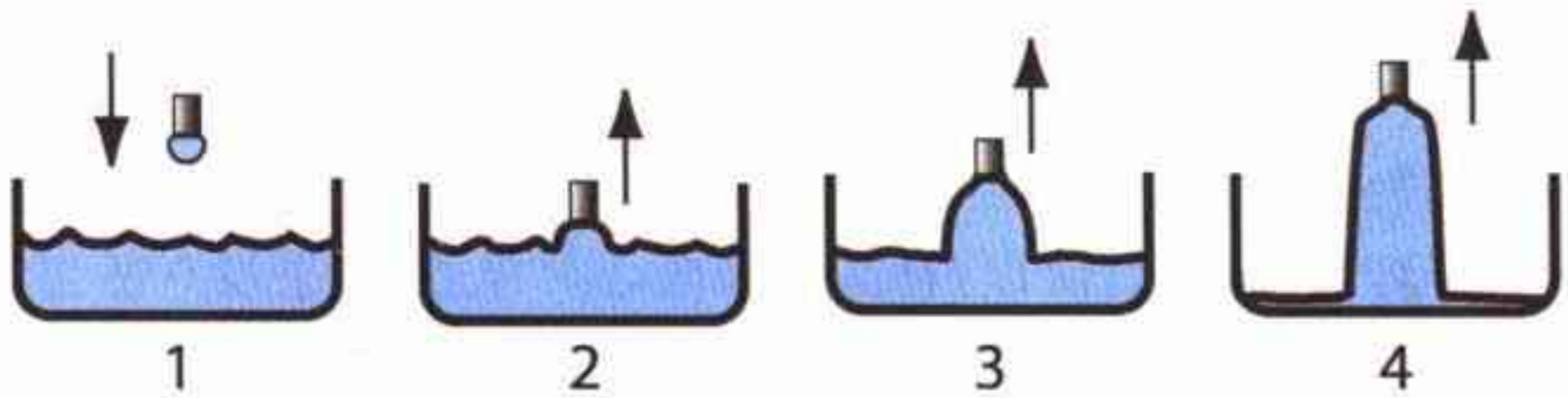


图 2-4　一个硅籽晶生长成一个大的单晶硅棒的过程。

一旦籽晶接触到熔化的硅表面，坩埚的温度就被降低，逐渐地，冷却的硅原子开始附着在籽晶上，就像形成糖的晶体那样，随着它们被冷却而团聚在一起。

一旦晶体开始生长，那个旋转着的籽晶杆就开始带着籽晶从硅熔化物中慢慢地上升，非常非常慢。随着上拉过程继续，晶体在连续生长，最终，初始的小籽晶变成了一个巨大的单晶棒，坩埚中所有熔化的硅都聚集到单晶棒上，现在，它看上去像一个悬挂着的圆柱。巨大的单晶生长过程结束，我们取下它，它看上去就像一个巨大的萨拉米香肠。

这种晶体生长的方法被称为晶体生长的**切克劳斯基法**（**Czochralski method**）。相应的设备通常被称为**晶体拉制炉**（**拉晶炉**）。

我曾经在一个研究室工作，我的隔壁有一台这样的晶体拉制设备，拉制一个硅单晶棒需要花费数天的时间。有的单晶棒直径能够达到 8 英寸，在那个年代，这个尺寸是领先水平了。

接下来，就像切面包片一样，硅单晶棒被切割成薄的圆片。这些圆片被称为**晶圆**，大约 250 微米厚。

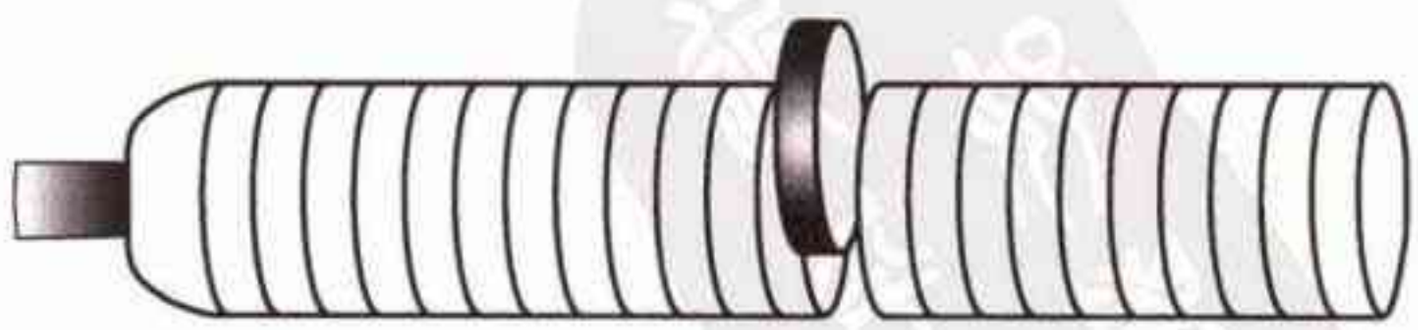


图 2-5　大的单晶棒被切成晶圆，圆周的某些部分被处理成直边，以便于工人精确地对准晶向。

在真正使用这些晶圆之前，它们必须被清洗、抛光，并进行平整度和缺陷检查。我们所有的集成电路芯片都是在这些晶圆上制作的，这些晶圆被称为**衬底材料**。

就像切割钻石一样，切割硅片要沿着一定的解理面进行。为使晶圆容易切割成芯片，芯片也必须按照晶圆的晶格方向排列。晶格的取向取决于籽晶的取向，所以，籽晶的晶向必须合适，如果没有适当地选准籽晶的晶向则晶圆的晶向也是不正确的。晶体拉制是一个精细地控制过程。

一些工艺步骤和晶向有密切的关系。例如，一些化学腐蚀过程，在不同的晶向上腐蚀的速度有很大的差异。通过在晶圆上磨出一、二条直边，可以使技术人员知道如何确定晶向，圆周上的这些直边使我们在对准芯片方向上有了参考，使我们可以控制特殊的腐蚀。

除了硅以外，晶圆也可以是其他材料，例如**砷化镓**半导体（**GaAs**），它非常、非常容易碎，你用一个小刀片轻轻地压一下，GaAs晶圆就裂开了，并且它将沿着晶向裂开，因此，可以按照这条直边来进行对准。

最后，我们要利用晶圆来进行芯片的加工。如果能够在一个晶圆上同时制造许多的芯片，当然就不会只加工一个芯片。实际上正是这样做的。在一个晶圆上纵横排列着许多芯片，这些芯片彼此相邻，一个晶圆上可以有数百个芯片。当然，当这样做的时候，将来就必须通过切割将芯片分开。

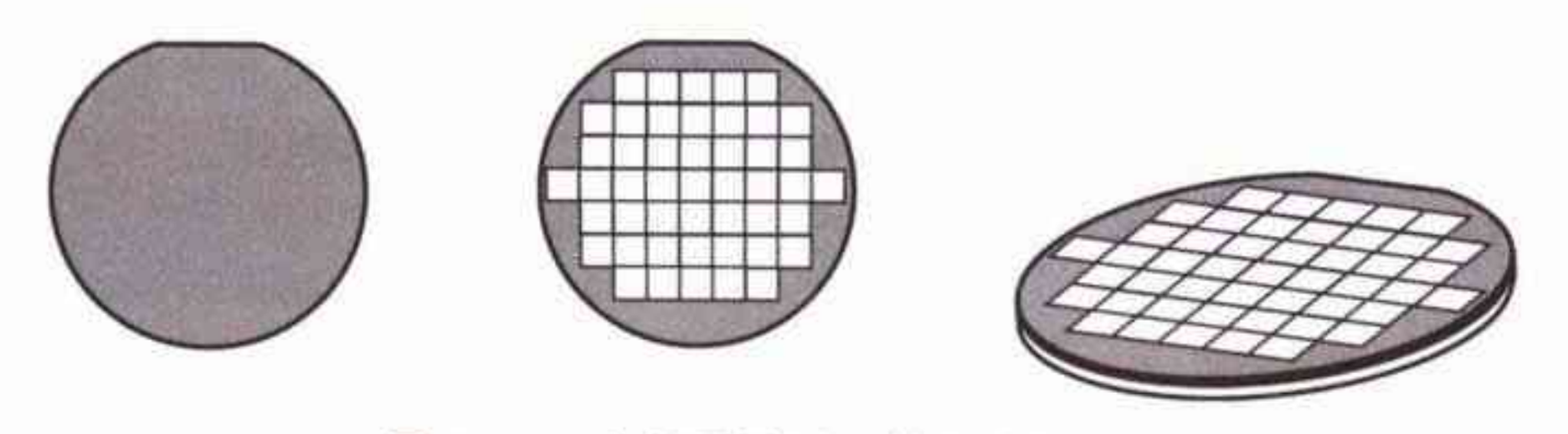


图 2-6 一个晶圆被用于制造许多芯片。

芯片被设计成矩形以便与晶圆的晶向对准。因为晶圆是圆形的，所以总有一些晶圆面积被浪费掉。

每一个小的矩形就是一个独立的小硅片，它们或者是完全相同的，或者是基于同一设计的不同品种，再或者，可能为了进行晶圆测试，采用四种不同的芯片，重复、交叉地放置在晶圆上，这样，就能够在晶圆上不同位置进行测试采样。这可是一个好的采样方案。

晶圆越大，同时得到的芯片越多。加工一个 1 英寸的晶圆和加工一个 8 英寸的晶圆所花费的工作量相同，所以，采用大晶圆加工芯片更经济。这就是我们追求的目标：要在大的、薄的晶圆上制造尽可能多的芯片。

你可能担心硅晶圆太薄，实际上，硅具有较好的机械强度。

由于某种原因，你可能跌落了装硅晶圆的盒子，幸运的是大部分硅晶圆可能还是好的，但如果你跌落的是装 GaAs 的盒子，那就像玻璃一样全碎了，我亲眼见过这样的事情。

而且不止一次。

在大的坩埚里熔化的原材料并不是完全纯粹的硅，里面加入了一些前面曾经介绍过的杂质。刚开始，坩埚内放入的是纯硅，在硅熔化的过程中掺入了所需要的杂质，并且可以按照需要控制杂质量。就像一个配方，就像烤饼干时知道放多少苏打一样。

搅拌器帮助杂质混合进硅中。通过搅拌和加热，杂质最终均匀地散布到了硅中。

P 型材料含有正电性的杂质。通过加入更多的 P 型杂质，我们也可以得到 P+ 材料，甚至可以得到 P++ 材料，这包括了聚集在一起的团。也可以制造轻掺杂的 P− 材料，甚至 P−− 。可以通过控制加入的杂质改变浓度水平。

N 型材料含有被加入的负电性杂质。同样地，也可以改变 N 型杂质的浓度，得到 N− ，N+ ，N++ ，这里的“+”越多，表示浓度越大[①]。

现在，已经有了大的并且容易处理的硅衬底——晶圆。下面将讨论如何制造集成电路所需要的各种材料层。

2.5　掺杂

加工工艺可以分为三种主要类型：改变已有的表面材料，增加额外的材料层，去除材料层。某些工艺步骤则可能是这三种工艺的混合。下面首先学习如何改变硅衬底的掺杂类型。

---

① 最多可以达到 11 个“+”。

2.5.1 离子注入

我们已经介绍了通过在硅衬底中引入杂质形成 PN 结。怎样才能确保那些杂质被掺进去呢？可以想象，通过一个细细的镊子一次一个地将杂质原子放入晶圆肯定是十分痛苦的事。因此，我们利用今天的工程师们所采用的掺杂手段：**注入**。就像打靶将子弹强行打入目标一样，注入将把杂质强行打入硅中。

选择什么样的杂质掺入硅表面取决于你所需要的半导体类型，可以采用硼、镓、硫或其他需要的注入原子。杂质首先被转变为**离子**，离子是失去了一些电子或得到了一些电子的原子，原子失去电子成为带正电的离子，得到电子则成为带负电的离子。这里以带正电的离子为例。

许多晶圆，大约 25 片吧，被放入一个大的靶室，通过大功率的真空泵将靶室中的空气抽去。

被产生的离子在一个极高的负电压作用下加速飞向晶圆，这个负电压位于晶圆与离子源之间，有数千伏特之高，正是它使这些离子运动。

这些带正电的离子被负电压吸引到达晶圆。用磁场控制离子的聚焦和运动轨迹。通过这样的方式可以在晶圆的表面注入各种杂质。

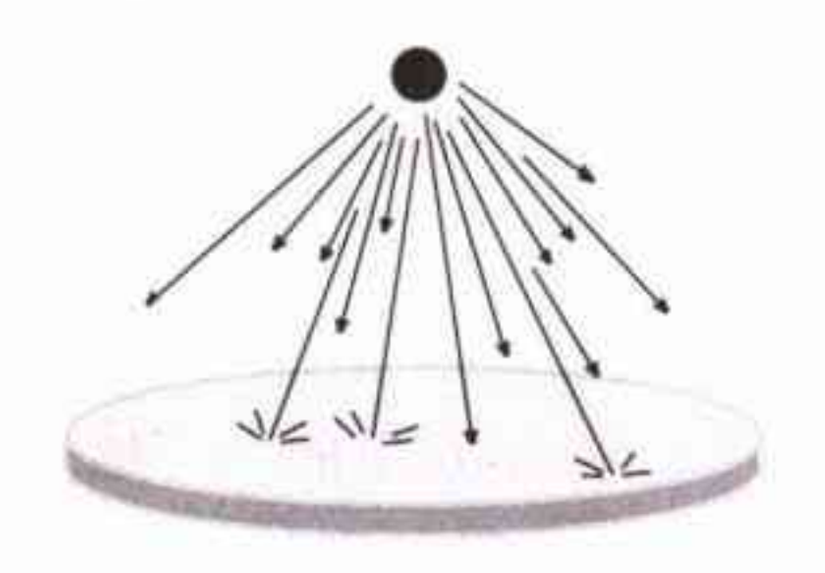


图 2-7 类似霰弹枪发射，杂质被注入到晶圆的表面。

杂质离子以极快的速度运动，径直嵌入了我们的晶圆，就如子弹击中奶酪。它们的速度越大，射入得越深。这个工艺被称为**离子注入**。

2.5.2 扩散

遗憾的是，这样的掺杂方式损伤了晶格，而我们依赖一个好的晶格结构来实现 PN 结的正常功能，必须设法使晶格恢复正常。

采用**退火**的方法可以修复晶格。即对晶圆加热，这有助于所有原

子回到原先的格点，恢复有序的结构。这就像摇一个杂乱的装着网球的盒子使那些球均匀地排放整齐一样。

我们都知道如果你滴一滴墨水到一盆水中，墨就会散开。对于注入的原子也有相同的情况，这是加热的第二个作用。正如水中的墨向下、向四周散开一样，随着退火，原子也向下、向四周的硅中扩散。因此，在开始注入的时候可以注入得非常浅，当对晶圆退火的同时也使杂质原子向周围的材料中散开，这称为**扩散**。

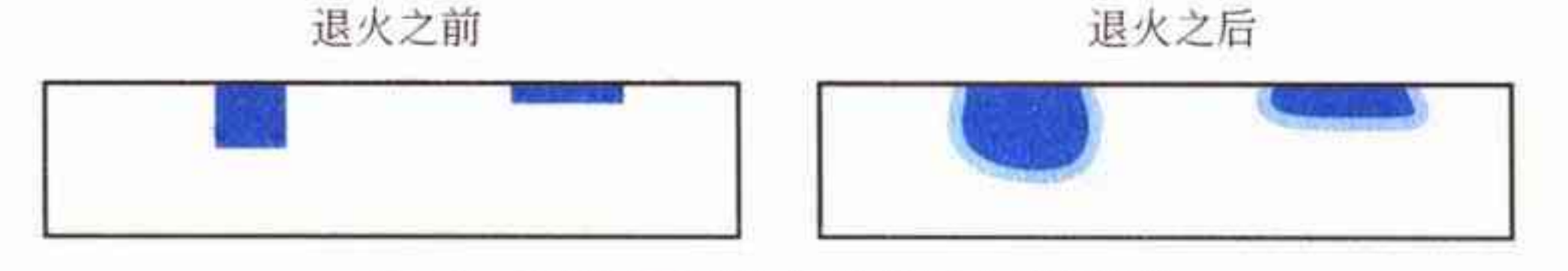


图 2-8　注入后需要退火，这同时也引起扩散。

扩散引起杂质的再分布。然而，你可能并不满意这种扩散，这种扩散可能是太弱了，或者，它达不到要求的浓度，或者，它达不到要求的深度，所以，扩散过程必须被充分地控制。

> 当你接触实际工艺的时候，可能会遇到这样的提示："你不能在那儿安排材料层"，当你问为什么的时候，他们会说："这两块材料都会扩散，将引起短路"。
>
> 弄明白了你要做的工艺，你就不再是听众，而是解答者。

这就是基本的扩散。我们可以通过注入使杂质原子进入晶圆的表面，通过退火修复晶格。我们也知道了退火会引起轻微的扩散，剩下的问题是如何精确地得到所要求的深度和浓度。

2.6　生长材料层

除了通过离子注入改变晶圆的表面属性外，或许还希望在晶圆上增加一个新的其他材料层，下面说明各种增加新材料层的方法。

2.6.1　外延

一些半导体器件为了得到正确的功能而需要在其他硅层的上面制作一层质量非常好又较薄的硅层（例如，我们的 PN 结需要在单晶

硅内形成)。任何新的硅层必须与衬底的晶格相匹配,但是,并不是采用任何方法都能够做到这一点,因为某些方法不能够保证晶格的对准,要想保持原有的晶向,生长另一层硅的过程是非常缓慢的。

按照原先的晶向在一层硅上生长另一层硅的工艺称为**外延**。外延有几种方法,这里介绍最常用的方法。

2.6.2 化学气相沉积

某些气体在高温下混合将反应生成硅。如果将反应控制在晶圆附近,则可以在晶圆上沉积一些硅原子,事实上,可以通过控制温度来帮助原子在晶圆上凝聚。通过混合气体生长新的材料层的方法称为**化学气相沉积**或**CVD**。

下面介绍CVD技术:

将晶圆放在一个特制的炉内,炉内有一个能够承受非常高温度的石英炉管。在炉管的一端安放了一些将被泵入的可高度反应的气体。混合气体被高温激励而相互碰撞反应,这些反应气体在炉管内被输运直到它们撞击到晶圆,由于晶圆的温度比气体低,因此,混合气体中的硅被凝聚在晶圆的表面。这样的过程就在晶圆表面生长了与衬底晶格一致的外延层。

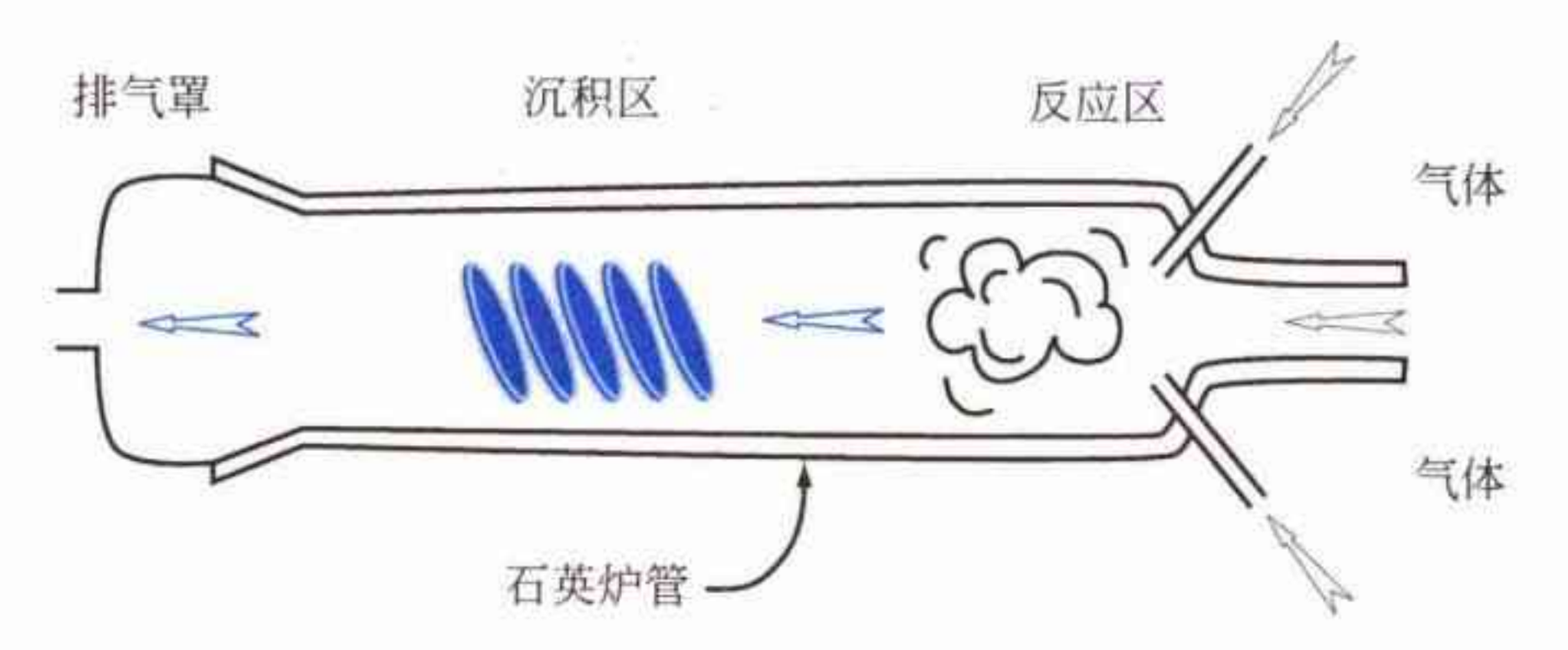


图 2-9 气化的硅同时凝聚在许多晶圆上。

采用不同的气体混合,就能够生长不同类型的硅。硅层可以是P型的,也可以是N型的,甚至可以在一个沉积过程中通过改变气体混合得到N型、P型交替叠加的材料层。

可以同时对许多晶圆进行外延,气体在晶圆周围均匀地混合并通过,使所有的晶圆被外延。

通过这样的方法可以在原始的硅表面上沉积更多的硅,晶圆变厚

了。我们可以利用许多种材料进行沉积，例如，可以沉积硅到二氧化硅的上面。

前面对扩散的介绍已使我们知道，当晶圆被退火的时候，原子将向着各个方向扩散。如果外延层生长在已注入了杂质的硅上面，则退火将引起埋在下面的杂质向上扩散进入外延层。如果设计得当，外延后注入和扩散进入的杂质能够和埋层的杂质连通，形成对埋层的连接。

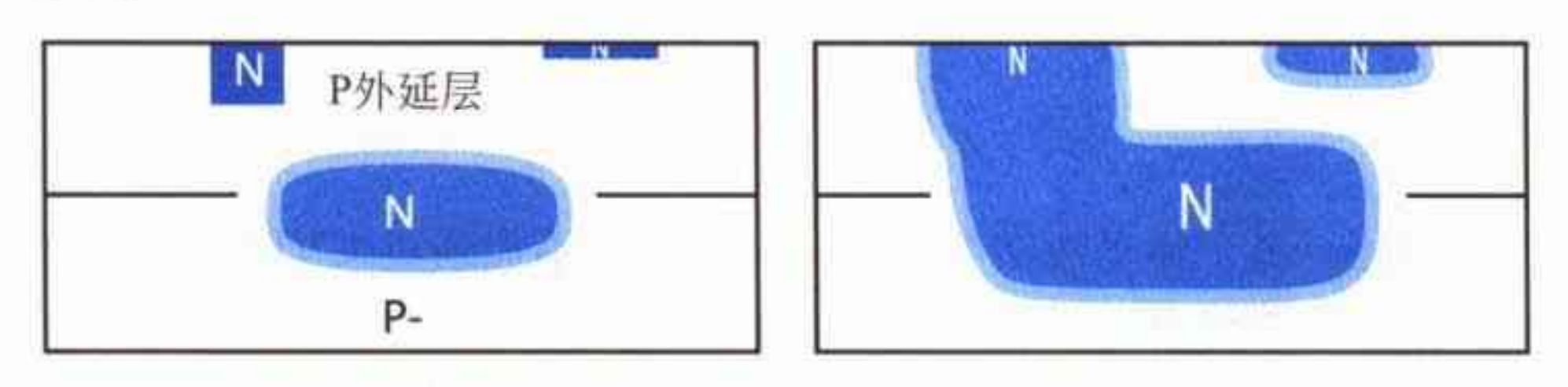


图 2-10　连接两个 N 型掺杂区的扩散过程。

回忆一下在前面章节讨论的 FET。栅是位于薄的二氧化硅绝缘层上的。因此可以采用 CVD 技术在这层薄的二氧化硅上迅速地生长一定厚度的硅层作为栅材料。之所以要迅速地生长，是为了避免在 CVD 工艺中的加热使杂质扩散得太多。

外延层是硅上的硅，生长缓慢以保持晶向，在 CVD 中快速生长的硅则没有很一致的晶格结构。就像窗玻璃上的霜，它是由许多不同晶体连接组成，而不是一块大的晶体。这种类型的硅被称为**多晶硅**（意思是许多晶体），通常写为 **Poly**。

多晶硅被广泛地应用在集成电路中制作 FET 的栅和电阻。如同硅一样，多晶硅也可以进行掺杂。多晶掺杂通常是为了改变它的电阻率，而普通的硅掺杂是为了改变能级和晶体管特性。

通过选取引入 CVD 设备的气体成分，我们几乎能够沉积所有在化学反应中产生的材料。非常厚的二氧化硅以及氮化硅都可以被沉积。

另一种 CVD 技术是**等离子增强化学气相沉积**即 **PECVD**。PECVD 与 CVD 非常相像，所不同的是利用**等离子**体代替高温启动化学反应。等离子体是气体在非常低的气压下受到高频高压电场激励而形成的一种物质状态。在荧光灯管中就含有等离子体，北极光与南极光也都是等离子体。

等离子体提供了气体间化学反应的能量而不用提高晶圆的温度。低温将有助于维持原先的杂质分布，避免杂质的进一步扩散。

2.6.3 氧化层生长

我们常常需要在芯片的表面布置导线或其他的导电材料，因此，必须采用绝缘层隔离，以防止某一金属层与另一金属层间的短路。一个简单的方法是将晶圆放入含有氧气的高温炉内，晶圆表面的硅变成了硅氧化物。硅氧化物是非常好的绝缘体。就像铁生锈一样，很简单地就得到了氧化层。

2.6.4 溅射

高能等离子体也能够帮助我们沉积某些不能通过 CVD 沉积的材料。在称为**溅射台**的设备中，利用氩气等惰性气体产生等离子体，利用等离子体轰击出材料原子。

现在利用溅射台来沉积一层金属。

在一个密闭容器中，晶圆的上方悬挂着一大块准备沉积的金属材料。该金属将被轰击到晶圆的表面形成一个新的表面层，怎样做呢？

密闭容器中除了少量的氩气外，其他空气被抽出。如上所述，氩气形成高能等离子体。随着高能氩原子轰击金属，迫使金属原子离开金属块进入等离子体，如同喷沙一样。

金属原子被电离成离子并被吸引到下面的晶圆上，随着工艺过程延续，越来越多的金属原子被轰击离开金属，吸附到晶圆的表面，最终，晶圆表面上覆盖了一层适当厚度的金属。这就是你所需要的纯净、均匀并厚度适中的新材料层。

溅射有点像下雪，金属原子落到了你可能都没有预料到的各个角落和缝隙。这或许是好事，或许是坏事。你的工作就是要知道这些差别并能够控制。

2.6.5 蒸发

沉积金属的另一种方法被称为**蒸发**。什么是蒸发呢？

晶圆被装入另一个大的密闭容器中，容器中的空气被完全抽出。密闭容器中有一条卷成螺旋管式样的钨丝，一些小块的待沉积金属放在里面。

随着对钨丝通电，钨丝变得灼热，同时，里面的金属也被加热。随着钨丝越来越热，金属最终开始蒸发。被蒸发的金属原子飞到周围的

热气中，最终撞击到较冷的表面并形成一层凝聚层，它们凝聚在密闭容器中的所有地方，当然也包括我们的晶圆。

2.7　去除材料层

某些化学制品能够腐蚀材料。当我们将一些液态的化学制剂倒在晶圆上的时候，将发生某些化学反应，晶圆的表面被腐蚀。当我们在一个清洗槽中洗净腐蚀后的晶圆，下层的材料被暴露出来。这种腐蚀方法被称为**刻蚀**。

通过刻蚀工艺可以去除金属、氧化层等。借助于强有力的化学制品，能够去除许多材料层。

对新材料刻蚀的另一种方法是采用**反应离子刻蚀**即 **RIE**。RIE 的过程与溅射正好相反，电压极性反转，晶圆替代了溅射中的金属而被轰击。如果采用能够与新的表面材料发生化学反应的混合气体，则表面材料的刻蚀速度将更快。

晶圆的加工过程是有趣而危险的。在集成电路制造过程中采用的一些酸性物质对健康是有害的，特别是氢氟酸即 HF，特别危险，如果处理不及时则它将侵蚀你骨骼中的钙。正是因为担心 HF，我特地保存了一管氢氟酸中和剂。

幸运的是，我的老板认为我设计版图比制作工艺更合适，使我有了一个安全的环境。

我们现在知道了如何改变、增加、去除材料层，下面需要学习如何精确地控制这些工艺在晶圆上加工的位置[2]。

我们并不需要将材料层整个地覆盖在晶圆上，也不需要对整个的一层材料进行刻蚀或者对整个硅表面进行注入。通常情况下，仅仅是对表面的一小部分进行加工处理。这就是下一节将介绍的问题。

2.8　光刻

通过在晶圆上覆盖一层光敏的保护材料，我们能够选择特殊的三角形、矩形或其他形状构成的区域进行上面提到的工艺加工。这层光

---

② 也许你们会想：为什么又要将加上去的材料层去掉，不是找麻烦吗？

敏保护材料称为**抗蚀剂**或**光刻胶**。利用光刻胶的保护，能够对区域选择加工，仅仅未被保护的区域能够进行注入、刻蚀、溅射和蒸发。下面详细地介绍光刻胶是如何工作的。

首先在晶圆表面涂敷一层光刻胶，然后烘干，未被曝光的光刻胶保留下来并被硬化、固化成为保护层，被曝光的部分则改变了化学结构，具有可溶性。晶圆上那些被曝光的光刻胶部分随后被适当的溶剂溶解。

光化学反应改变了抗蚀性。

这步工艺被称为**光刻**。事如其名，光刻意思是“用光印刷”。

我们利用一块带有图形的玻璃板，透过这块玻璃板投射一束光到晶圆的表面，就在晶圆的表面形成了图形的阴影，玻璃板上的这些图形对应了要在工艺加工中保护的区域。光线通过玻璃板上透光区域照射到光刻胶上使其曝光，而版上的图形则阻碍了光线的通过，这些未被曝光的区域将变成坚硬的抗蚀层。

这块玻璃板被称为**掩模板**（**mask**），我们所画的每一层图形都对应了一块掩模板。掩模板上的图形通常用铬制作，这些铬层将阻挡光线的通过。

晶圆是平整的圆形，我们将其放在一个旋转台上，从上往晶圆上滴一些光刻胶，旋转台使晶圆旋转并使光刻胶向周围散开，这样，在晶圆上涂敷了一层平整、均匀、薄的光刻胶膜。

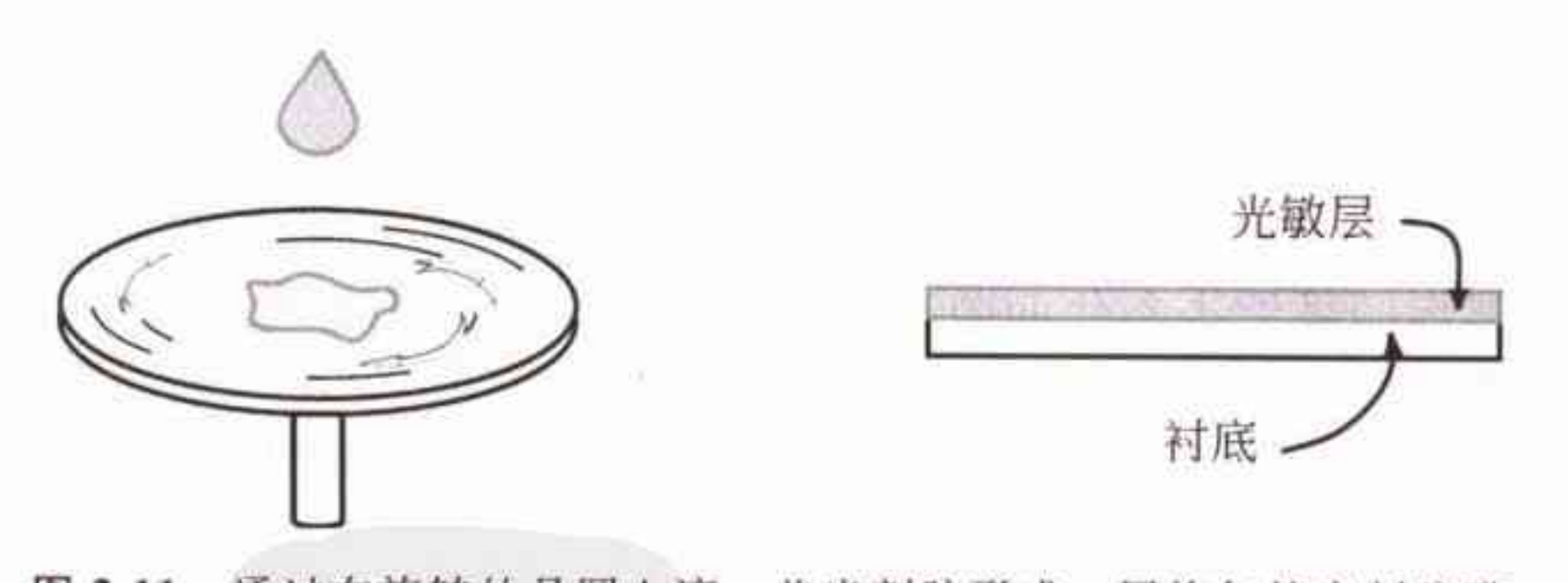


图 2-11 通过在旋转的晶圆上滴一些光刻胶形成一层均匀的光刻胶膜。

接下来，首先，通过热烘使抗蚀层变硬，然后，采用掩模板选择曝光，最后，**显影**。

对光刻胶显影是通过特殊的溶剂进行，通过曝光发生化学变化的部分被显影剂溶解并被清洗掉，现在，所有被曝光的光刻胶层都被去除了。

只有未曝光的部分即铬下的区域被保留。这些硬化的光刻胶图

形现在用来保护芯片上特殊的区域，避免被加工的区域。正是因为光刻胶阻挡了进一步的加工，所以称为抗蚀剂。

例如，当我们将芯片浸泡在强酸中，由光刻胶保护的区域将不与酸接触，同样地，如对芯片进行离子注入，有胶保护的区域则未被注入。凡是要保护的地方都应有光刻胶。

反过来，在酸槽中的晶圆上未被光刻胶保护的区域则被腐蚀掉。因此，通过选择光刻胶的图形，可以将图形之外的区域暴露在酸液中。在结束酸性腐蚀之后，可以通过其他方法将光刻胶全部去除。通常没有必要将这些光刻胶保留到下一步工艺，因为下一步的图形可能与这一步不同。对于每一步需要进行图形加工的都要制作相应的光刻胶图形，这就是为什么芯片的每一层都需要有自己的掩模板的原因。每一层都有不同的设计。

光刻胶有两种类型。一类光刻胶在原始状态不会被显影剂溶解，只有被曝光后才会被溶解，这种光刻胶被称为**正胶**，它使用得比较普遍。在这本书中所列举的都是正胶的例子。

另一种光刻胶正好相反，被曝光的区域不溶解于显影剂中，而掩模板上阴影区域所对应的光刻胶将会被显影剂溶解。这种类型的光刻胶被称为**负胶**。负性光刻胶不适合制作高质量的图形并且操作也较困难。

在集成电路制造中，无论是注入、刻蚀或做任何其他的表面加工，光刻都是加工的基础，它为我们确定了加工的确切位置。

每一步都需要涂敷一层光刻胶，都需要一块掩模板，都需要曝光，都需要显影，都需要处理，都需要为下一步作准备而去除光刻胶，而这些仅仅是整个工艺过程中的一个工艺步骤，一个材料层。一个芯片的制造可能需要 20 或 30 个材料层。

2.9　芯片制造

现在开始讨论集成电路制造的主要工艺，研究如何将这些工艺步骤组合在一起完成芯片的制造。

2.9.1　下凹图形的加工

这是一个实际例子。将在氧化层上制作一个称为窗口的凹槽，这听上去挺有趣，我们将通过酸性腐蚀方法做一个窗口。

要在一个完整的氧化层上开一个窗口就必须利用光刻胶来保护大部分不被腐蚀的区域，利用光刻胶上的窗口进行选择腐蚀。

请记住，我们使用的是正胶，因此，这就需要在溶解光刻胶的地方让光线通过，那里就是要开窗口的地方。掩模板上除了要透光的地方全都覆盖着一层铬层。作为例子，尽管这里采用了简单的图形，但实际上，在掩模板上有许多轮廓分明、图形复杂的区域。

被铬覆盖了大部分区域的掩模板被称为**暗场**掩模板，掩模板上的大部分区域都不透光。

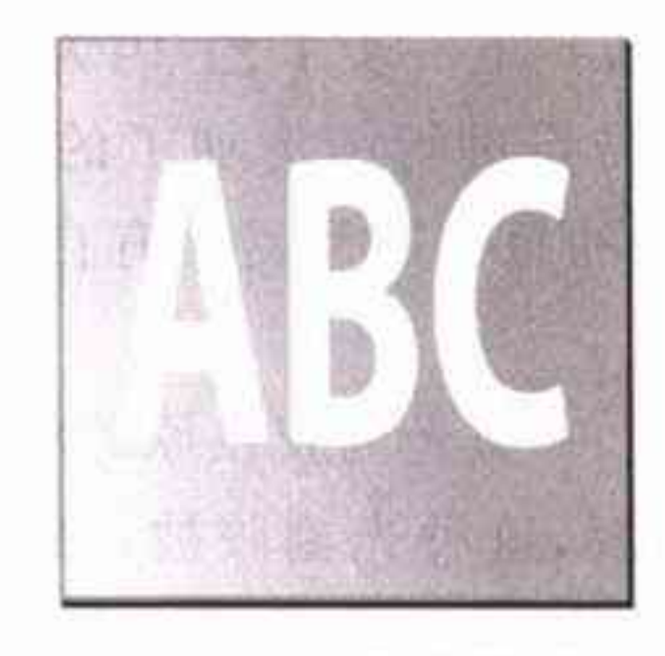


图 2-12 暗场掩模板。

主要的步骤是：

1. 将掩模板覆盖在芯片上，然后曝光。
2. 光线仅能通过铬版上我们开窗口的地方。
3. 在光刻胶上被曝光的区域发生光致化学反应。
4. 显影，曝光区域被显出。

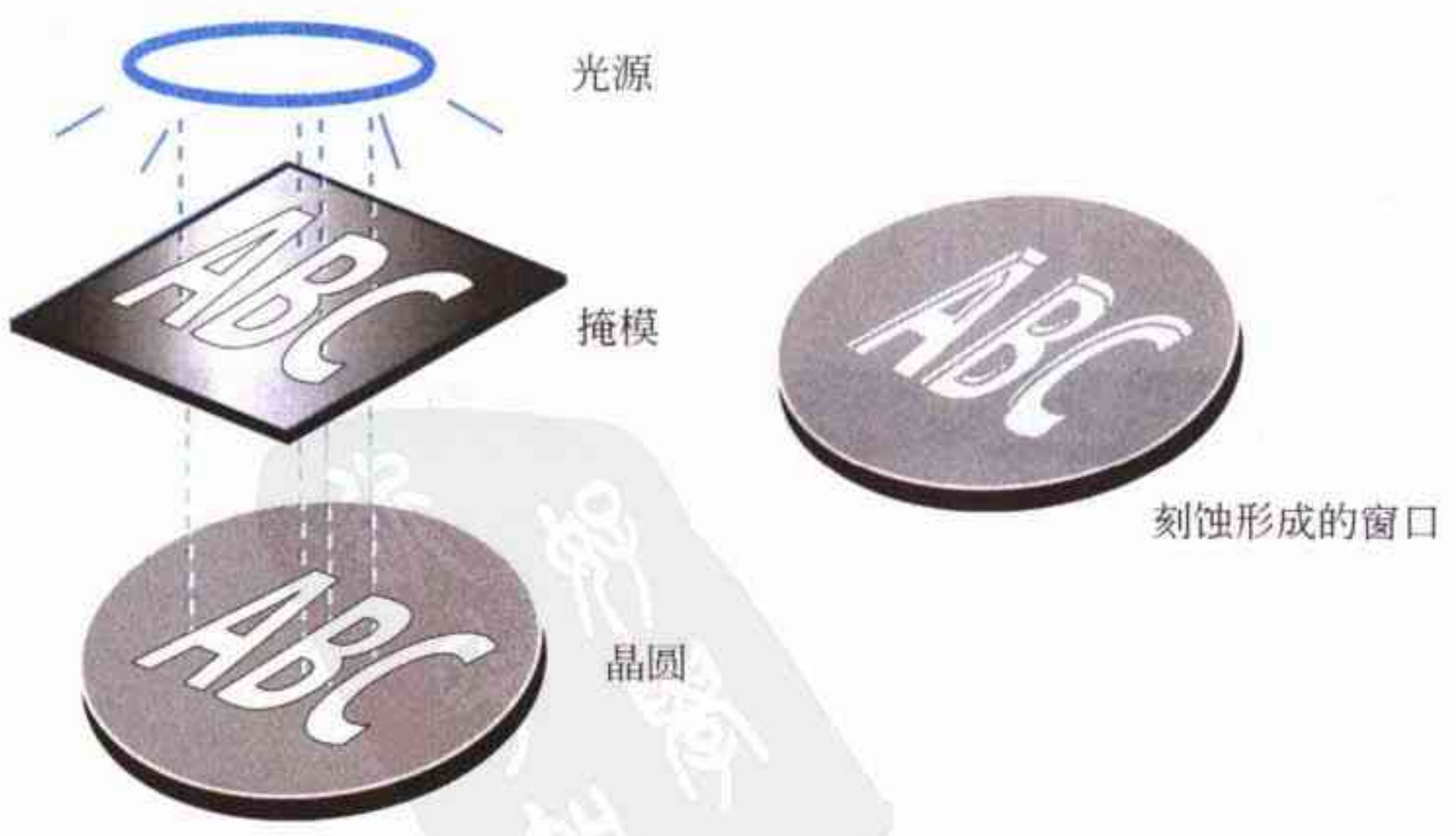
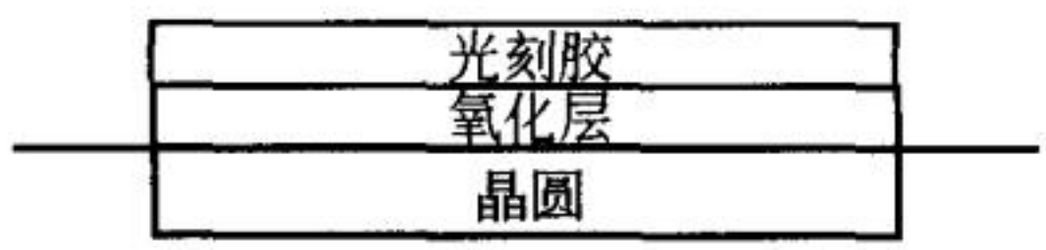


图 2-13 通过曝光和显影，留下了一个窗口。

现在，在光刻胶上有了一个窗口，它精确地位于被光线照射的部位。

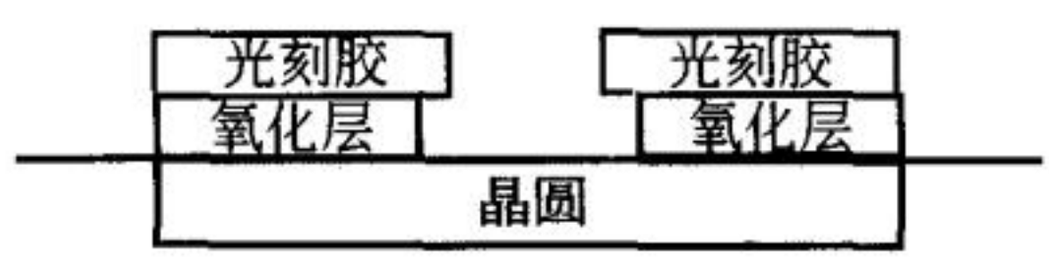
将芯片放入酸液池，这种特殊的酸腐蚀了氧化层，但留有光刻胶的表面却被保护住了。氧化层被腐蚀的部位仅仅是我们要开窗口的部分，图 2-14 说明了加工过程。

在用特殊去胶溶剂去除光刻胶之后，才能再开始下面的工艺步骤。注意，由图可见氧化层已经被腐蚀过了，实际的窗口大于掩模板上的图形。在设计掩模图形尺寸的时候要仔细地考虑过腐蚀的影响。

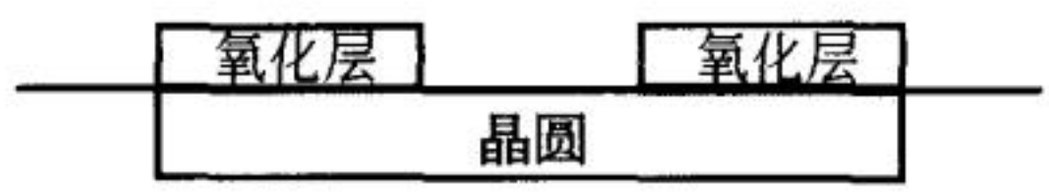


涂敷光刻胶后

光刻胶被曝光和显影



氧化层腐蚀以后



去除光刻胶

图 2-14　光刻胶保护氧化层示意图。

2.9.2　凸起图形的加工

现在，让我们利用光刻胶并通过酸性腐蚀制作一个凸出于表面的图形[③]。作为一个例子，这里在芯片上制作一个栅区。

和前面一样仍采用正胶。假设预先在晶圆上沉积了一层新的材料层，这里采用的是多晶硅栅材料，我们需要刻蚀它。与上例刻蚀一小部分区域所不同的是，现在需要将大部分区域刻蚀掉，留下的是小部分。

---

③　你可能会说可以通过向下溶解形成向上的图形，但这里不同，请相信我们，我们是作者。

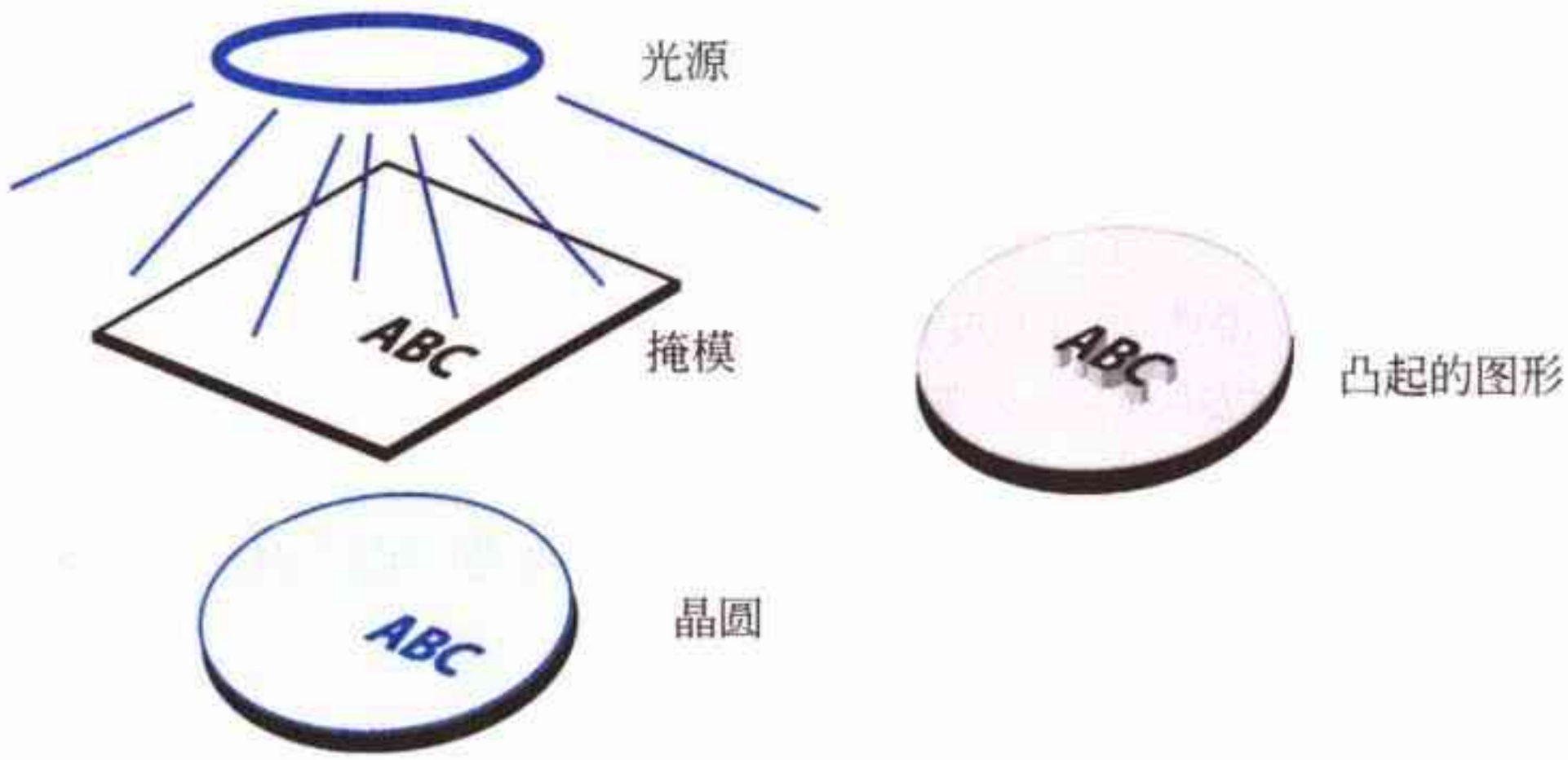


图 2-15 为制作凸起的图形，首先沉积一材料层，然后腐蚀掉凸起图形之外的部分。

现在仅需要保护表面的一小部分，阻止它与酸接触，因此，掩模板保持了玻璃的透明，仅有少量的铬区。这种掩模板称为**亮场**掩模板，掩模板的大部分是透明的。

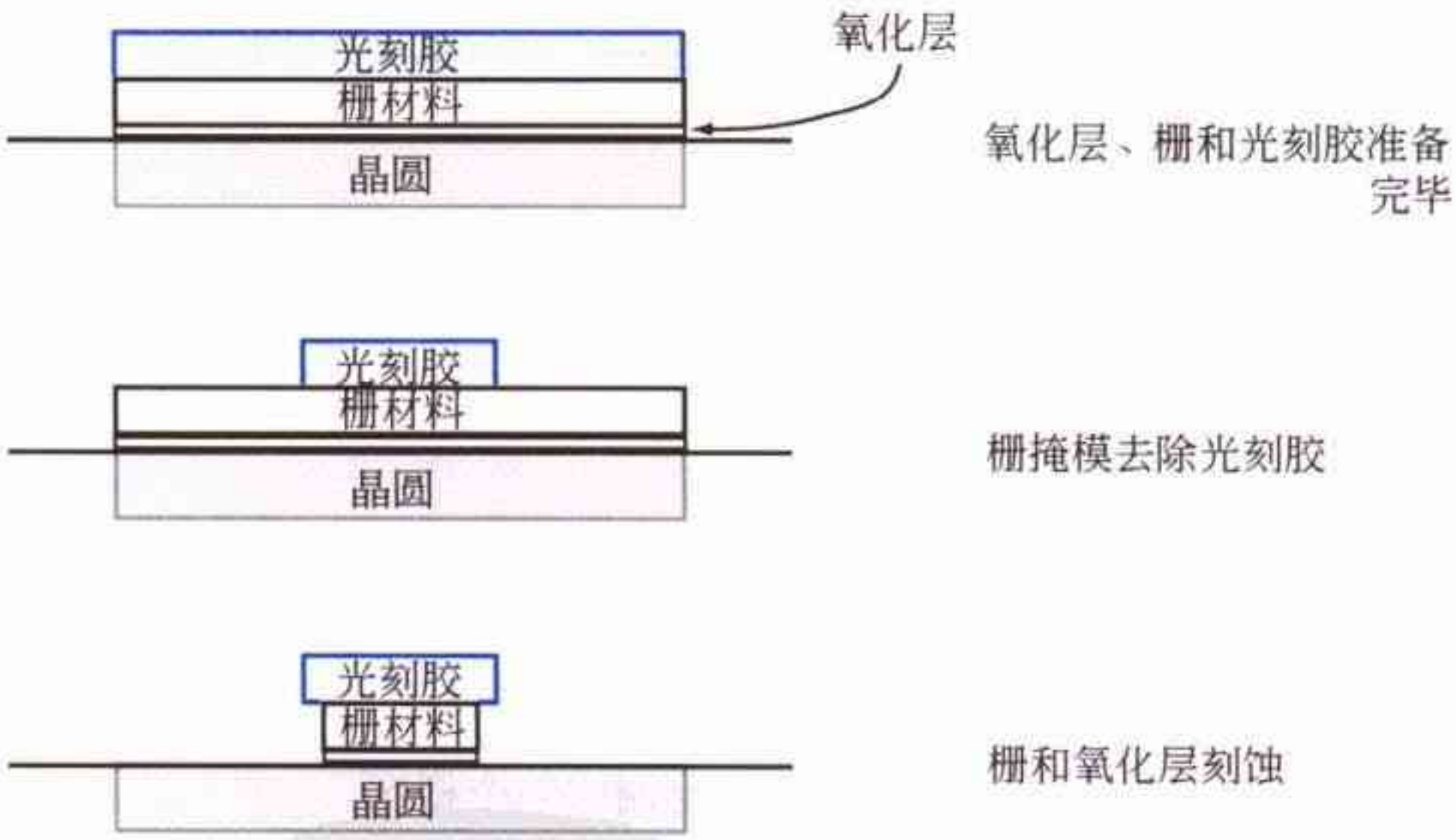


图 2-16 通过刻蚀掉周围的材料而形成栅的过程。

再一次实施曝光、显影和刻蚀，现在，只有多晶硅栅材料按照要求被留下了。这些小的被保护的区域全都凸出在表面上，其他部分则被刻蚀掉了。

在用特殊去胶溶剂去除光刻胶之后，我们能够再开始下面的工艺步骤。只利用一点点的区域却要每次覆盖一整层的材料，这似乎太浪费了。如果能够利用已存在的材料层则是个好主意，这样可以减少工艺步骤，节省时间和费用。

再一次地提请注意：最终形成的栅的尺寸是与掩模板上的尺寸有误差的，栅的过腐蚀使它的尺寸小于我们所设计的尺寸。在设计中必须考虑这些尺寸的扩大和缩小。如果要求栅的尺寸是 1 微米，并知道加工将使它缩小 0.1 微米，则设计画图时要扩大 0.1 微米去补偿。

2.9.3　平坦化

在进行了这样凹下去和凸出来的图形加工后，晶圆的表面变得非常不平整，尤其是在好几层以后。如果需要，可以通过一些新技术，如刻蚀、研磨和抛光方法使晶圆表面再次变平。使晶圆表面变平的技术被称为**平坦化**。

如果不采用平坦化技术，新的材料层可能会上下起伏，越过一些陡峭的凸起和凹槽。这些凸起和凹槽的拐角会引起应力，使材料在陡角处拉伸变薄，因此，必须增加额外的材料厚度以避免断裂。

只要使原先的平面变平坦了，你就可以采用较薄的材料层，就能够制作更小的图形，加工更小的尺寸。尺寸越小性能越好、速度越快，也越便宜。所以，平坦化改善了芯片的性能。

2.9.4　作为掩模的二氧化硅

采用光刻胶来屏蔽离子注入的效果并不太理想，而硅氧化物则要好得多，特别是它足够厚的时候，有时，氧化物可以起到更好的保护作用。

氧化层很容易获取，在氧气气氛中加热硅就能够生长出二氧化硅，就像铁生锈（铁氧化）一样简单。刚生长的二氧化硅是一个优秀的注入保护层。

通过光刻加工能够在新生长的氧化层上开一个窗口，并利用窗口之外的氧化层来保护其下的硅。当采用离子束扫描晶圆时，高能的粒子能够穿透光刻胶，却不能透过厚的氧化层，只有氧化层上的窗口处

才能被注入。

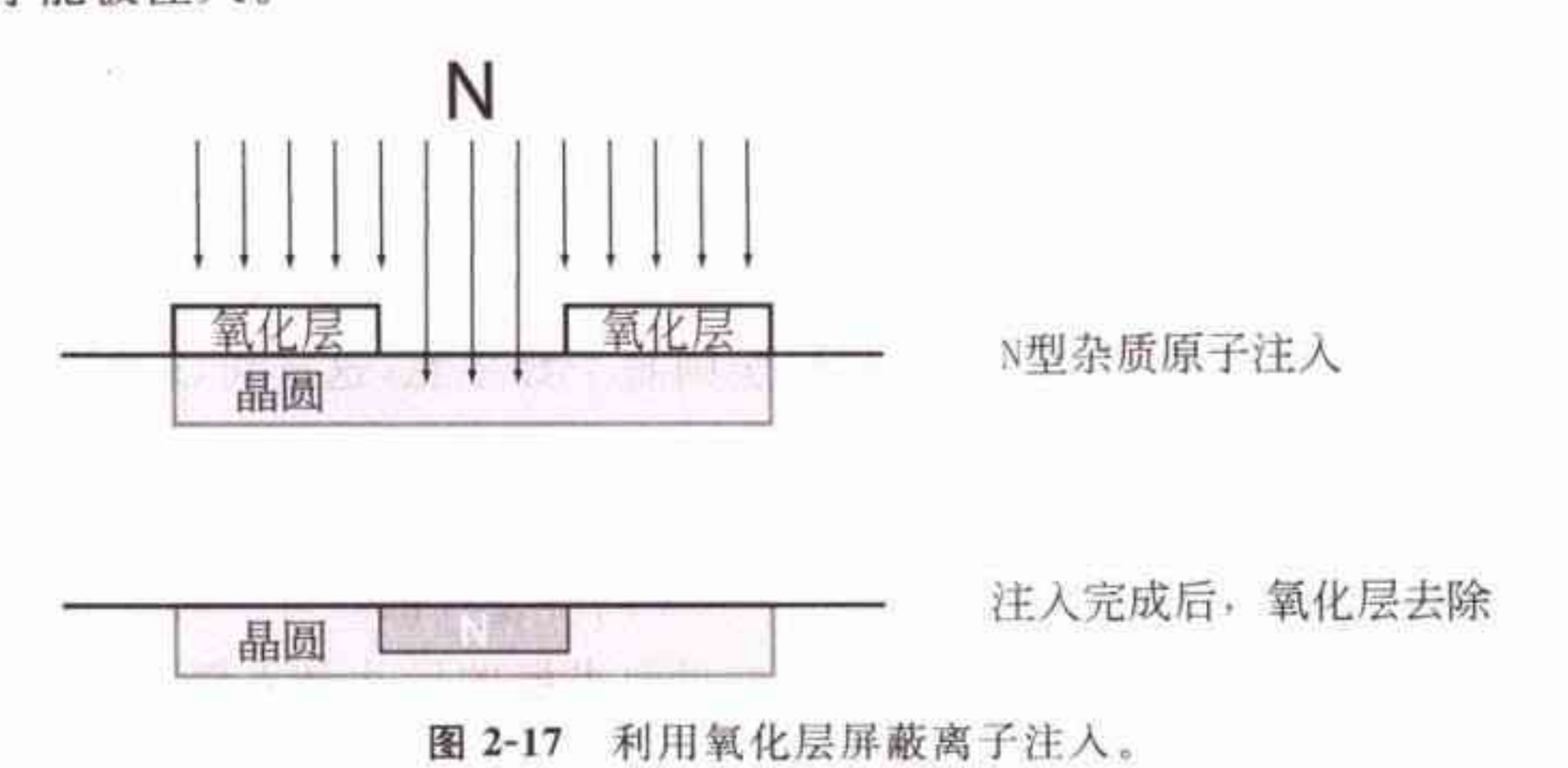


图 2-17　利用氧化层屏蔽离子注入。

2.10　自对准硅栅

人们总是希望晶体管具有尽可能快的开关速度。晶体管导通总是比关断它需要更多的时间，这是由于需要产生相当大的耗尽区。另一方面，对于增强型的场效应晶体管，因为栅区下的面积较小，开关比较容易，但尽管如此，还是要求栅与源漏精确对准。

为了形成自动对准，可以利用栅材料自身作为掩模去精确地对准源-漏区。下面介绍原理。

将没有氧化层的裸片放入通有氧气的高温炉内一定时间，就能够得到具有相当厚度的氧化层。接着是光刻胶的曝光、显影，然后在氧化层上刻蚀一个窗口。这个窗口直达硅衬底，使下面的硅裸露出来。

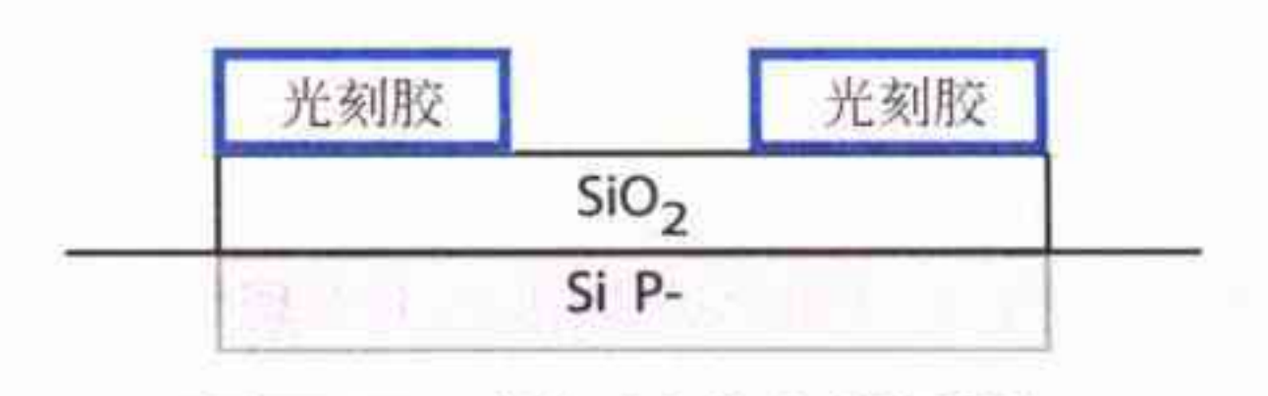


图 2-18　二氧化硅上的光刻胶图形。

图 2-19　制作两个非常厚的二氧化硅隔离区。

现在，在需要的地方有了非常厚的氧化层作为隔离区。

将晶圆再次放入氧化炉数分钟，在窗口处生长另一层二氧化硅，

这层很薄的二氧化硅将使栅材料与硅衬底非常接近，它是生长在硅衬底之上的薄的绝缘层。

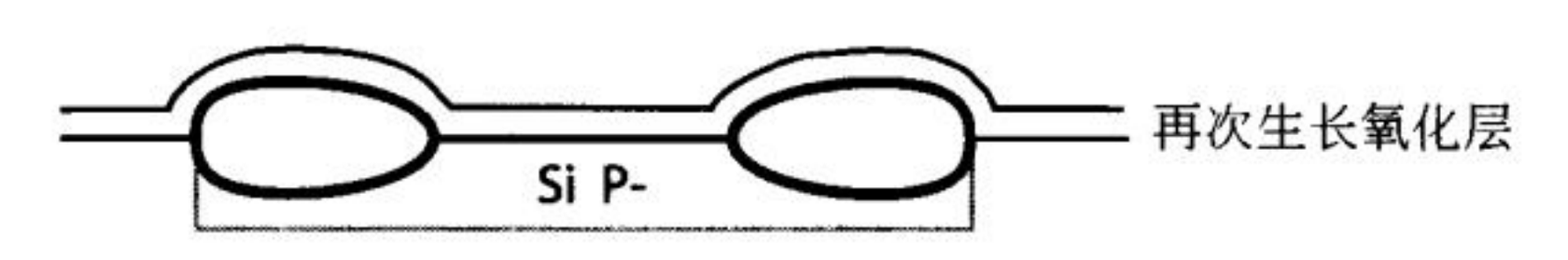


图 2-20　采用薄的二氧化硅作为栅下的绝缘层。

下一步是沉积多晶硅作为栅材料。多晶硅层覆盖了整个的晶圆，利用栅掩模板进行光刻胶的曝光和显影。栅掩模板是亮场版，因此大部分的多晶硅被刻蚀。

图 2-21　置于薄氧化层之上的多晶硅栅。

栅区经刻蚀形成了一个非常小的多晶硅条，它位于由厚的二氧化硅隔离出来的凹区中。接下来刻蚀掉刚生长的二氧化硅，这时，只有多晶硅栅下的二氧化硅由于栅的保护而留下来，栅条则位于二氧化硅薄层的上面。在刻蚀掉凹区中的薄氧化层后，凹区的硅衬底再次裸露。

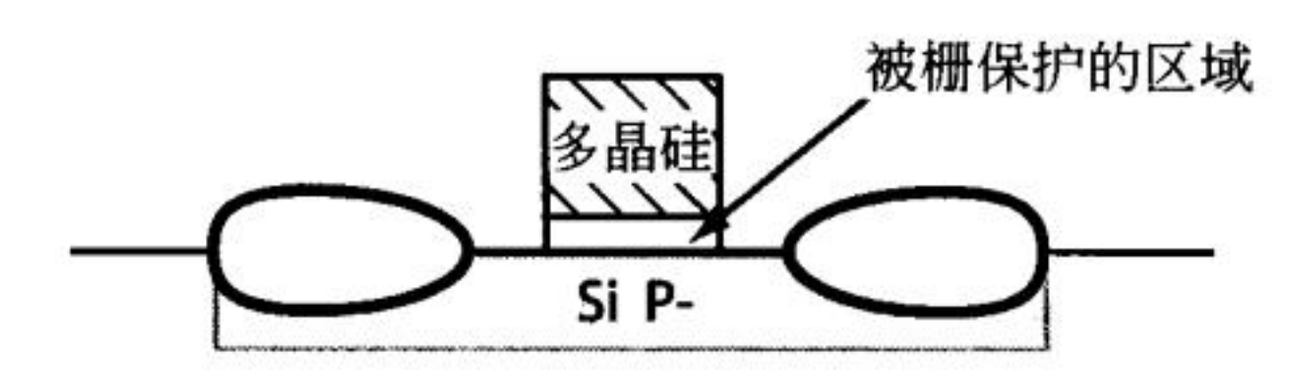


图 2-22　如同掩模板上的图形一样，栅屏蔽了对下面的二氧化硅刻蚀。

下一步工艺是离子注入。栅条、裸露的衬底以及厚氧化层都被注入。

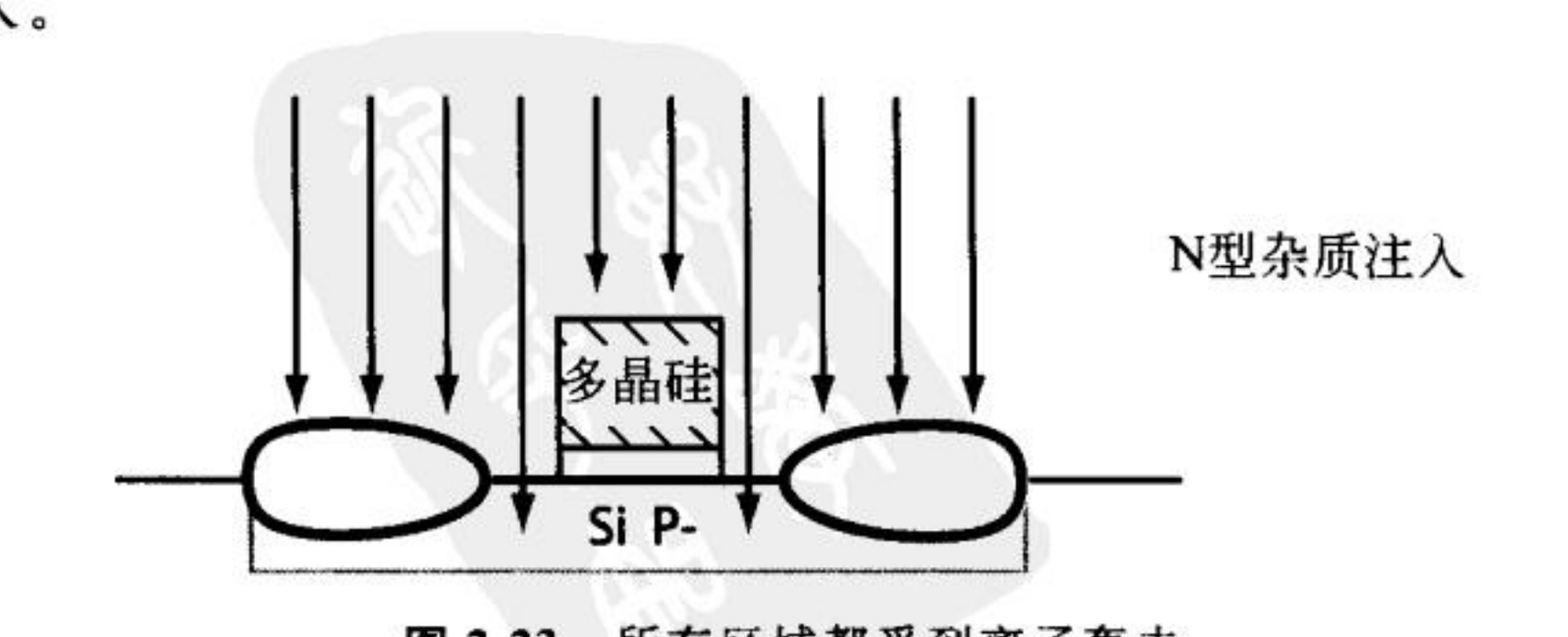


图 2-23　所有区域都受到离子轰击。

栅和厚的二氧化硅屏蔽了各自下面的硅，只有栅条两边裸露的硅被注入，这就确保了栅条与源-漏区边界的对准，不需要再采用其他的对准技术了。

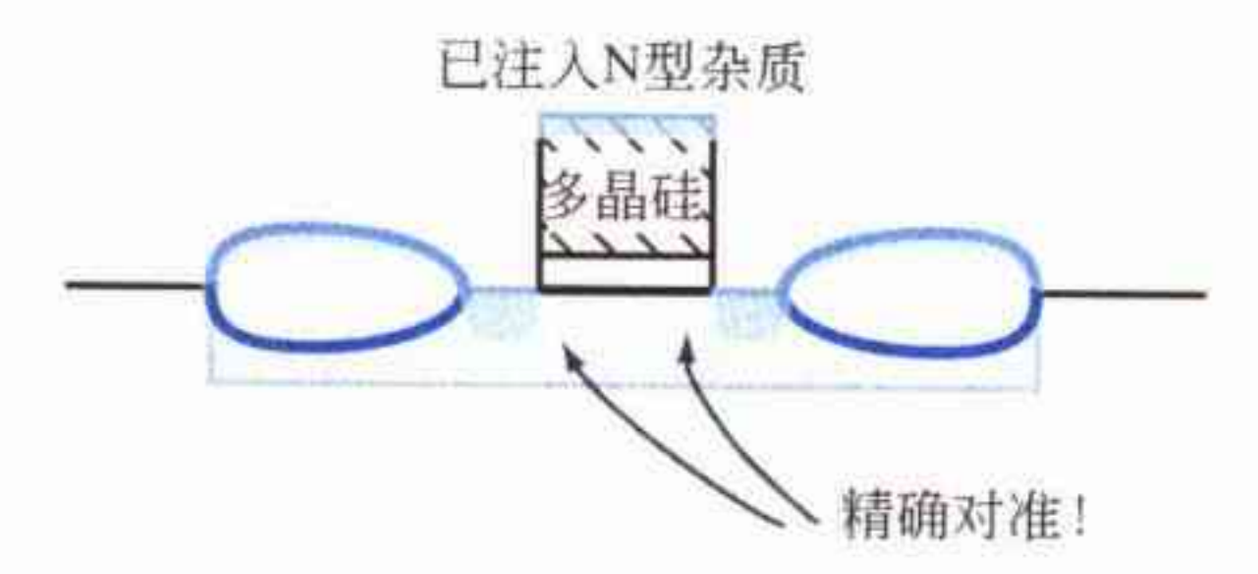


图 2-24 硅栅自对准。

在这里栅已经第二次扮演了掩模的角色。由于栅的屏蔽作用，N型杂质不能进入栅的下面，在栅的两边形成了独立的两块 N 型区域。这被称为**硅栅自对准**④。

在进行退火的时候，源-漏区会由于扩散而稍稍进入到栅下一点点，重叠是这样的小，甚至都不能用“浅”来描述。因为覆盖区域非常小，不会增加太多的器件关断时间。

在退火的同时，还可以在表面生长另一层二氧化硅。热处理工艺能够既生长二氧化硅又完成退火。

图 2-25 可以在退火的同时生长二氧化硅。

栅的基本位置设计没有太多的问题，关键是要注意在边界上，N+区是否与栅对齐。栅要正好位于厚氧化层之间下凹的区域中间，注入 N+杂质并且每个图形都必须适当地安置。

所有 CMOS 工艺都有差别。有些公司在源-漏区注入时，表面留有薄的二氧化硅，有些则不这样；有些公司不采用在厚氧化层中刻蚀窗口而采用在氧化时利用氮化硅做屏蔽。这里给出的一些例子只是为了帮助对相关工艺获得基本的理解。如果你真的对你所在公司工艺的细节有兴趣的话，可以去咨询工艺操作员，让他们对每步工艺进

④ 简称 SAINT 工艺。

行解释。在搬运 GaAs 晶圆盒子的时候要小心一些。

结束语

这一章阐述了如何将我们所设计的图形转变成三维结构，通过了解如何制造芯片对 CMOS 工艺进行了简述。

当今世界的每一个工艺都不完全相同。例如，对于在扩散层上布线，A 公司的工艺可能很适合，而 B 公司的工艺可能就不行；一些公司允许引线电容，一些则不允许，这些完全取决于工艺。

当你到某公司工作时，他们会告诉你他们独特的工艺，一步一步的细节。例如："你可以用这个材料做引线，不能用那个。这是扩散区，你可以这样做，不可以那样做。"无论公司的特殊的工艺规则是什么，现在你应该能够就你的版图提出正确的问题并根据答案想象空间结构。

没搞清楚工艺就别离开。

这里，我不是说你搞不懂就不离开，而是说你必须搞清楚工艺。每一个从事版图设计的人都必须了解工艺。

当我注视着版图的时候，我想的并不是版图，而是想着这个电路怎样工作，电流在哪儿流动，或者电路节点的电压是多少。

试着去思考一个流程，使其与你的电路相匹配。去想各个元件、电路，慢慢地，这些图形逐渐就会清晰了。

如果你在一个集成电路制造工厂工作，你能够真实地看见加工过程，这是一个很好的经历。如果你知道了各矩形在三维空间的相互作用，你在设计中就能游刃有余了。有了良好的工艺背景：

- 你能够编写设计规则。每层材料做什么？它们的相互关系是什么？什么将导致什么？
- 你能够学会走捷径。例如，这里的二极管与那里的是利用相同的工艺制造，为什么不合并呢？
- 你能够设计一个全定制的、库里没有的元件，不必再受到只能复制和利用单元库单元的限制。

虽然，你并不需要精通每一个微小的差别，但这将促进你了解基

本知识，为你将来理解工作做准备。

随着时间和经验积累，你将能够眼睛看着电路，心里想象着版图，到了这个水平，你就不仅仅是工作，而是在创造。

本章学过的内容

在本章中，你看到了以下内容：

- 单晶硅晶圆的获得
- 利用离子注入对硅进行掺杂
- 光刻
- 亮场和暗场掩模板
- 外延沉积是朝上生长的
- 由退火引起的扩散
- 如何形成硅栅自对准

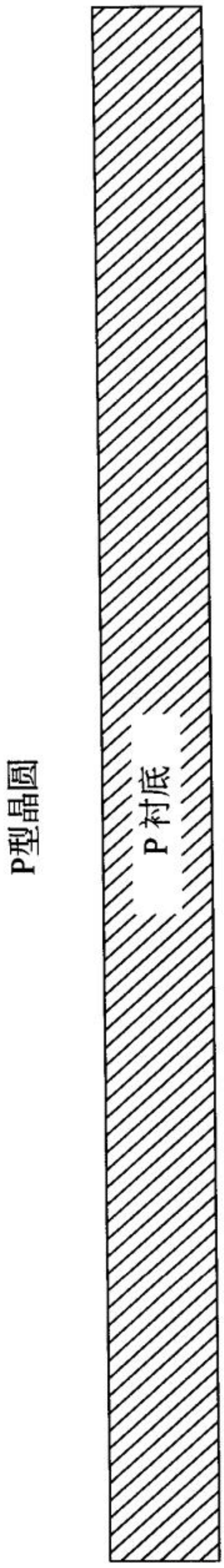
……

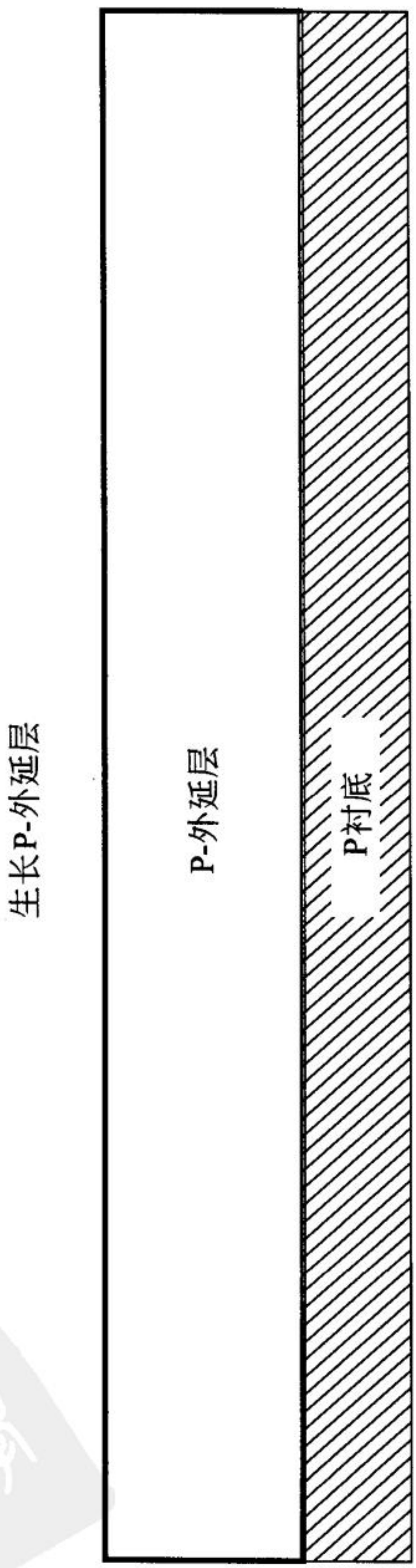
***Christopher* 的声明：**

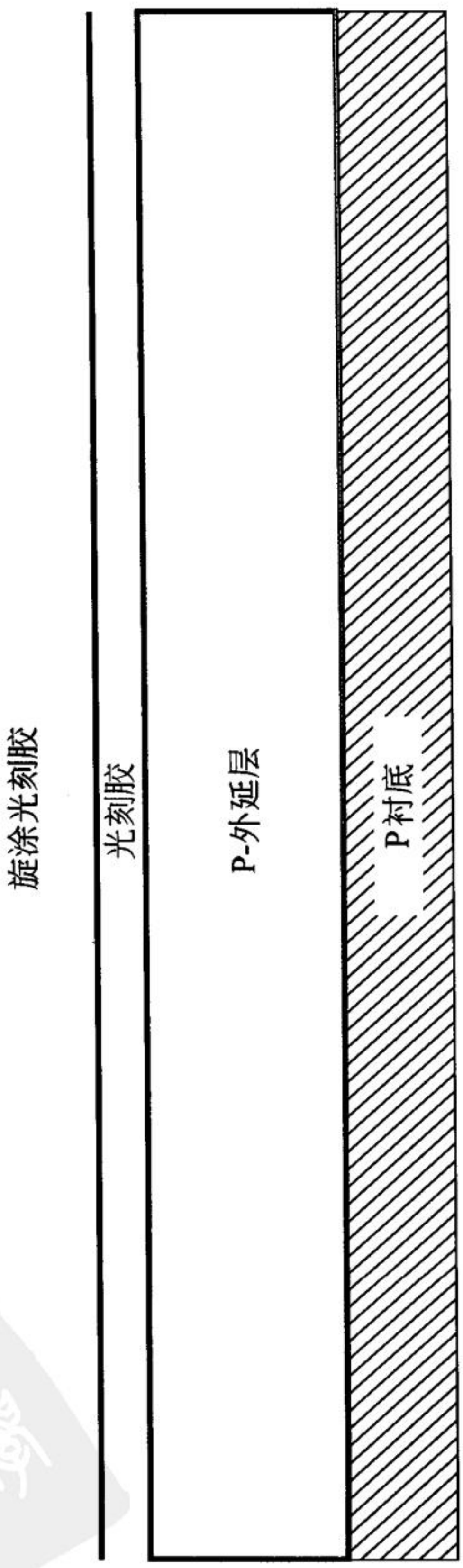
下面分步给出了典型 CMOS 工艺的流程图。所画的并不完全表示实际半导体工艺的真实截面图，这里对细节做了简化以便说明，目的是让读者对半导体工艺基础有一个感性认识。此外，所表示的工艺是普通的并且不是 100%准确。我们是有意这样做的，目的是使你理解这些细微的差别，掌握被广泛使用的工艺，换句话说，我们知道流程中的错误，你们不需要来信告诉我们怎样纠正流程。

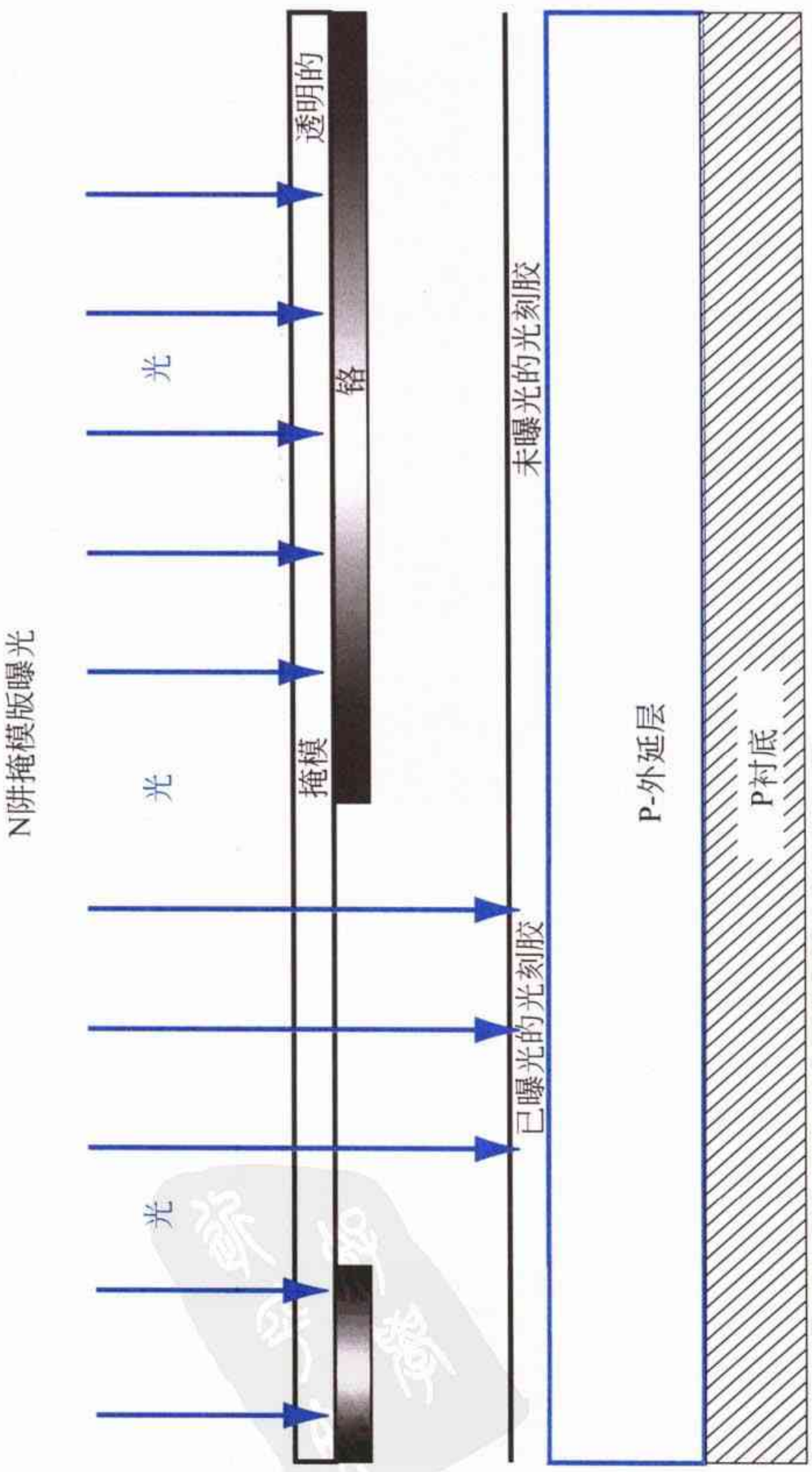
***Judy* 的声明：**

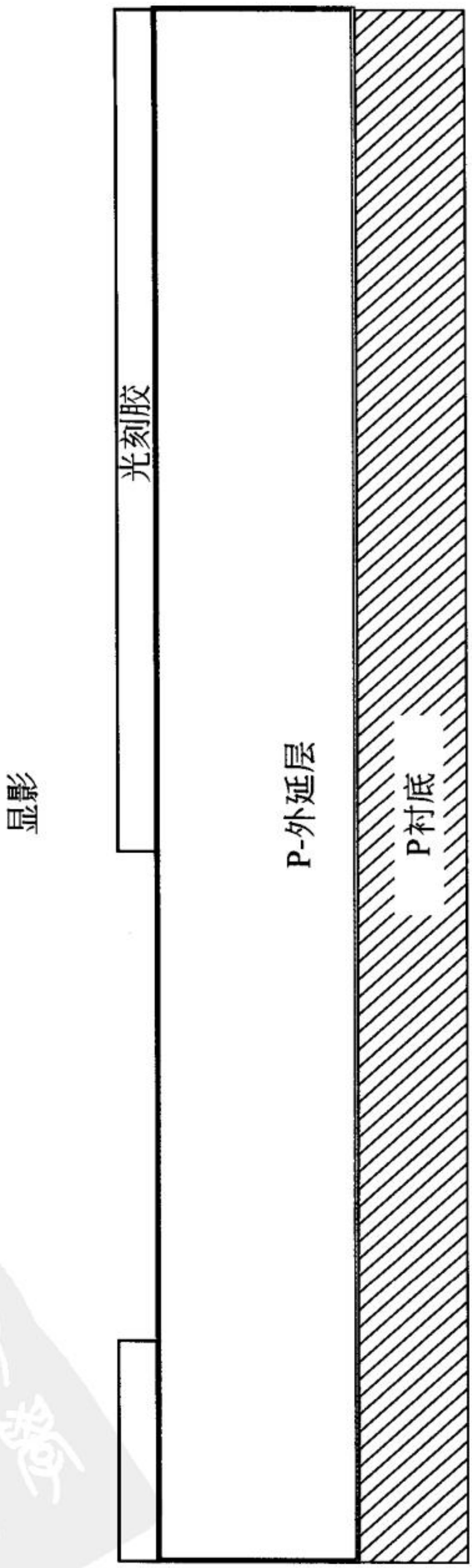
我仅仅是根据 Chris 的要求画图，我愿意收到邮件。

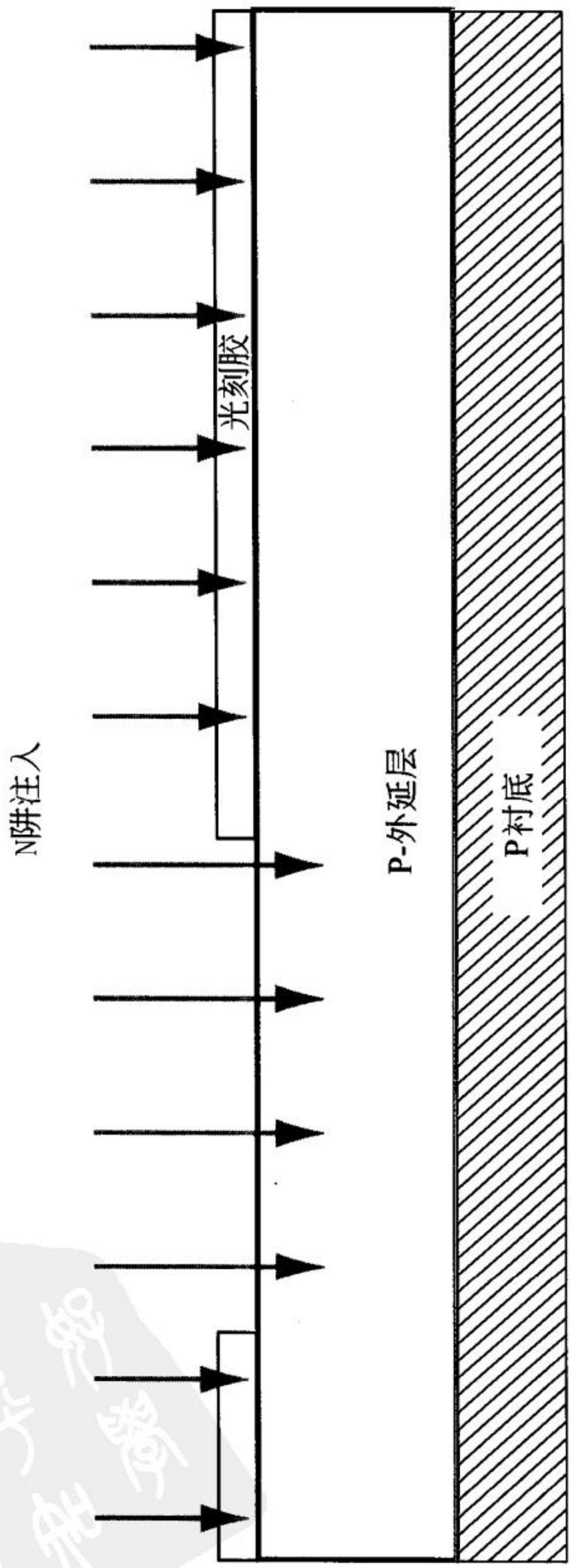

P型晶圆
P 衬底

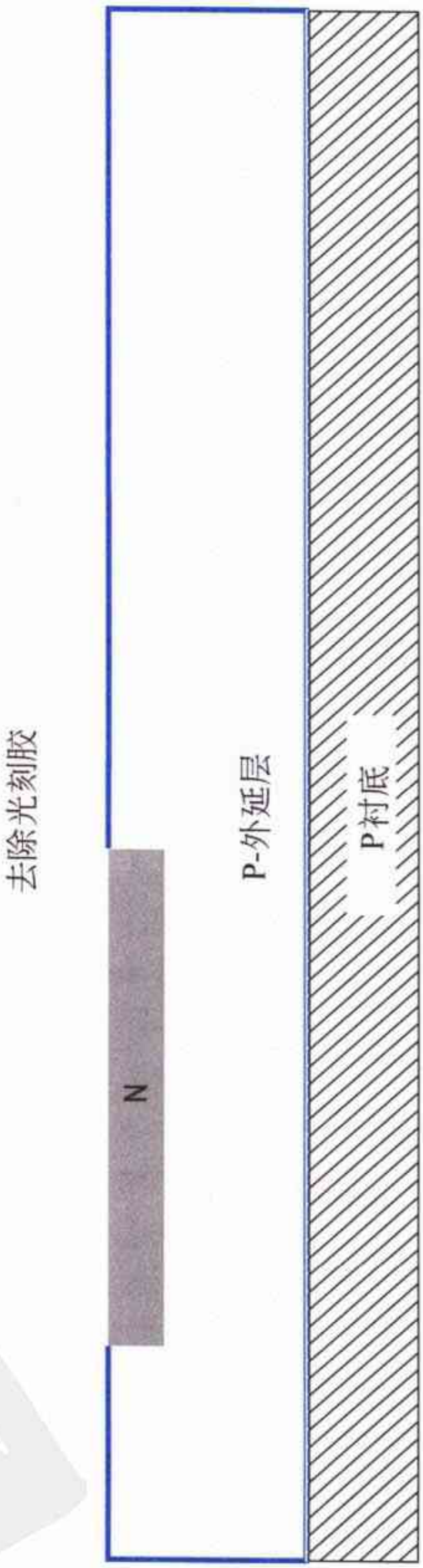

生长P-外延层
P-外延层
P衬底

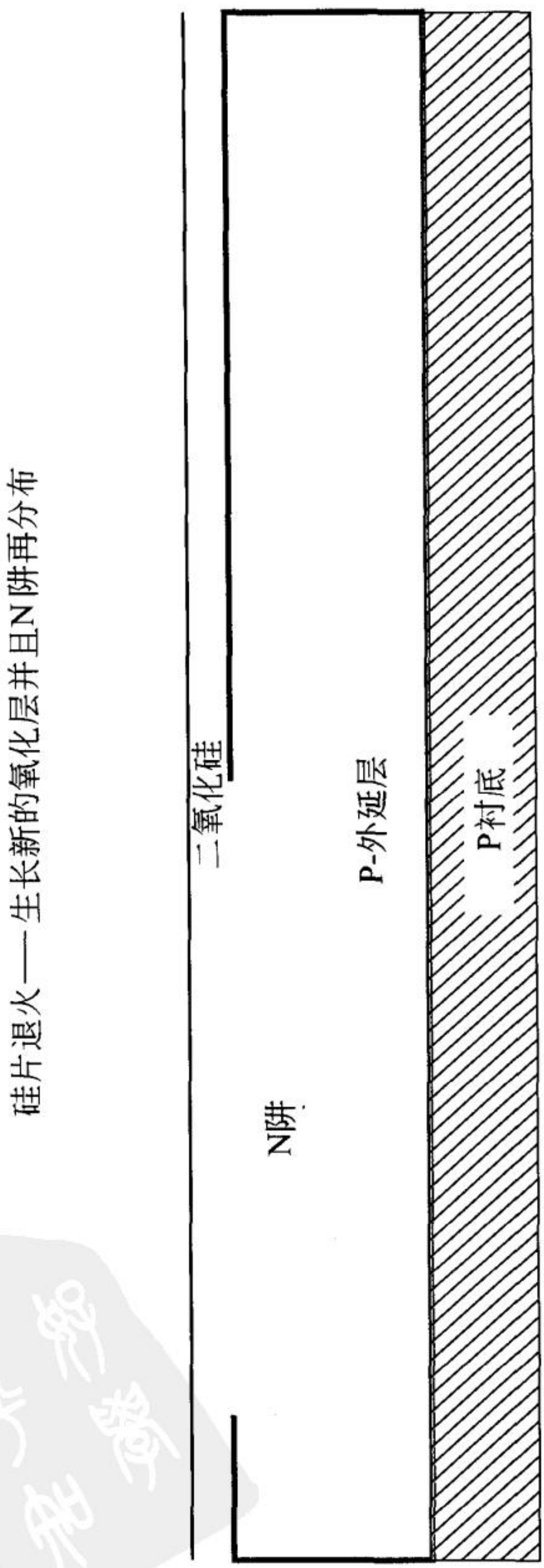

旋涂光刻胶
光刻胶
P-外延层
P衬底

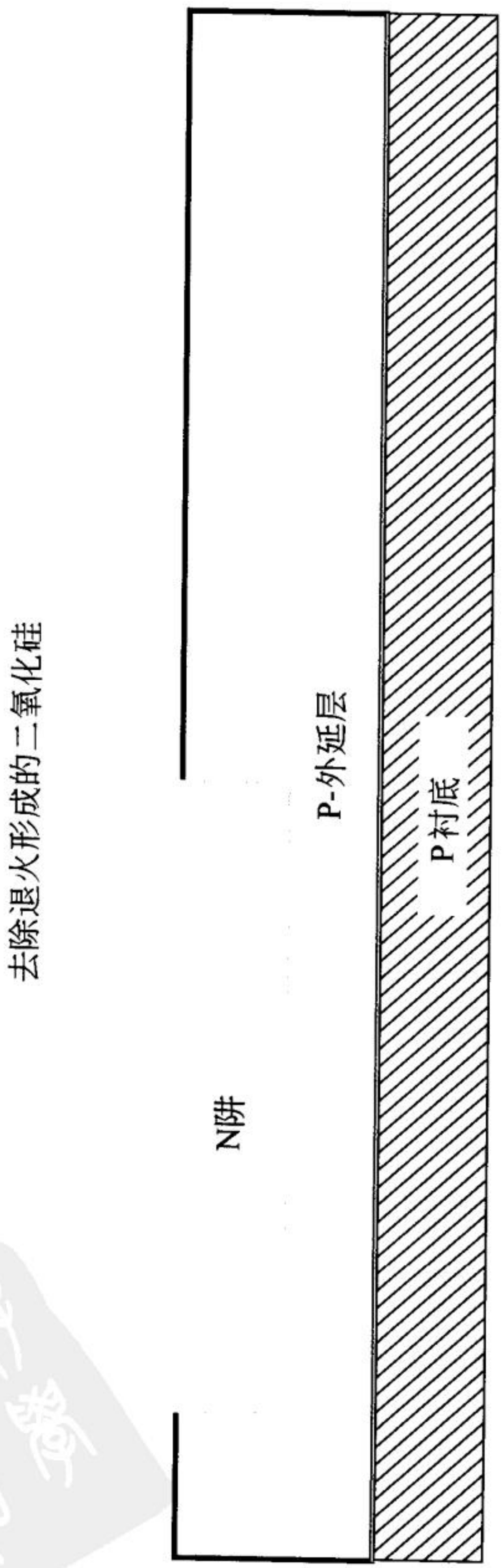

N阱掩模版曝光
光
光
光
透明的
铬
掩模
已曝光的光刻胶
未曝光的光刻胶
P-外延层
P衬底

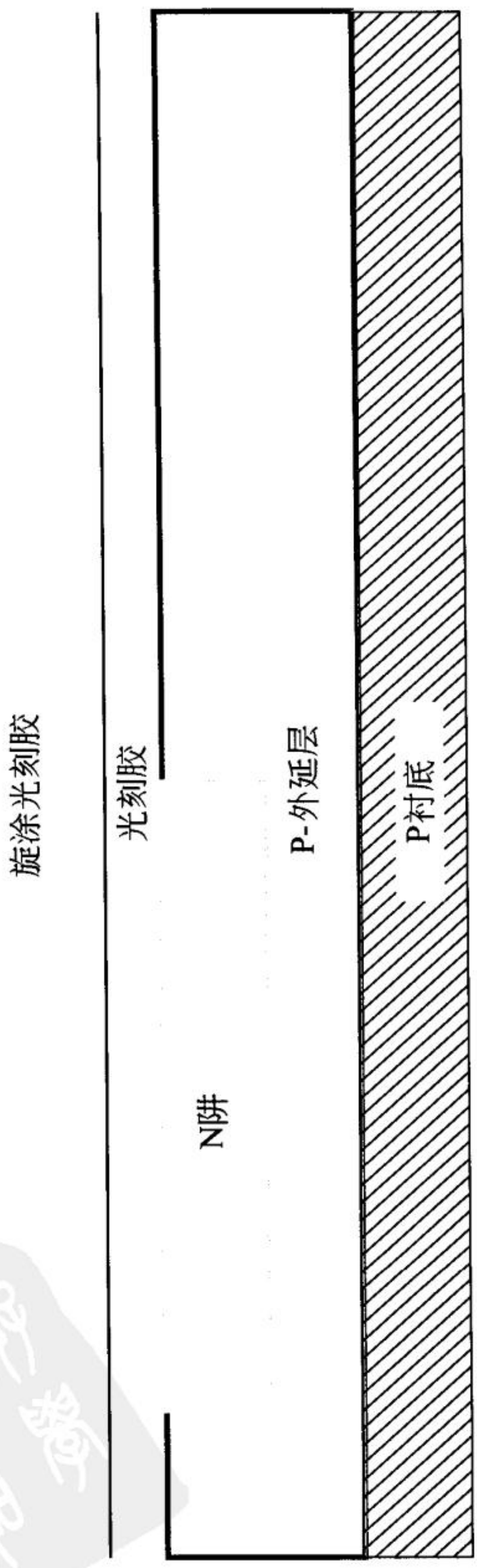

光刻胶
显影
P-外延层
P衬底

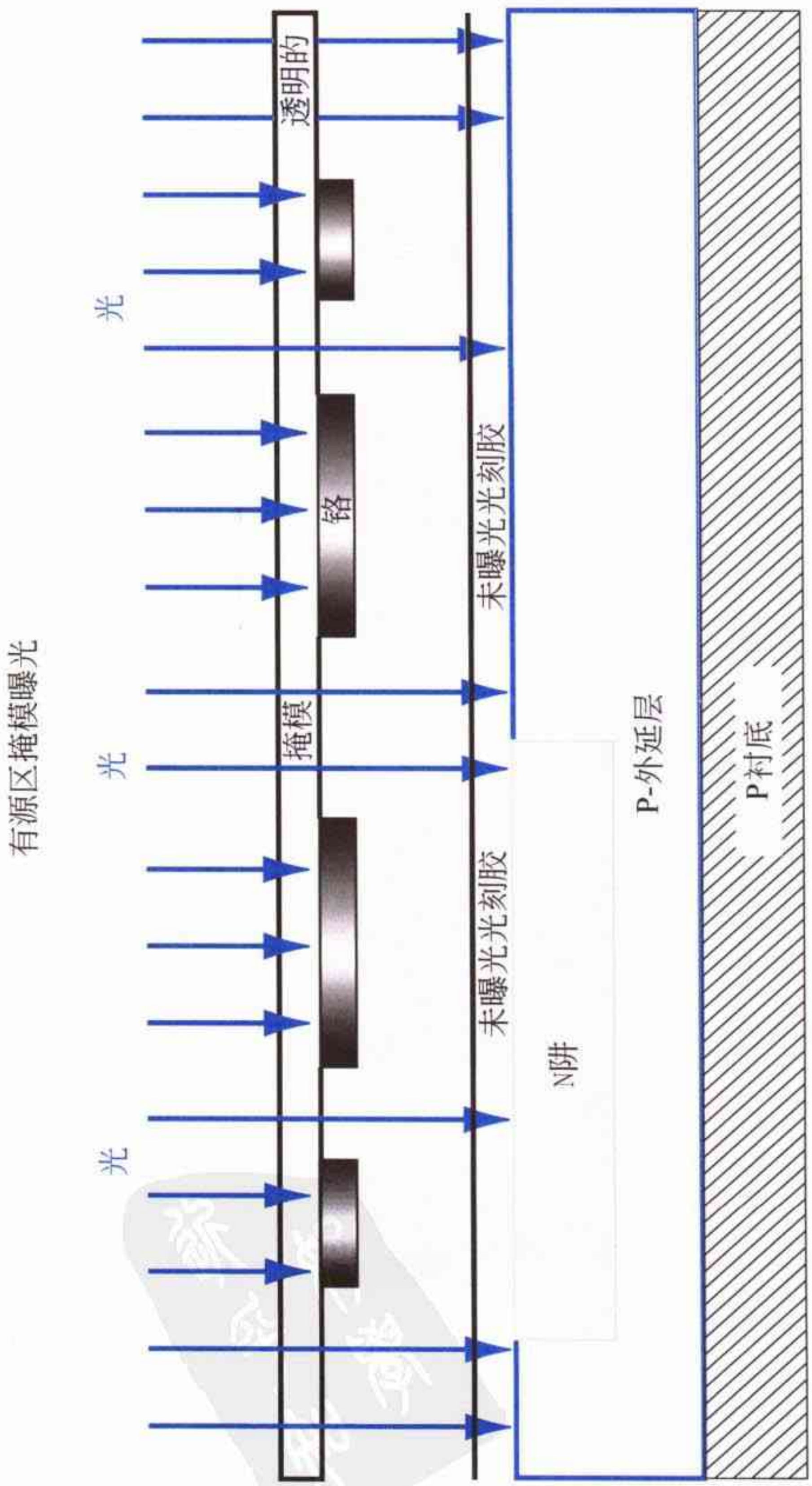

光刻胶
N阱注入
P-外延层
P衬底

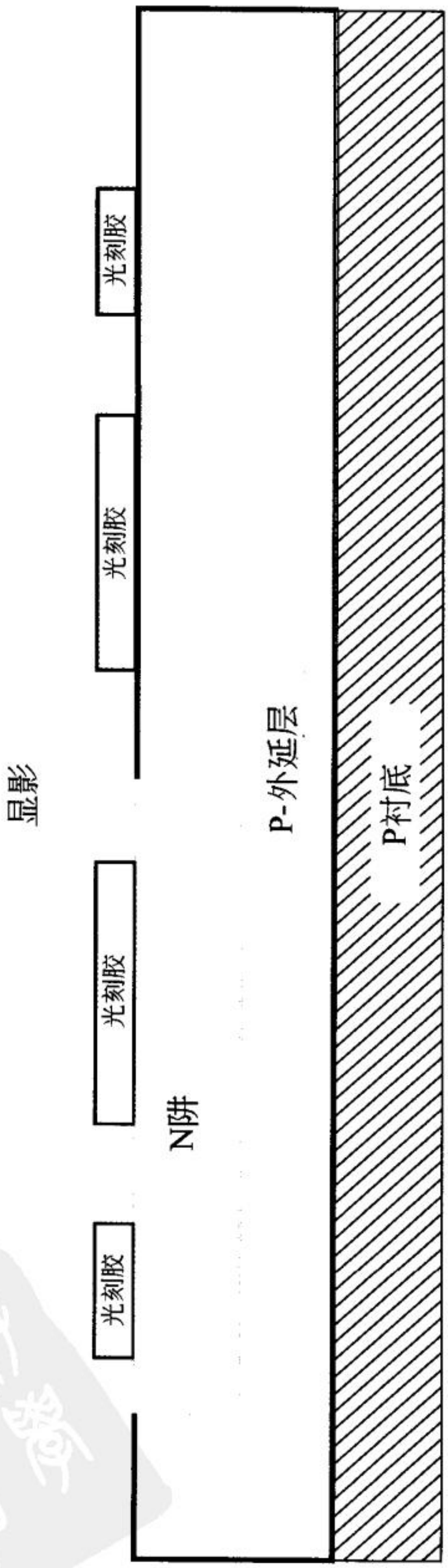

去除光刻胶
N
P-外延层
P衬底

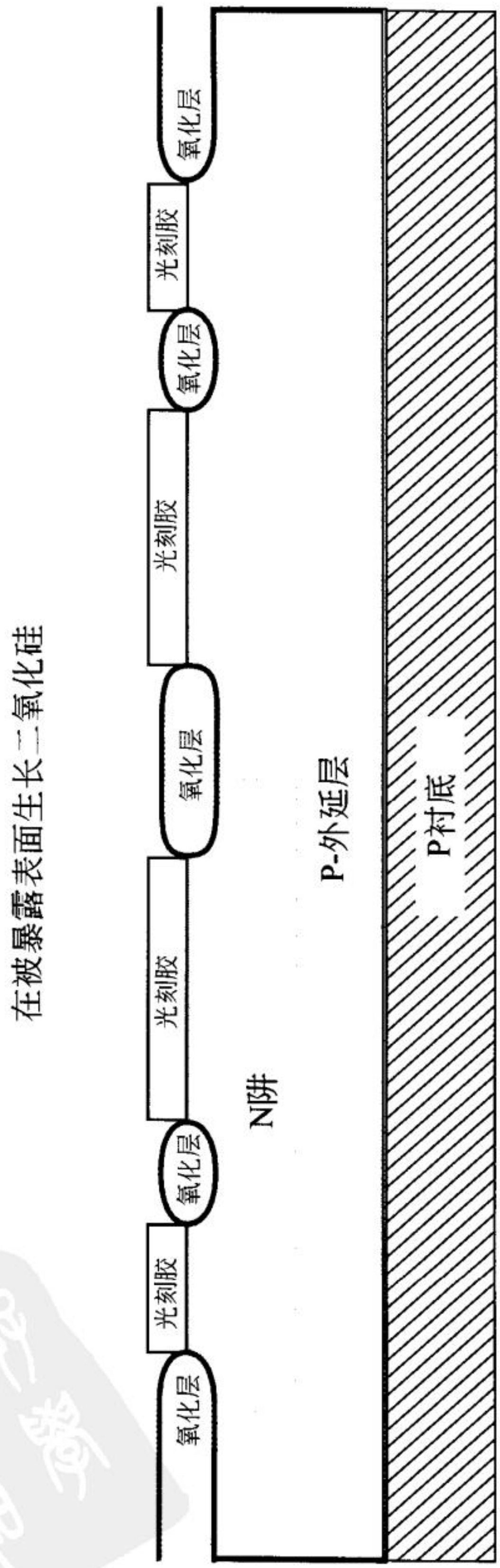

硅片退火——生长新的氧化层并且N阱再分布
二氧化硅
P-外延层
P衬底
N阱

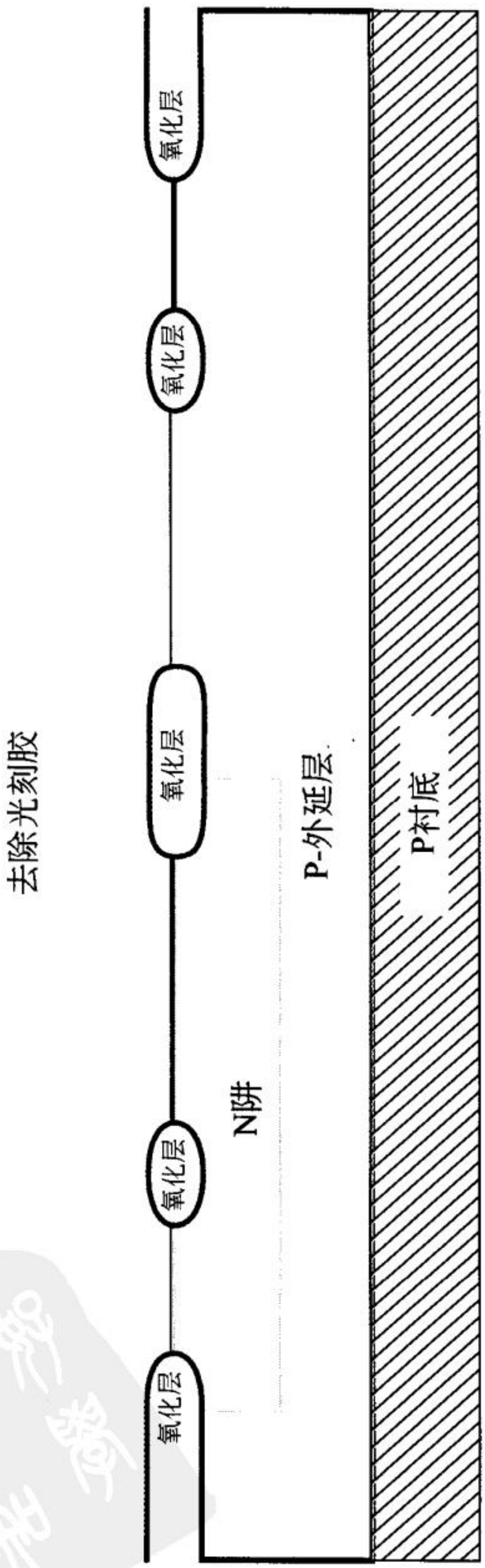

去除退火形成的二氧化硅
P-外延层
P衬底
N阱

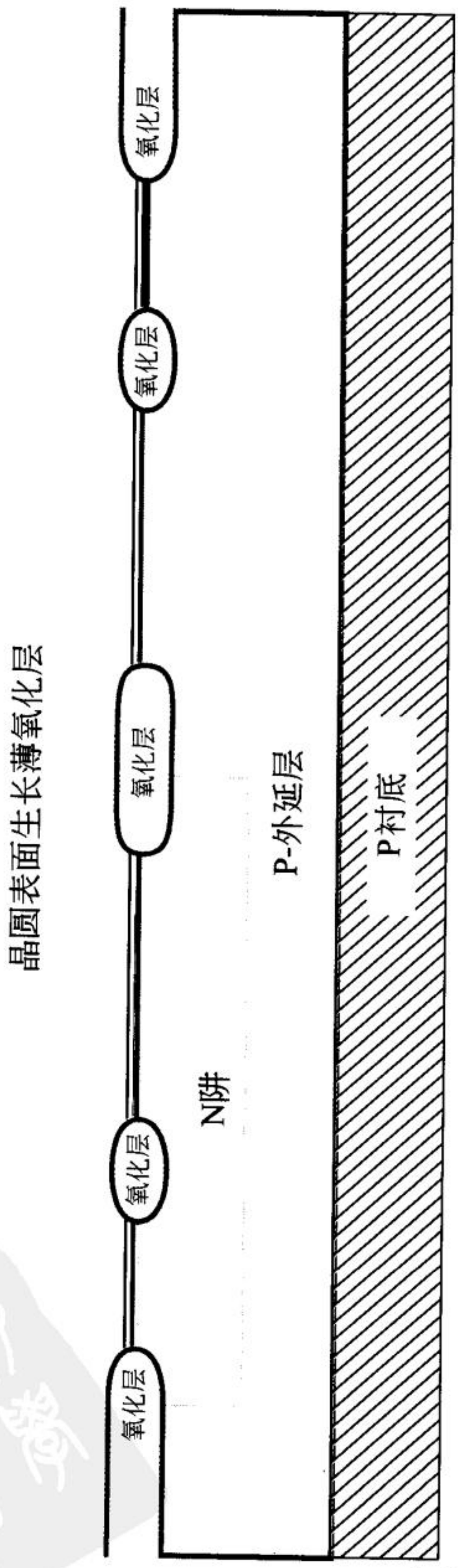

旋涂光刻胶
光刻胶
N阱
P-外延层
P衬底

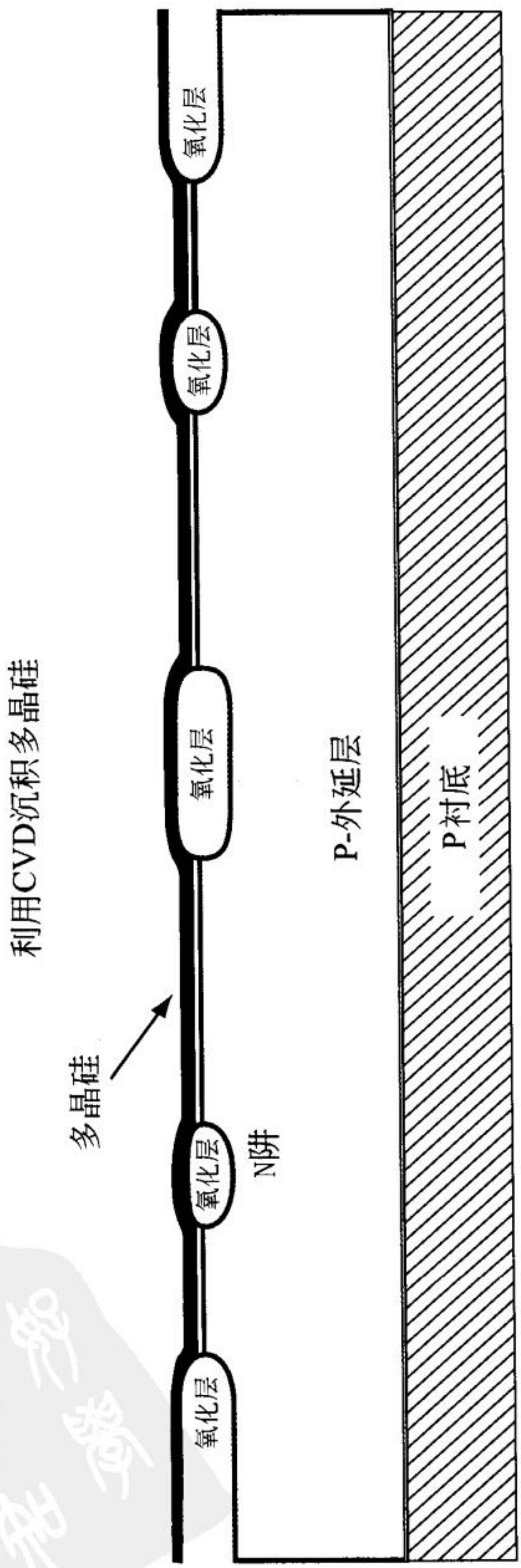

有源区掩模曝光
光
光
光
透明的
铬
掩模
未曝光光刻胶
未曝光光刻胶
N阱
P-外延层
P衬底

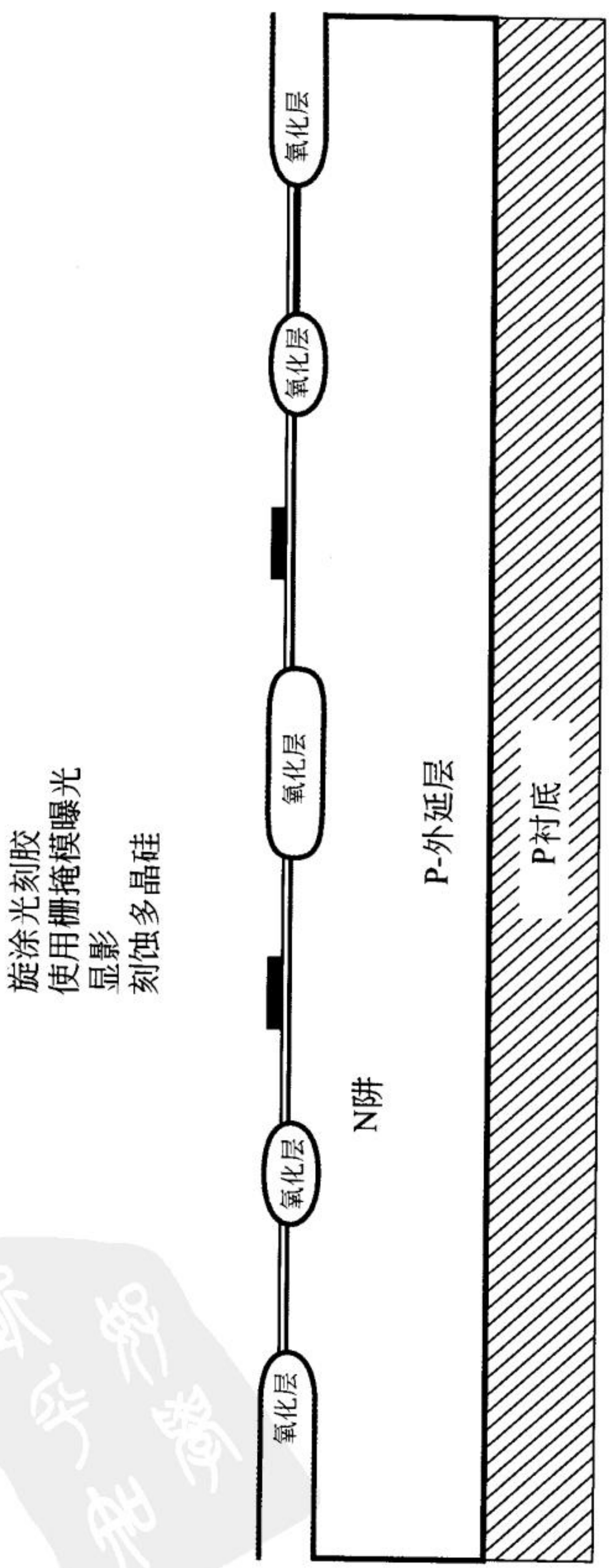

光刻胶
光刻胶
光刻胶
光刻胶
显影
P-外延层
P衬底
N阱

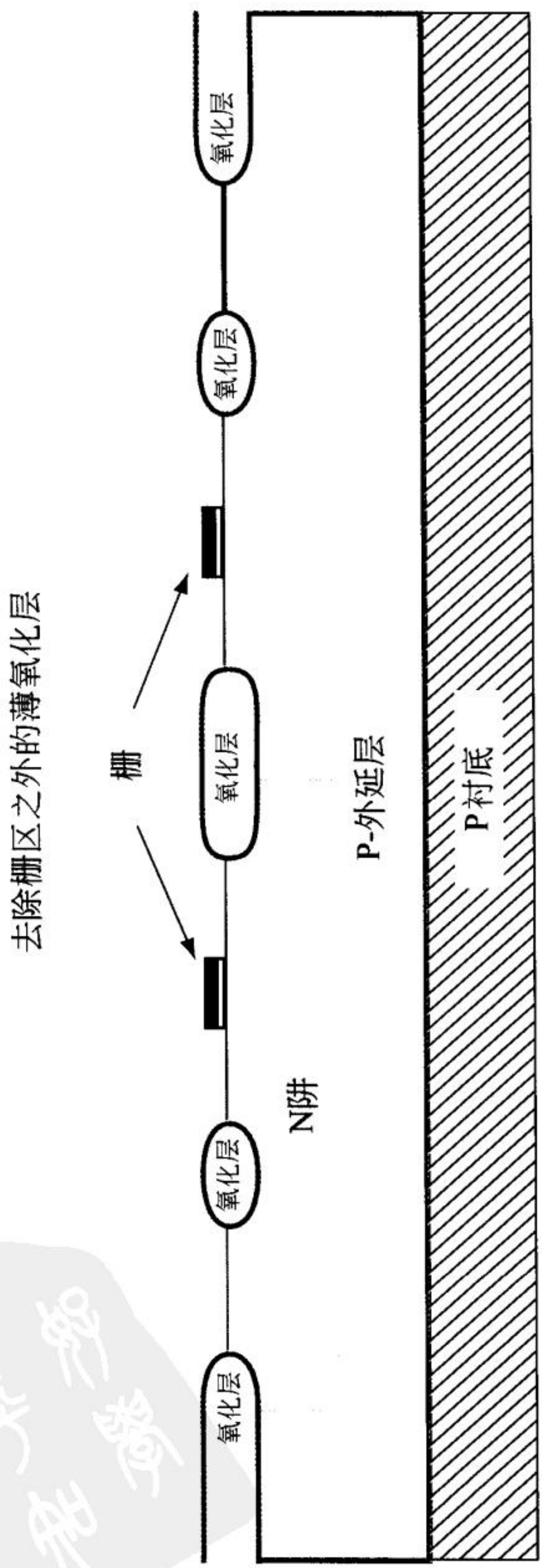

氧化层
光刻胶
氧化层
光刻胶
氧化层
光刻胶
氧化层
光刻胶
氧化层
在被暴露表面生长二氧化硅
P-外延层
P衬底
N阱

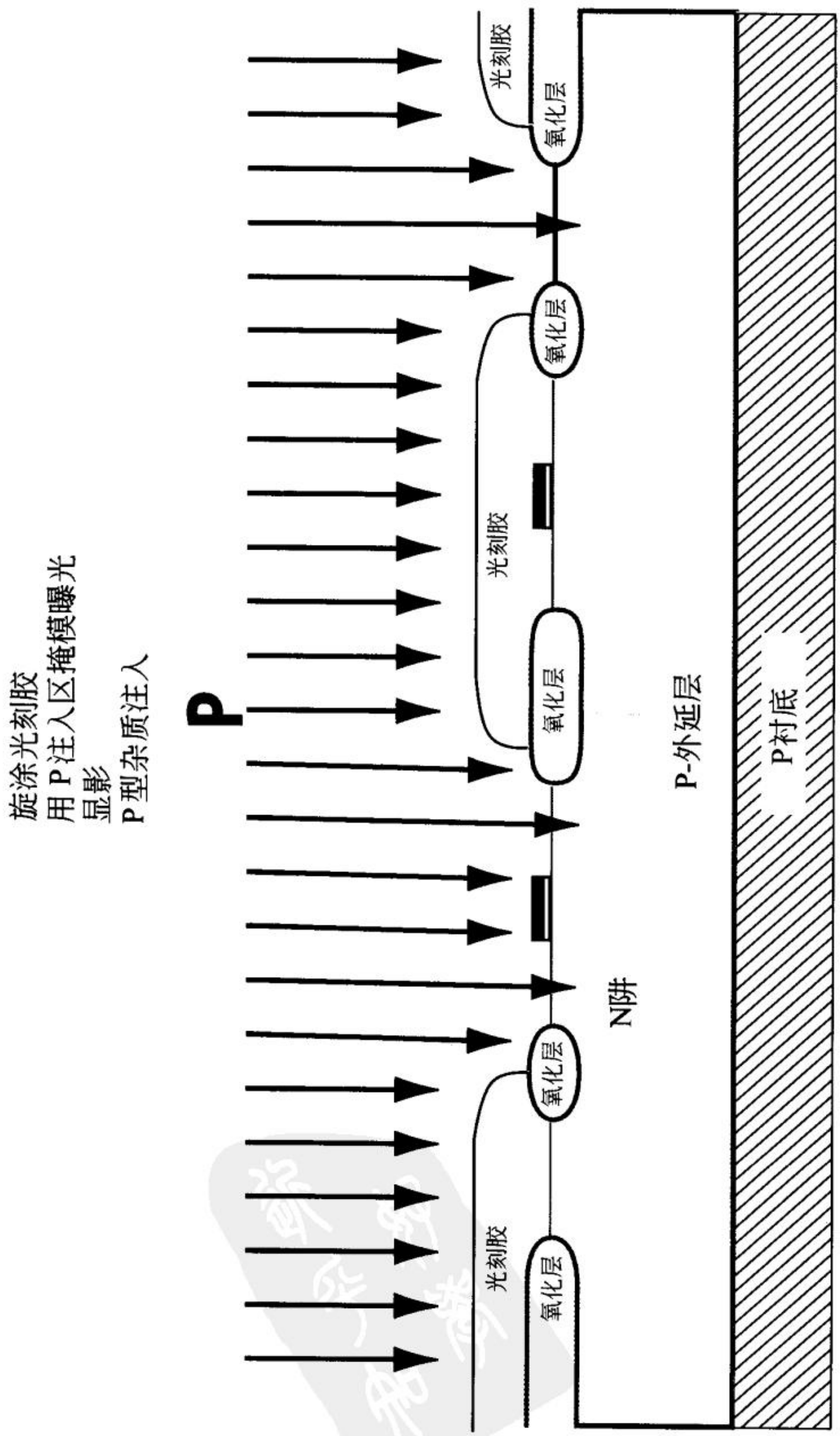

氧化层
氧化层
氧化层
氧化层
氧化层
去除光刻胶
P-外延层
N阱
P衬底

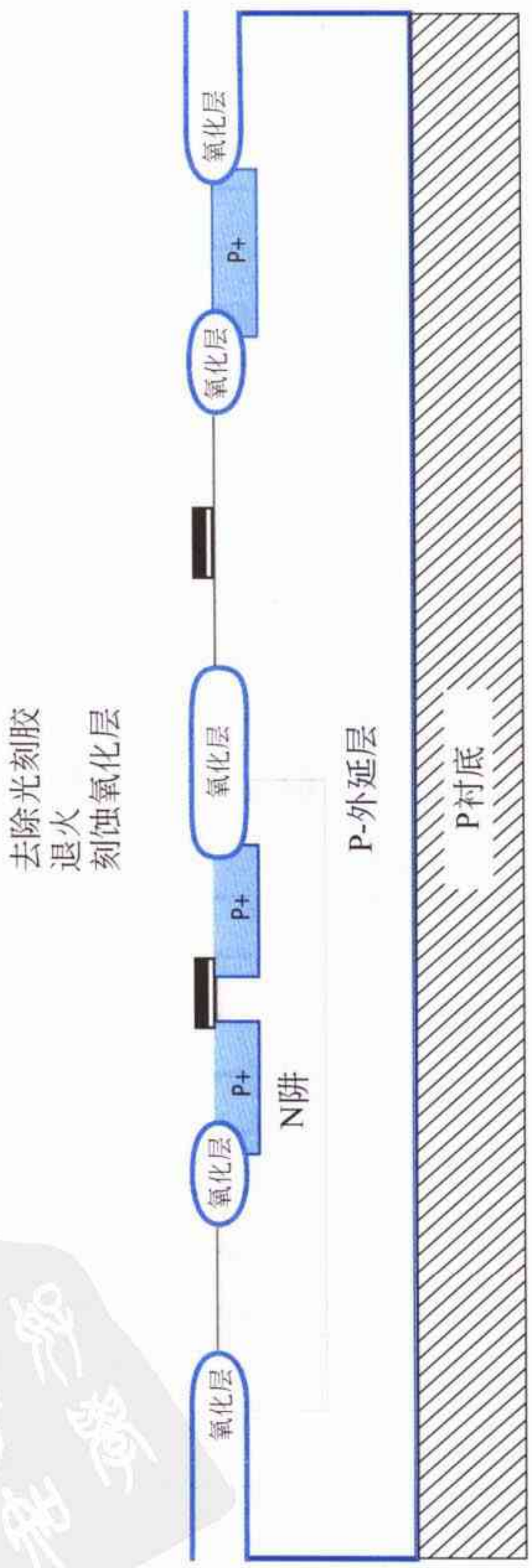

氧化层
氧化层
氧化层
氧化层
氧化层
晶圆表面生长薄氧化层
P-外延层
P衬底
N阱


氧化层
氧化层
氧化层
利用CVD沉积多晶硅
多晶硅
氧化层
N阱
氧化层
P-外延层
P衬底

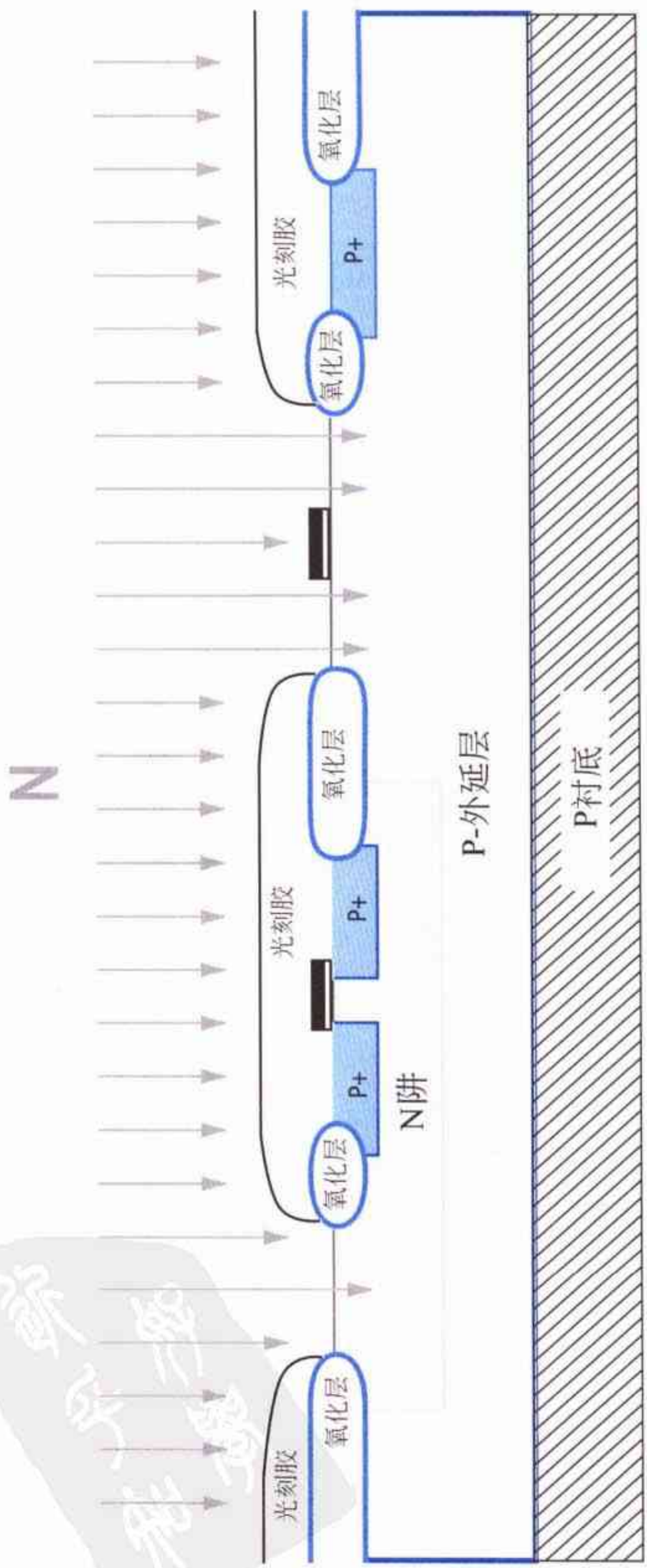

氧化层
氧化层
氧化层
氧化层
氧化层
旋涂光刻胶
使用栅掩模曝光
显影
刻蚀多晶硅
N阱
P-外延层
P衬底

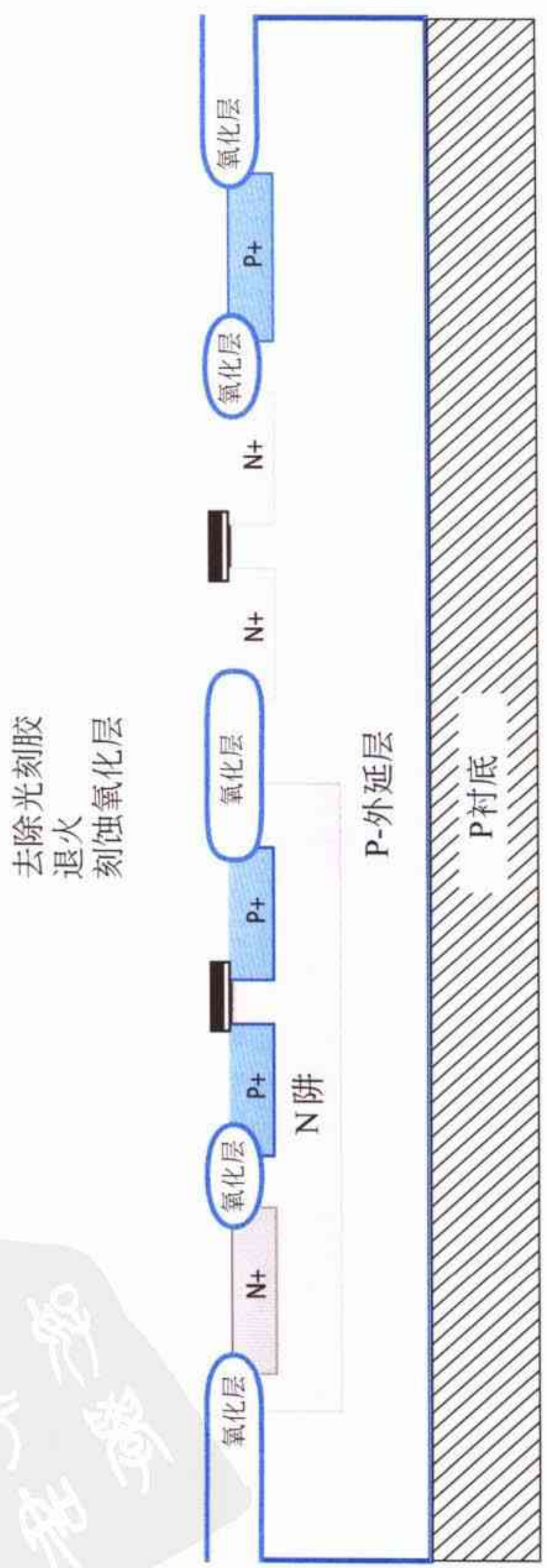

氧化层
氧化层
氧化层
氧化层
氧化层
栅
去除栅区之外的薄氧化层
P-外延层
P衬底
N阱

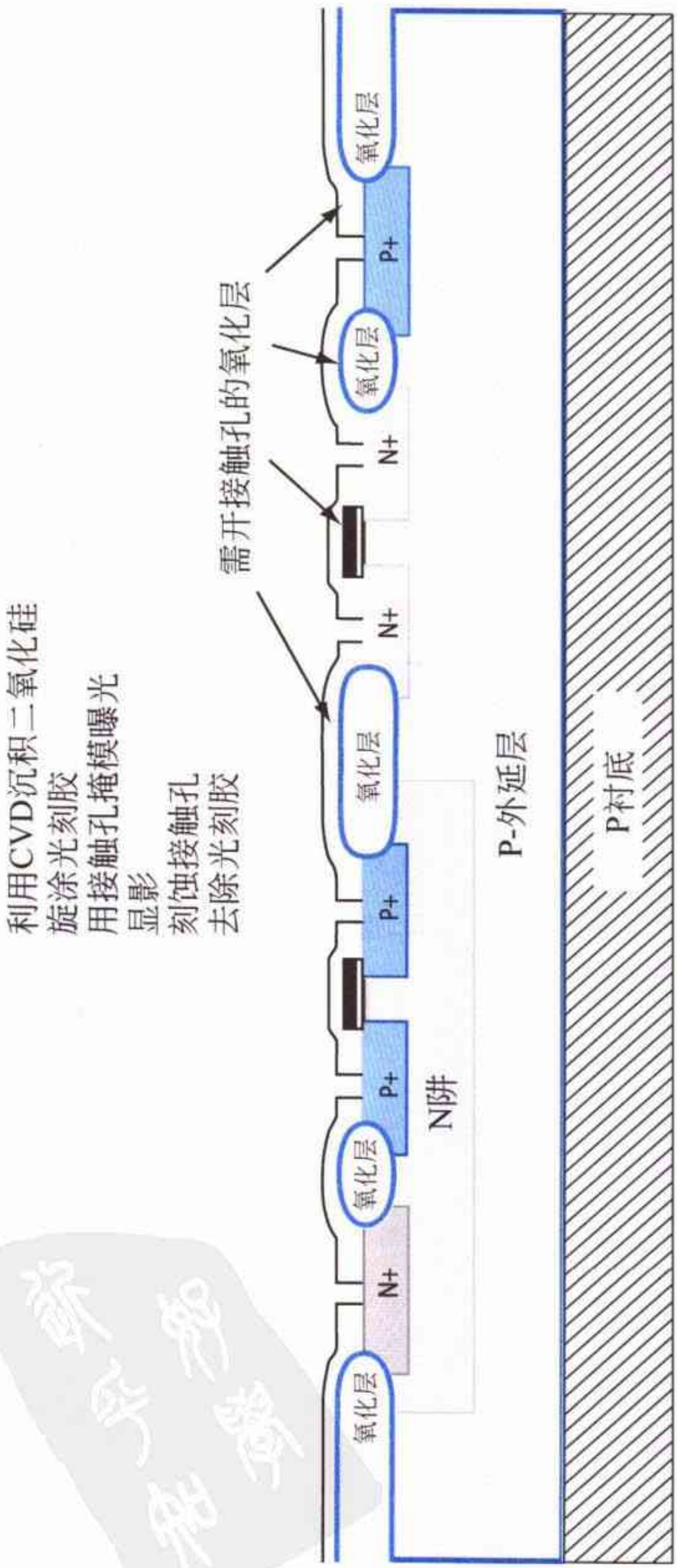

旋涂光刻胶
用 P 注入区掩模曝光
显影
P 型杂质注入
P
光刻胶
氧化层
氧化层
光刻胶
氧化层
P-外延层
P衬底
N阱
氧化层
光刻胶
氧化层


氧化层
P+
氧化层
氧化层
去除光刻胶
退火
刻蚀氧化层
氧化层
P+
P+
N阱
P-外延层
P衬底
氧化层

旋涂光刻胶
用N注入区掩模曝光
显影
N型杂质注入

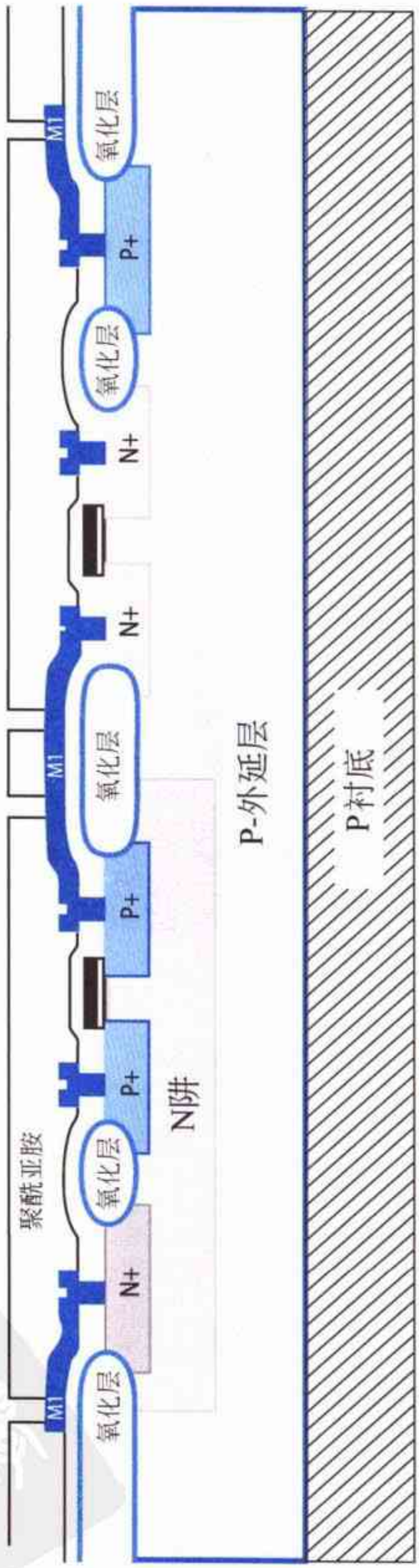


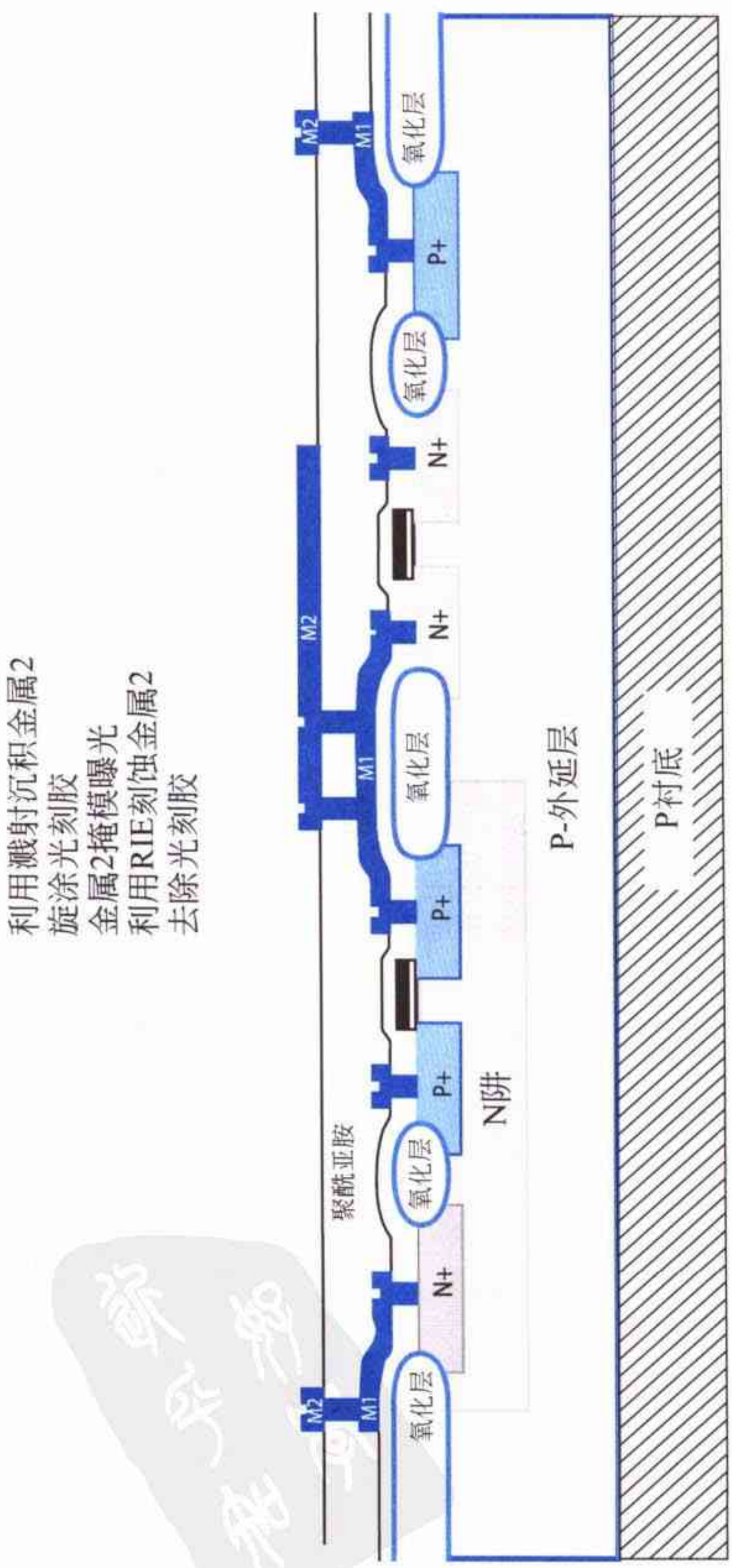

氧化层
P+
氧化层
N+
N+
氧化层
P+
P+
氧化层
N+
氧化层
去除光刻胶
退火
刻蚀氧化层
P-外延层
P衬底
N阱

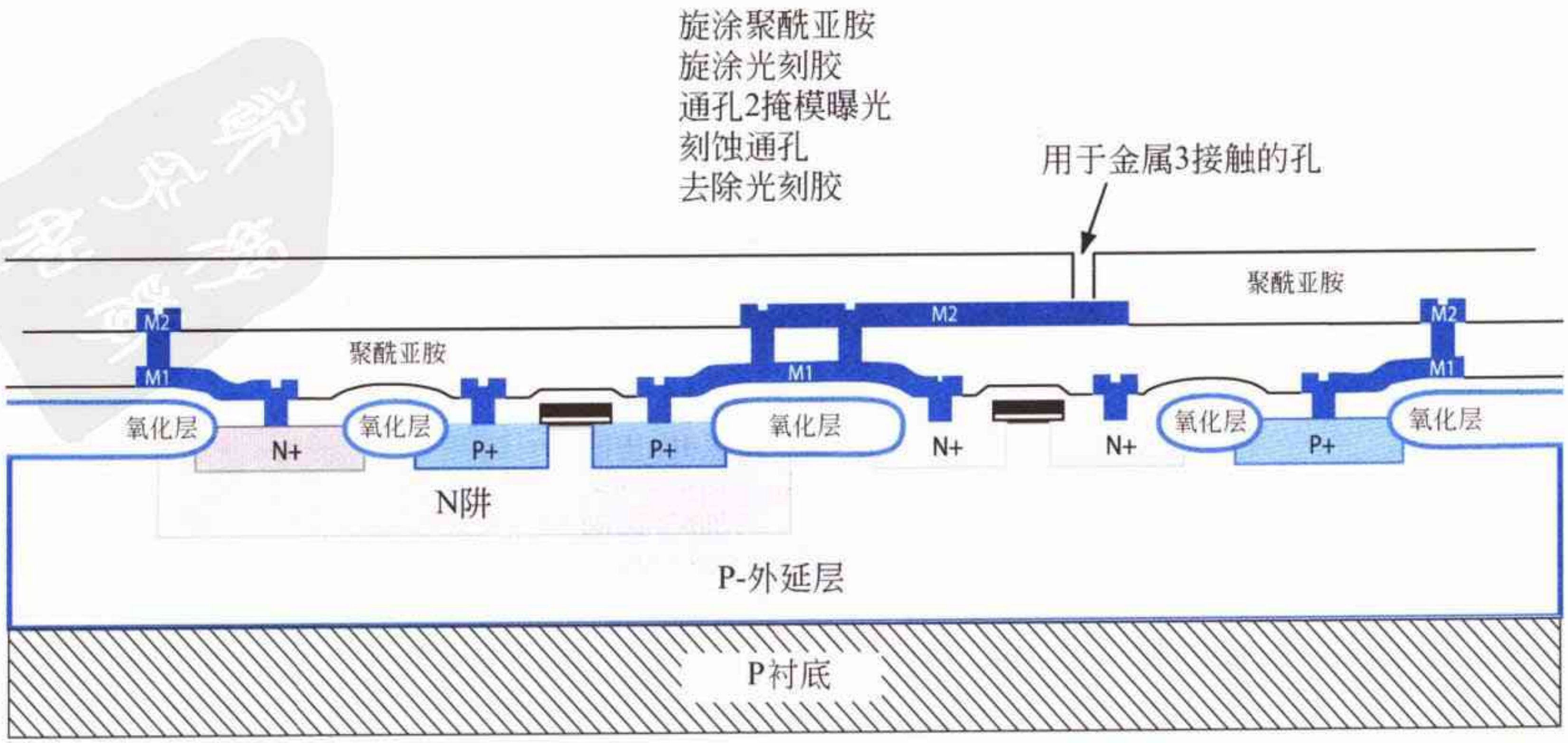

利用CVD沉积二氧化硅
旋涂光刻胶
用接触孔掩模曝光
显影
刻蚀接触孔
去除光刻胶
需开接触孔的氧化层
氧化层
氧化层
氧化层
氧化层
氧化层
P+
P+
P+
N+
N+
N+
N阱
P-外延层
P衬底

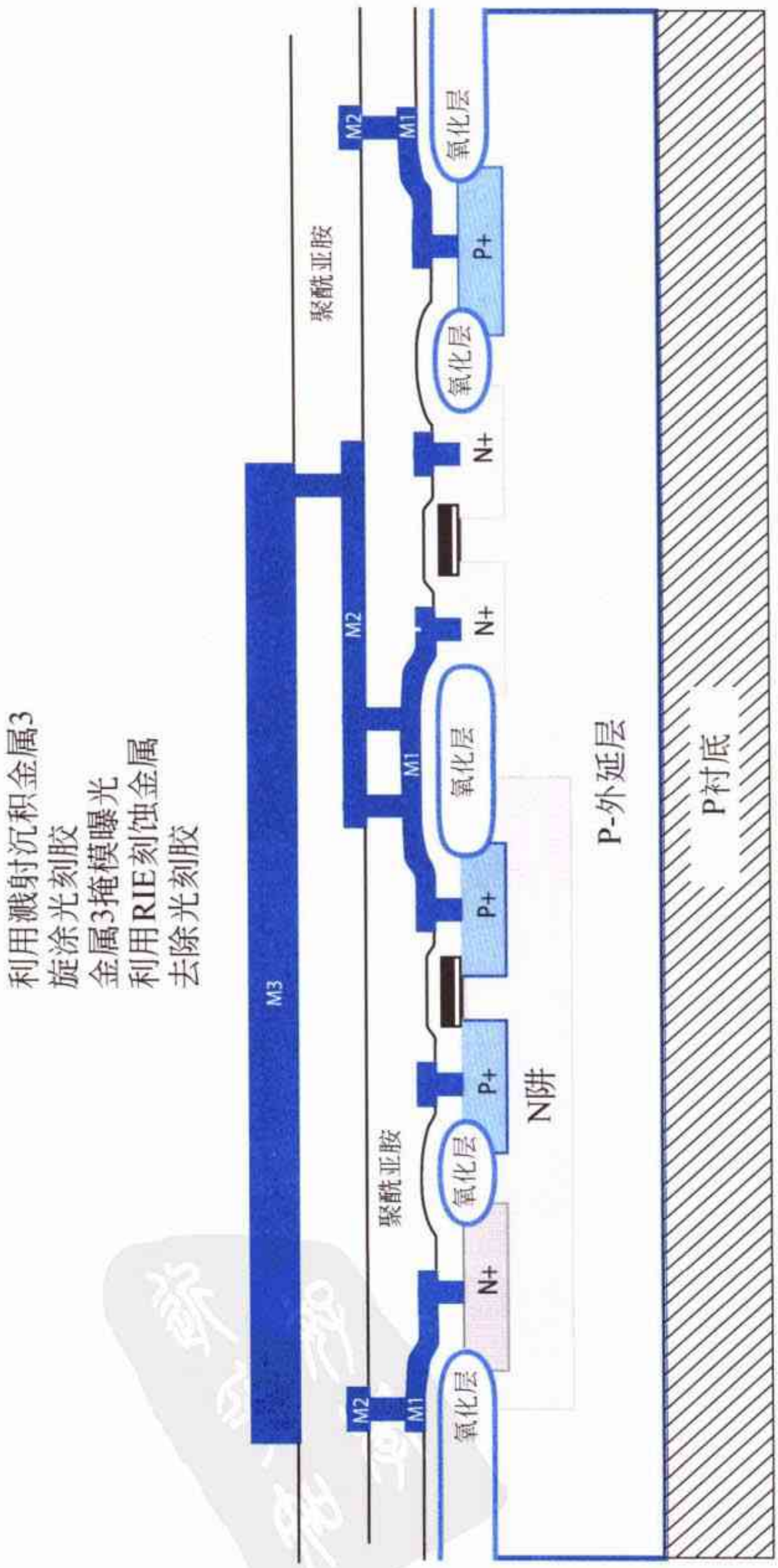
利用溅射沉积金属 1
旋涂光刻胶
用金属 1 掩模曝光
利用 RIE 刻蚀金属
去光刻胶
M1
氧化层
P+
N+
N+
M1
氧化层
P+
P+
氧化层
N阱
N+
M1
氧化层
P-外延层
P衬底

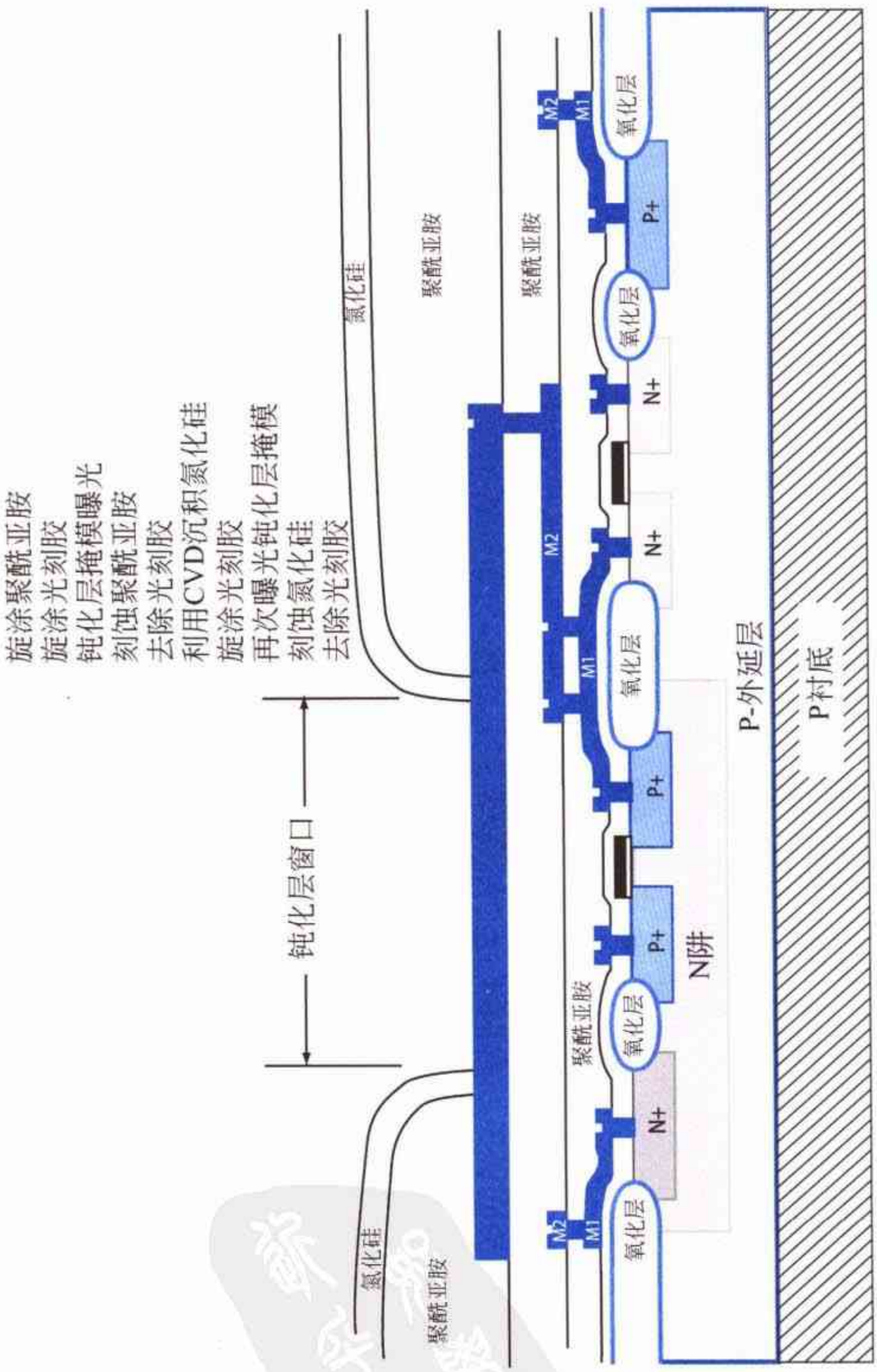
旋涂聚酰亚胺
旋涂光刻胶
通孔 1 掩模曝光（通孔是连接两层金属的孔）
刻蚀通孔
去除光刻胶




利用溅射沉积金属2
旋涂光刻胶
金属2掩模曝光
利用RIE刻蚀金属2
去除光刻胶
M2
M1
氧化层
P+
N+
聚酰亚胺
N阱
P-外延层
P衬底


旋涂聚酰亚胺
旋涂光刻胶
通孔2掩模曝光
刻蚀通孔
去除光刻胶
用于金属3接触的孔
聚酰亚胺
聚酰亚胺
M2
M2
M2
M1
M1
M1
氧化层
氧化层
氧化层
氧化层
氧化层
N+
N+
N+
P+
P+
P+
N阱
P-外延层
P衬底


利用溅射沉积金属3
旋涂光刻胶
金属3掩模曝光
利用RIE刻蚀金属
去除光刻胶
M3
M2
M1
聚酰亚胺
氧化层
P+
N+
N阱
P-外延层
P衬底


旋涂聚酰亚胺
旋涂光刻胶
钝化层掩模曝光
刻蚀聚酰亚胺
去除光刻胶
利用CVD沉积氮化硅
旋涂光刻胶
再次曝光钝化层掩模
刻蚀氮化硅
去除光刻胶
钝化层窗口
氮化硅
聚酰亚胺
氮化硅
聚酰亚胺
聚酰亚胺
聚酰亚胺
M2
M1
氧化层
P+
N+
N阱
P-外延层
P衬底

第 3 章

CMOS 版图

3.1 内容提要

在本章中，你将看到以下内容：

- 电路计算机模拟的基本要点
- 规范是如何限制器件尺寸的
- 如何将大尺寸器件分裂成多个小尺寸器件
- 怎样减少寄生电阻
- 怎样采用棒状图作为设计辅助
- 如何释放加工时产生的有害电压
- 如何避免芯片上致命的反向电流
- 原理图、棒状图和版图之间的关系
- 如何在构造多个器件时节约空间
- 用于分析的有趣的示例版图

……

3.2 引言

在前两章中，我们已经构造了分立元件，例如，从衬底向上逐步制造各种材料层构建晶体管。众所周知，集成电路不是一个晶体管，它包括了许许多多的晶体管。

下面将分析各种用于连接这些晶体管和其他元件成为实际电路的技术，将讨论在版图中实现这些连接时各方面的问题。

正如我们从第 1 章以来所做的那样，本章仅针对 CMOS 进行介绍。

3.3 器件尺寸设计

观察下面给出的基本晶体管图形，这个晶体管有一个位于薄氧化层上的多晶硅栅。图上采用一个矩形表示栅区，另一个矩形则表示薄氧化层区。

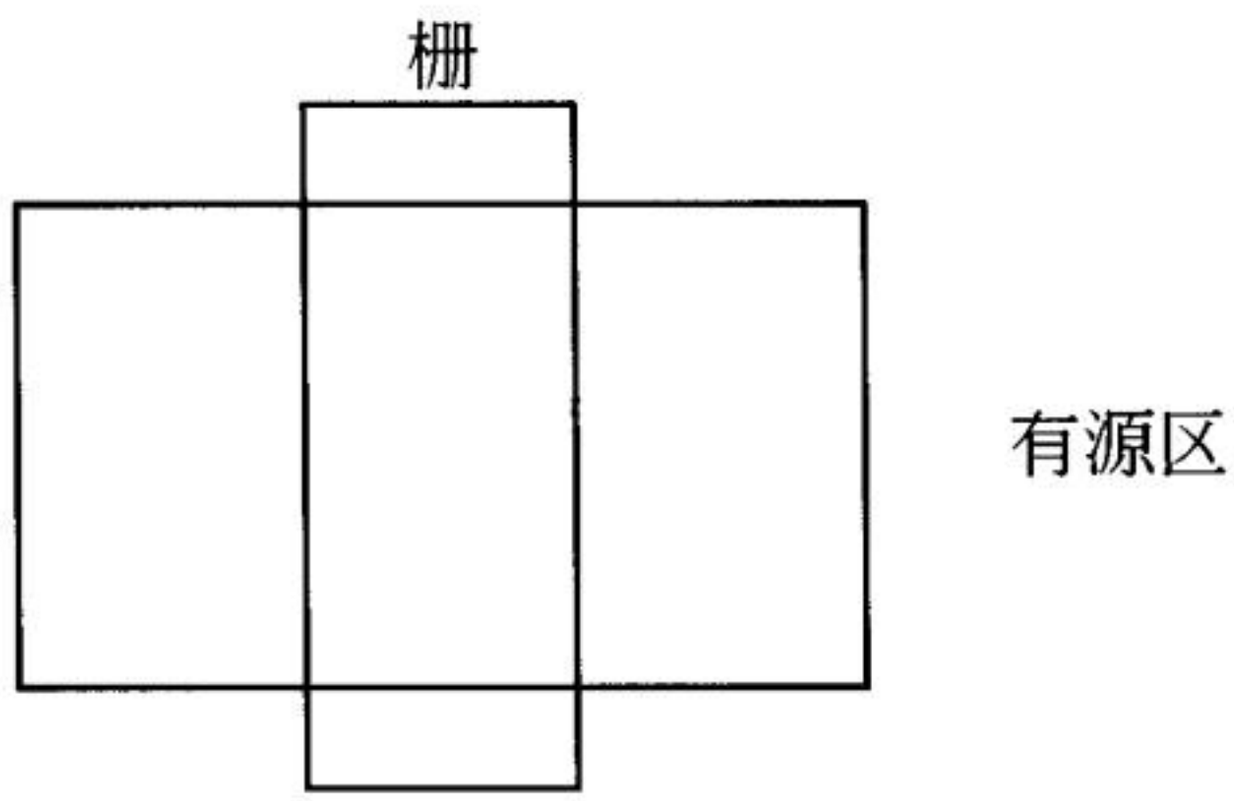


图 3-1 说明栅区和有源区的 FET 器件的顶视图。

这个薄氧区经常被称作为**有源扩散区**或**有源区**。有源区将被注入杂质形成晶体管。栅和有源区的重叠区确定了器件的尺寸，重叠区之外的区域对器件的尺寸没有影响。

现在的问题是：我们怎样才能知道如何根据电路性能要求去设计器件的尺寸呢？要设计多大的重叠区呢？我们的矩形要画得大一些还是小一些呢？

3.3.1 SPICE

在设计电路之前，设计者需要了解电路将完成什么工作。“我们需要达到哪些性能？”

例如，必须提供电路设计人员一张设计指标要求列表，如：要求放大器具有 20 倍的电压增益，频响范围 20Hz 到 20kHz，3.3V 电源下 2mA 电流，等等。这是设计起点，这些性能要求被称为**电路设计规范**，或简写为 **specs**。

有了电路设计规范，设计者可以开始设计进程，根据采用的特定工艺的详细信息，电路设计规范定义了基本器件尺寸。

有许多不同的电路设计技术能够用于设计诸如放大器之类的组件。电路设计者选择他认为能够满足指标要求的电路拓扑，然后计算电路的基本性能，检查是否满足电路设计规范要求。

进行基本计算仅仅是电路设计的第一步，所需的时间比较少。然而，晶体管是非常敏感、复杂的器件，有许多相互作用的部分，这些相互作用经常会引起电路偏离计算值，必须对设计进行修正。考虑到复杂的相互作用不可能通过一次设计被完全地解决，所以，设计师首先要确信自己的初步设计在功能上是正确的。

在早期，验证 IC 设计方案的惟一方法是做一个电路并进行测试。正像预料的那样，开始有许多错误，一个芯片从开始设计到最终正确完成需要花费很长的时间。

现在，当我们需要将电路通过集成来实现的时候可以利用计算机进行验证，通过称为**模拟器**的计算机软件来运行我们的设计。软件将显示电路执行什么操作，电流多大，频率响应如何，增益是多少等信息。通过这些商业化的软件，我们不需要真正的硬件测试就可以观察结果。计算机就像一个测试台，它告诉我们实际电路将如何工作。

这些电路模拟软件通常被称为 **SPICE**（Simulation Program for Integrated Circuits Emphasis）[1]。最初的 SPICE 是由加州大学伯克利分校在 20 世纪 70 年代开发的。通过软件模拟电路比实际做一个芯片既快捷又便宜。

如同文字处理软件有不同的品牌，模拟飞行游戏有不同的品牌一样，现在的市场上有许多由不同公司开发的 SPICE 版本，这些由不同公司开发的同类程序的不同版本各自具有不同的优点与缺点。

为了使 SPICE 能够精确地预测电路的复杂工作过程，我们不仅需要设计规范和初始原理图，还必须建立相关电路元件的数学描述。

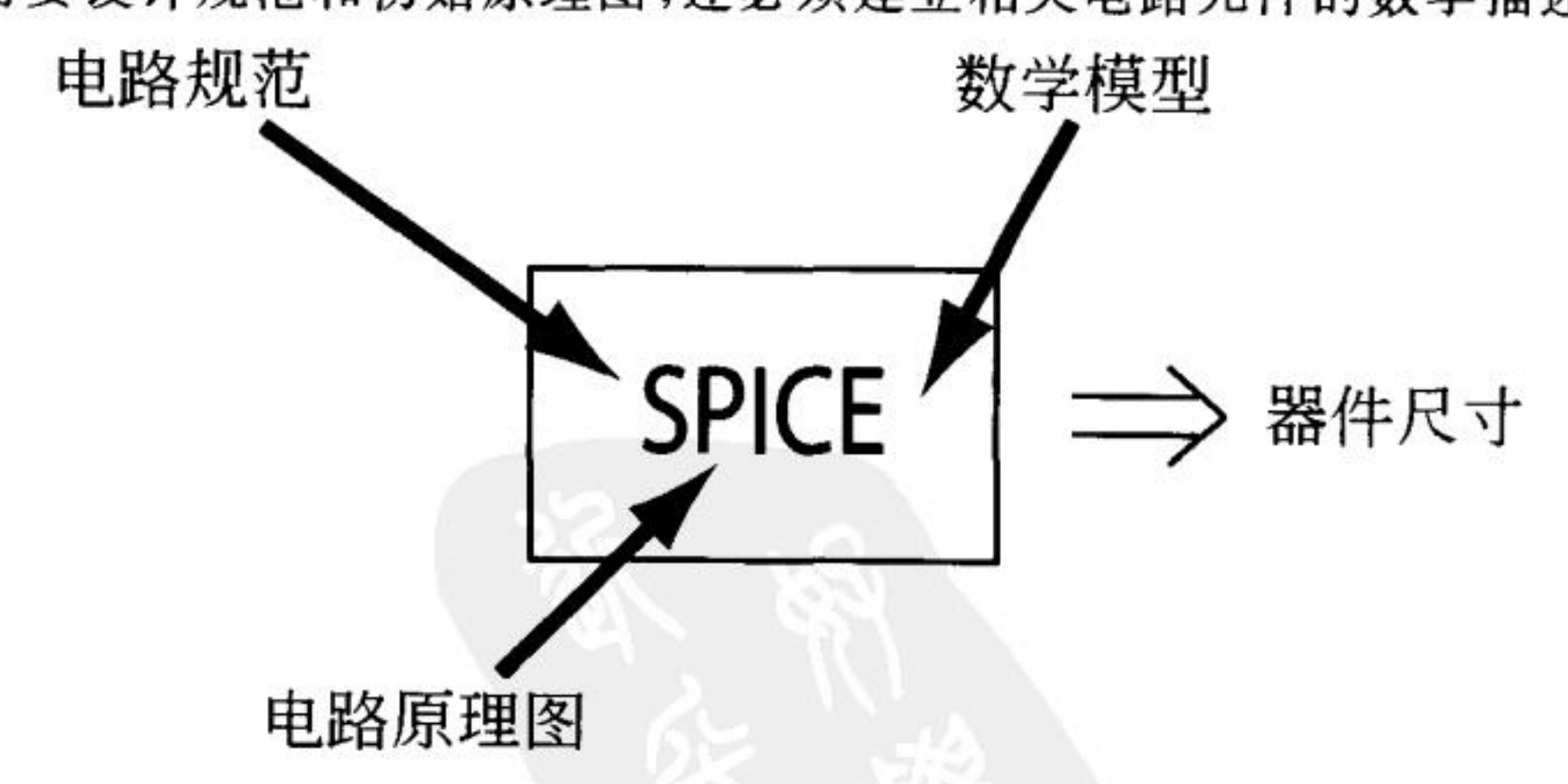


图 3-2　用于 SPICE 的三个要素。

---

① 或 Serveal People In Cell Eleven。

电路元件行为的数学描述被称为**模型**。但是，你不能随意假定一个数学方程，它必须能够精确地反映器件的物理意义、器件电特性以及物理特性。

对一个基本器件建模可能要花费数月的时间。对每一个用户而言，基本器件模型是通用的。用户需要制作许多不同尺寸的电路元件，然后记录每一个器件的实际特性。在测量后，采用曲线拟合软件分析所有这些被收集的器件数据。对于某一器件，从这些数据就能够确定有效的模型参数。

SPICE 模型被测量以确保模拟输出的结果能够真实地反映各种实际工作情况。对照真实器件对模型进行检查后，我们就能够自信地利用这些模型去预测电路性能。SPICE 模型的开发是非常复杂的，经过许多年的努力，现在已经建立了许多精确的电路元件模型。

当今的电路设计过程完全依赖这些电路模拟器的模拟结果。

现在，在你的事业中有了另一个你可能从事的专业技术，在模型开发方面你可能发现你有相当的才能和兴趣。继续不断地学习新的事物，涉足超出你日常工作方面的研究能够使你保持工作兴趣，迎接挑战并获得回报。如果你在有兴趣的领域从事研究，在每个方面你都会发现更有趣的东西。有些人就是这样转向了他们所热爱的工作，通过对感兴趣的新概念的研究与推敲，他们确立了自己的研究方向。

SPICE 的模拟结果告诉你，对于给定的器件尺寸与参数，电路是如何运行的。因为很容易对输入参数进行调整，所以，设计者可以不断地变换条件进行尝试，不断地调整器件尺寸与参数进行设计优化。

在模拟器确认了电路功能后，就完成了电路设计。通过对模拟结果的观察，我们获得了最佳的器件尺寸，由此，对于芯片上每一个器件的尺寸都知道了[2]。

利用 SPICE 去确定器件尺寸。

到此，完成了集成电路设计的第一步。我们在初始设计中建立器

---

[2] 实际上，设计总是不断地修改，经常地，你刚做完模拟，电路设计师就又提出了新的设计。

件，然后是利用 SPICE 去确定每个器件的尺寸。

当今的 CAD 工具能自动地根据设计规则直接从电路原理图修正器件。在还不能采用 CAD 工具生成器件的年代，所有的器件设计工作都由人工进行。从基本原理出发人工计算各个晶体管的尺寸要花费数天的时间。那时，根据设计草图计算器件尺寸的**能力**是非常宝贵的。

有一些在版图设计领域工作了 20 年的工程师也未曾计算过他们自己的器件尺寸，真是人才的浪费。我认为有许多管理者没有认识到他们的版图设计师有可能变得更有价值，因此没有给他们学习更多知识的机会。没有理由认为版图设计师不能通过计算或核查去确定原理图中的器件尺寸，这应该是他们工作的一部分。不难理解，如果管理者使他们的版图设计师远离有价值和有创造性的工作，这些工程师不久就将会厌烦他们的工作。

没有挑战和培养，很快就会出现没有经验的电路设计师提交了有问题的设计给不成熟的版图设计师的情况，太可怕了。

3.3.2　大尺寸器件的设计

现在，我们已知道了各器件的尺寸，那么，如何将它们组合到一起呢？

假设，由电路设计师提交的电路如图 3-3 所示。

虽然，所给出的电路只是一个简单的差分放大器，但从版图设计的角度而言，我们并不关心电路将做什么，我们所关心的是按照电路设计师所提交的元件尺寸做这些元件。只有开始连接这些元件到一起的时候，我们才考虑电路的功能。

示例电路有两个输入端、两个输出端、正负电源以及电路正常工作所需的偏置电压。通常情况下，原理图中的元件以易于区别的符号进行标记。电阻用 R 标记，MOS 晶体管用 M 标记。图中有 3 个 MOS 晶体管和 2 个电阻。通常情况下电路会包含 NMOS 和 PMOS 晶体管，但在此电路中只有 NMOS 管。

假设，M1 和 M2 尺寸相同，200 微米宽，1 微米长。M3 则是 60 微米宽。我们将重点考虑图中的晶体管设计。

正如前面提到的，版图工程师的首要任务是构造器件。或许，你

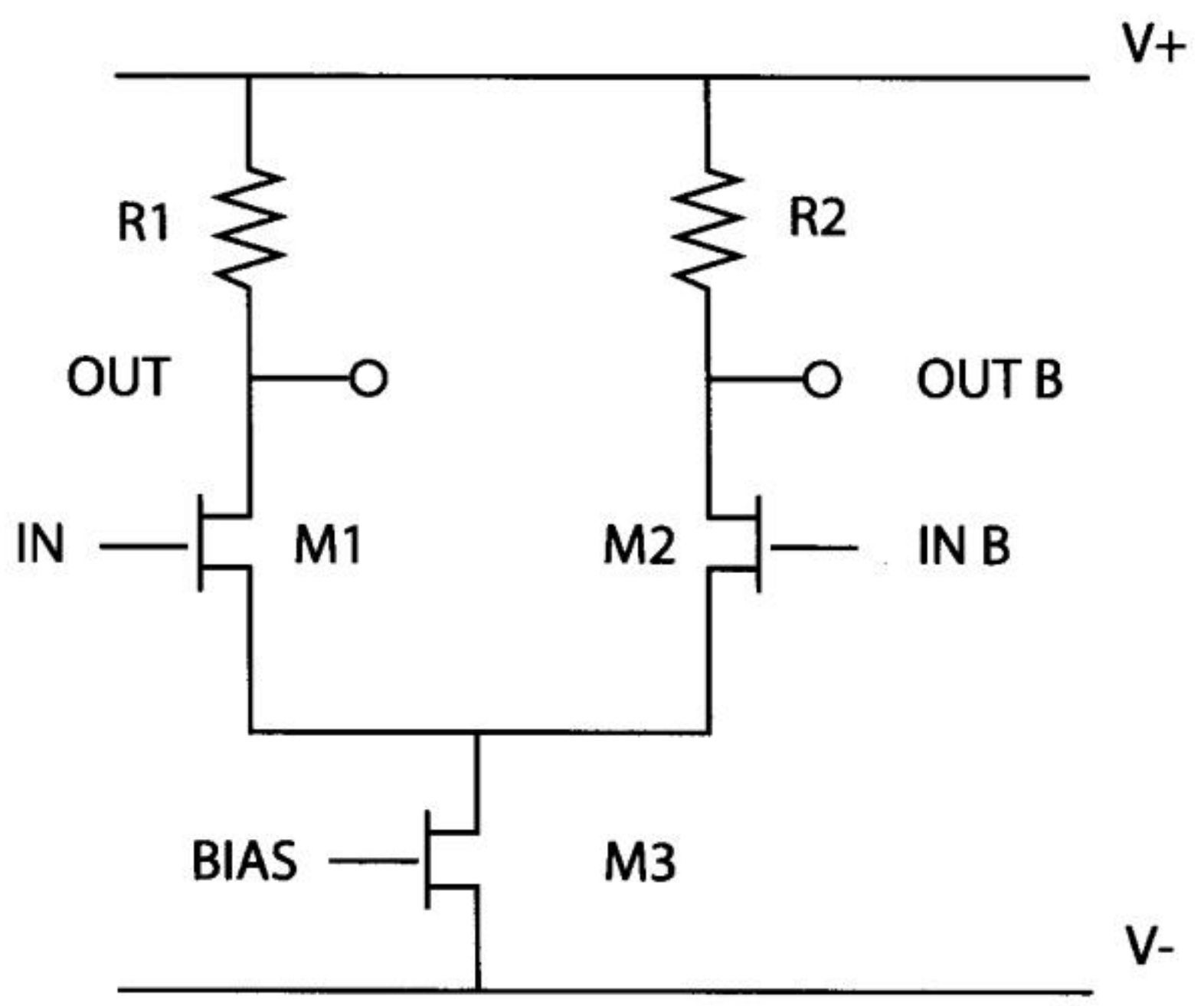


图 3-3 一个简单的电路，M1 和 M2 的尺寸都是 200×1 微米。

已有了一个可供复制的标准单元，只要人工拉伸调整到正确的尺寸即可。我们必须非常仔细地遵循元件的所有设计规则。对所做的每一个元件，复制、拉伸调整和规则检查都需要反复进行。

现在，所有的元件都可以直接根据原理图给出的信息构造了。你所要做的事就是在计算机屏幕上编辑原理图并且选择要处理的晶体管，在屏幕上将会出现符合尺寸和设计规则的晶体管。

不论是人工方法或自动方法，现在，假设已完成了电路中的三个晶体管的处理。这时，你将会发现相对于 1 微米的长度，200 微米实在是太宽了。

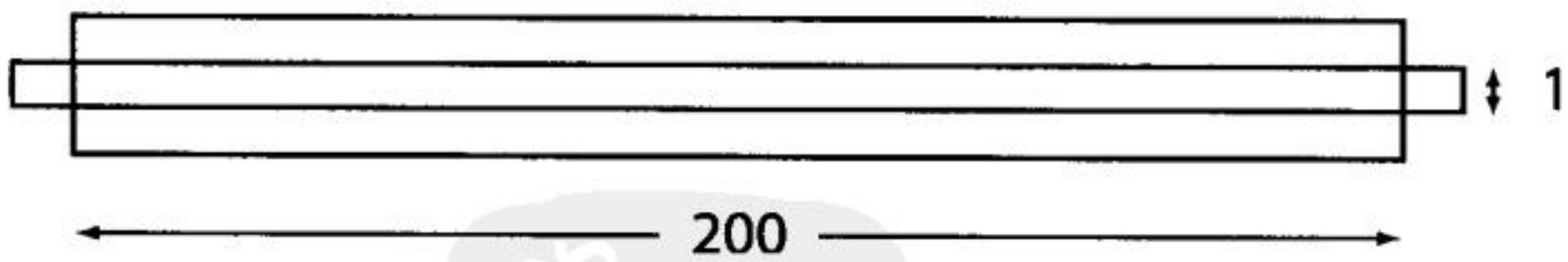


图 3-4 按比例画图后，是不是感到 200 微米太宽了。

根据经验，应立即停止正在做的版图设计，查看一下有关极限尺寸的规范。

细长的晶体管存在问题。

观察图示的 FET 截面图，还记得在栅和器件的有源区之间有一层极薄的二氧化硅绝缘层吗？它是引起细长晶体管出问题的原因之一。

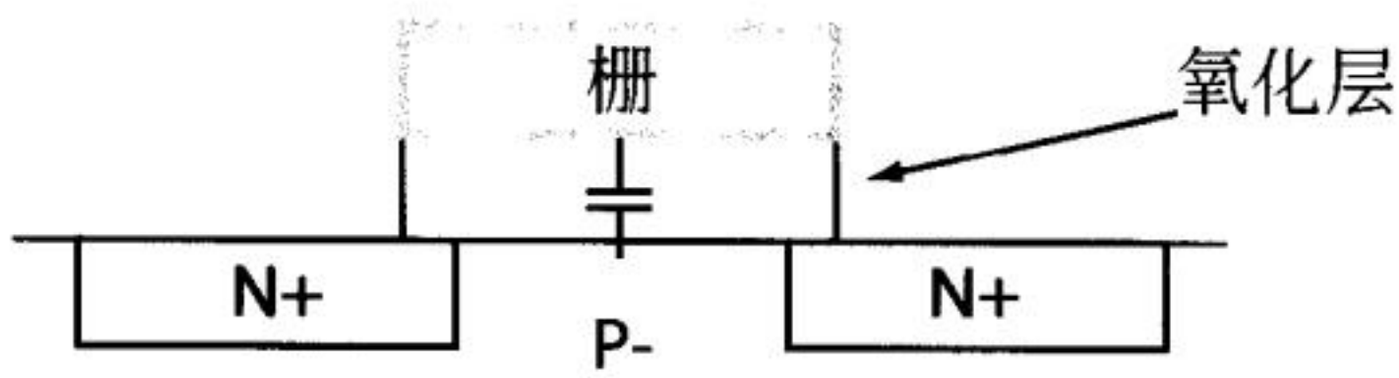


图 3-5　寄生电容。

按照电路理论，两个靠的非常近的平行极板构成电容器，因此，每个 CMOS 晶体管的栅下有一个非常小的电容。在栅的两边注入了 N＋杂质，栅的正下方是 P-衬底，在栅极与 P-衬底之间存在一个电容。

就 FET 的工作而言，有氧化层绝缘是好的，也是必需的，但它引入的电容却是不好的。

对于细长的晶体管，不仅存在电容，细长的栅还会引入一个一定大小的电阻。

这些不希望的电容和电阻被称为**寄生**元件。

电子学中的寄生与生物体上的寄生类似，就像令人讨厌的绦虫一样，它存在着并且汲取能量。我们不希望有寄生电阻或电容，但他们确实存在并且是能量的消耗者。

寄生电阻与寄生电容对于器件的版图是固有的，但可以设法减小它们的影响。让我们重新考察那个细长的晶体管。

虽然事实上电阻和电容是沿着栅的方向均匀分布的，但是，在图 3-6 中，你却可以看到它们被作为独立的元件画在图中，好像是做在芯片上的实际器件。我们将理想化的晶体管连接在栅电阻的末端，栅电容则连接在栅极与衬底之间。这是我们处理特定寄生元件的方法。

如果在晶体管栅极输入一个连续重复跳变的方波，则在理想晶体管的栅极（图上标注的 A 点）却不是相同的方波形式，代替以极快变化的上跳和下跳，波形的上升和下降变得缓慢了，寄生栅电阻减慢了寄生栅电容的充放电速度。

显然，存在一个 RC 时间常数，栅电压按这个时间常数上升和下

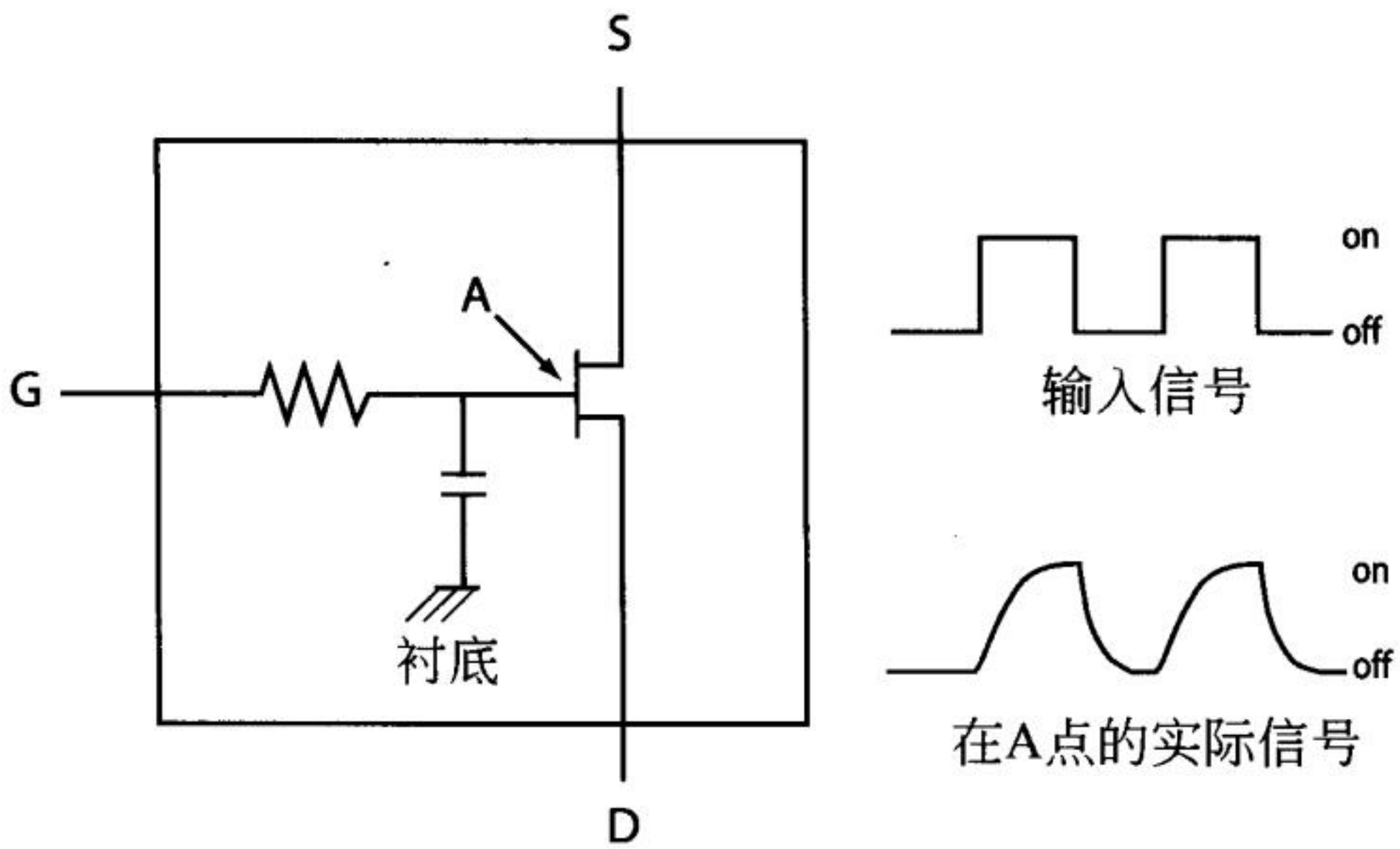


图 3-6 寄生的电阻和电容被单独画出以表示它们的存在，寄生器件降低了信号的变化速度。

降，这些寄生元件阻碍了器件以最佳状态工作。

下面我们来讨论如何通过改变版图改善器件特性（看到你的价值了吗？版图工程师直接对公司芯片的性能和设计规范产生影响，这是前面的工作所不能实现的）。

首先，必须保证电路设计师要求的参数，例如，电路设计师提出FET的尺寸是200微米宽、1微米长，必须保证这个参数不变，但同时又必须减小寄生电容或电阻。

晶体管栅的长度（即沟道长度）决定了晶体管开关的速度，因此，栅的长度是不允许改变的，同时，也必须维持相同的**有效栅宽**。注意：后面将经常提到这个名词。

寄生电容的大小完全取决于穿越有源区的栅面积（栅长乘以栅宽，称为**栅区**）。因为不能改变栅长和栅宽，所以无法改变寄生电容，看来是处理不了这个电容了。

但是，可以设法在不改变栅区大小的情况下减小寄生电阻。我们会对电路设计师说："当你设计这个细长晶体管的时候，你同时引入了很大的寄生参数，为什么不把这个晶体管分裂成许多小的晶体管以减小寄生电阻呢？"

你可以对电路设计师说："对于下图所示的单个晶体管：

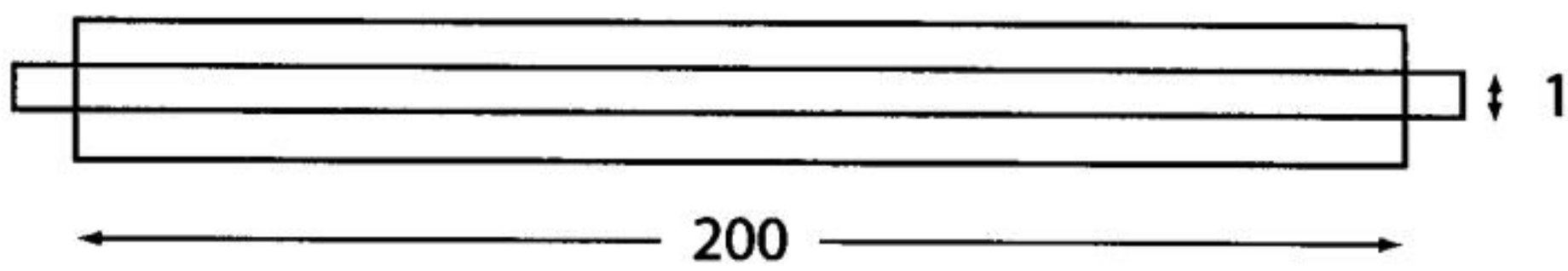


图 3-7　电路设计师提交的细长晶体管。

为什么不把它做成四个 50 微米宽的晶体管并且把它们并联起来呢？这样安排的结构还是具有同样的栅宽：4×50＝200 微米。”

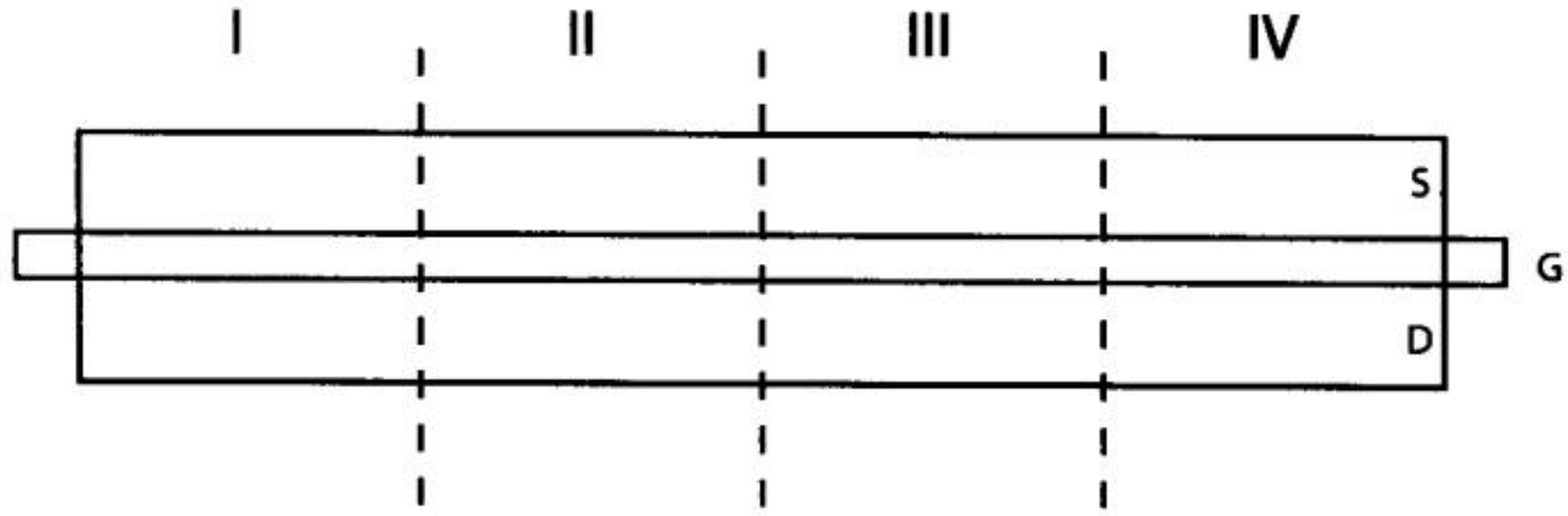


图 3-8　分裂长的器件，在每段内，源、栅、漏保持完整。

如果连接正确就可以认为四个独立的晶体管与一个单个晶体管等效，每个晶体管的相同端必须被连接在一起。这样，有效栅宽没有改变，但寄生电阻减小了。

每个独立的晶体管的栅宽只有原先晶体管的四分之一，这意味着每个栅的寄生电阻也只有原先晶体管的四分之一。

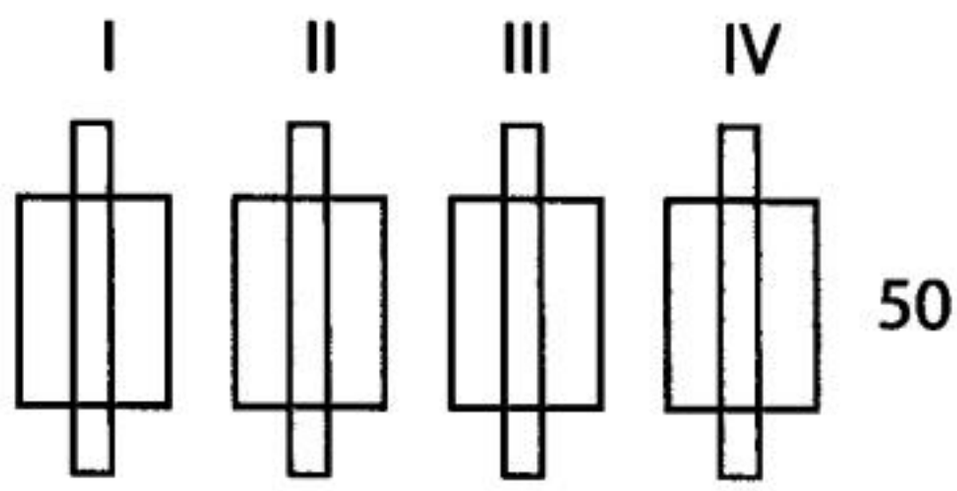


图 3-9　将一个细长的晶体管分裂为四个较小的晶体管以减小电阻。

此外，因为四个栅并联，按照基本电阻方程，四个相等的电阻并联其结果等于原先电阻的四分之一。这样的分裂所产生的总效果是寄生电阻只有原先细长电阻的十六分之一。

寄生电阻的减小使得 RC 时间常数也被减小。晶体管现在可以更有效地工作了。这个技术没有限制，分裂多少个小晶体管取决于器件的尺寸以及其他的因素，可以将晶体管分裂为更多的小段。

总之，通过分裂细长的晶体管成为四个较小的晶体管，在不改变

有效栅宽的情况下，实实在在地减小了寄生电阻值。因为栅覆盖不能改变，所以原有的寄生电容仍然存在。但是，有改善总比没有改善强。如果什么时候谁能想出一种在不改变规范的情况下减小电容的方法，本章就会有另一节了。

3.4 源漏区共用

图 3-10 给出了细长晶体管的详细构造，对应源、漏、栅采用 A、B、C 标注（源、漏可互换）。

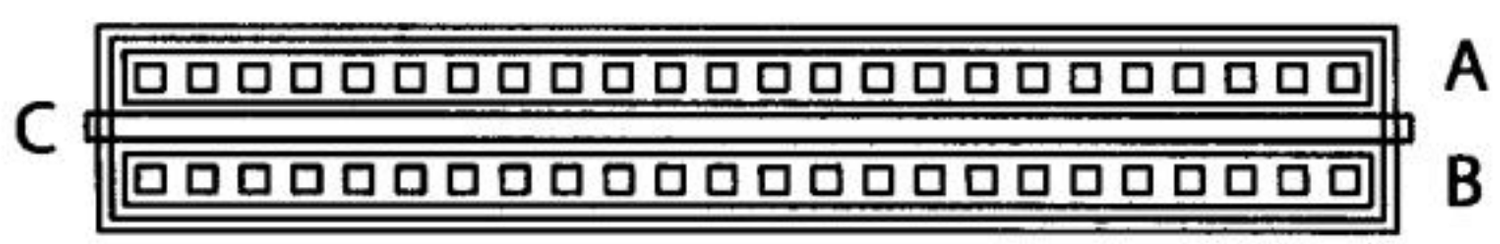


图 3-10 由 CAD 工具所绘制的细长晶体管，A、B 为源漏区，C 为栅区。

在将器件分裂成四个较小的器件后，对每个独立的晶体管仍采用 A、B、C 表示源、漏、栅。

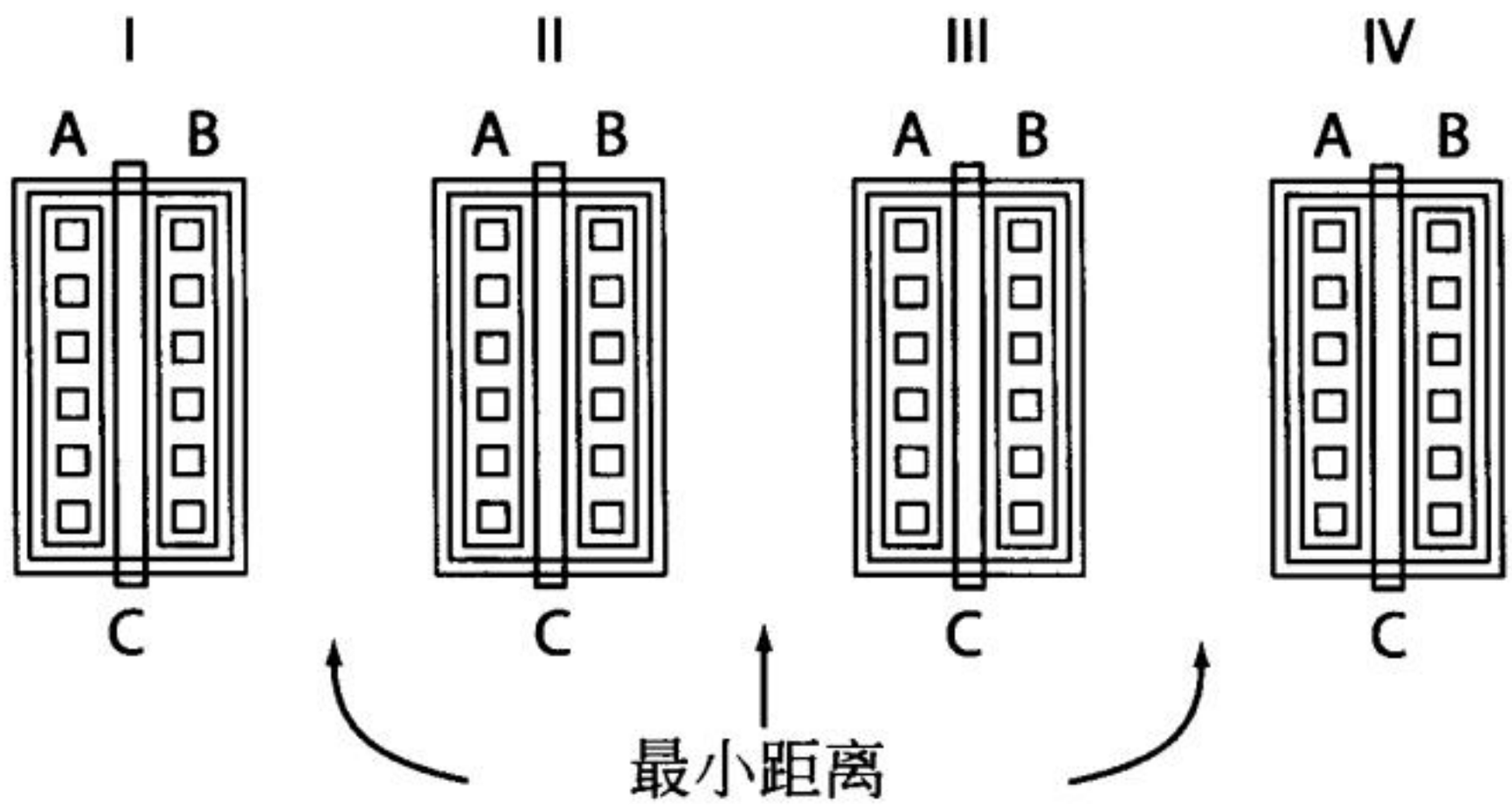


图 3-11 四个晶体管边到边以最小的距离间隔放置。

现在需要将所有 A 点连接在一起，所有 B 点连接在一起，所有 C 点连接在一起构成一个完整的器件。

连接结构如图 3-12 所示。

因为芯片的面积直接关系到成本，芯片面积越小，成本越低，获利越多，所以，每个人都希望能够节省尽可能多的空间。一般而言，应该尽可能地使版图紧凑，这使你在一个单片上得到更多的晶体管。

上面所做的对四个晶体管的连接本身是完全合乎规定的，因为最小间隔规则迫使各晶体管分开，不同的端点之间必须间隔一个最小的距离，但这样的连接方式浪费了大量的空间。

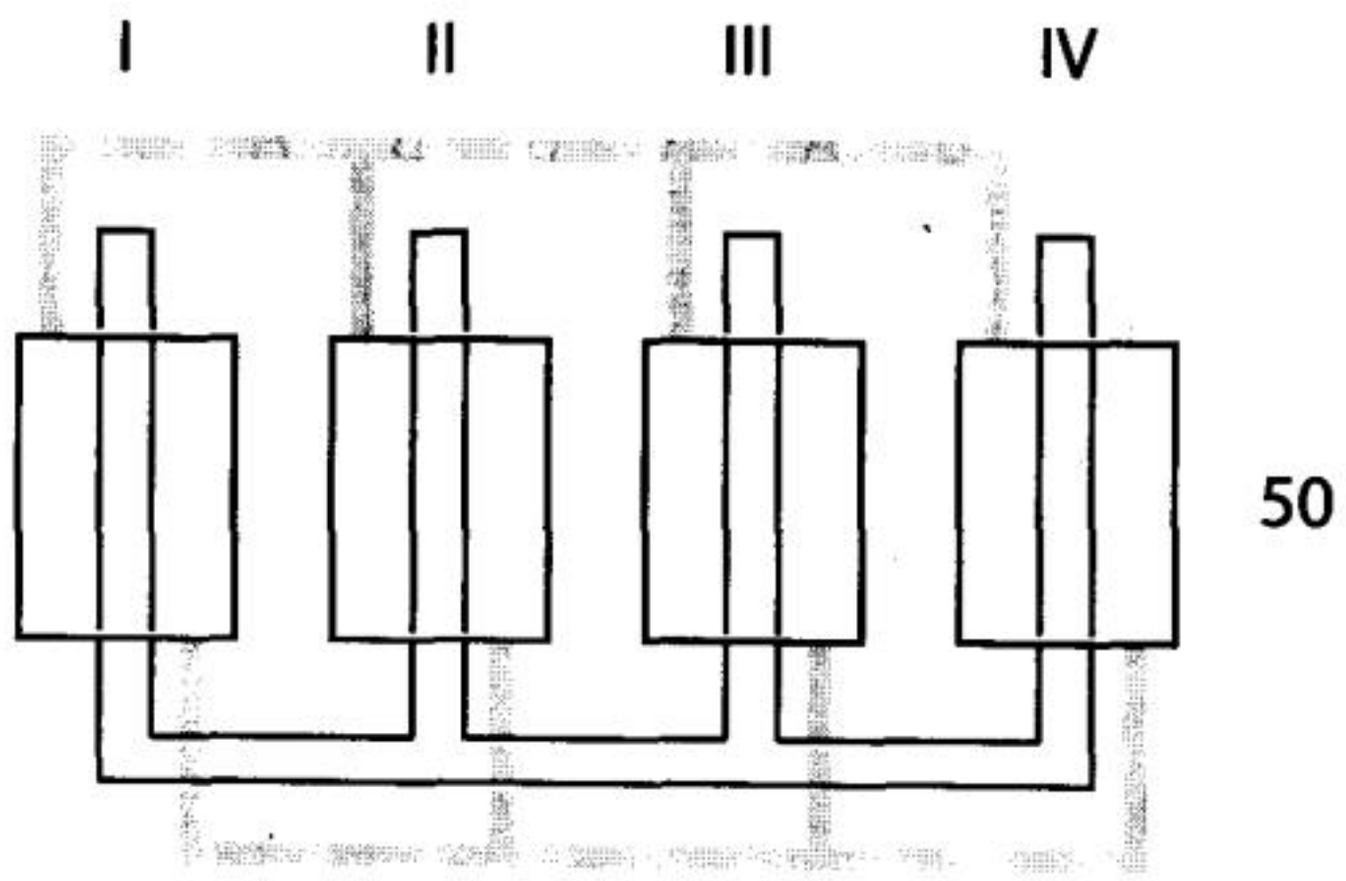


图 3-12　连接四个晶体管，所有源相连，在上部引出（灰色）；所有漏相连，在下部引出（灰）；所有栅相连，在下部引出（蓝）

比较聪明的办法是利用源和漏可互换的原理，将器件左右翻转（还是相同器件）。然后仔细地进行连接。

对四个晶体管中的第二个和第四个晶体管进行左右翻转，这时，四个晶体管的源漏以 A-B-B-A-A-B-B-A 排列。

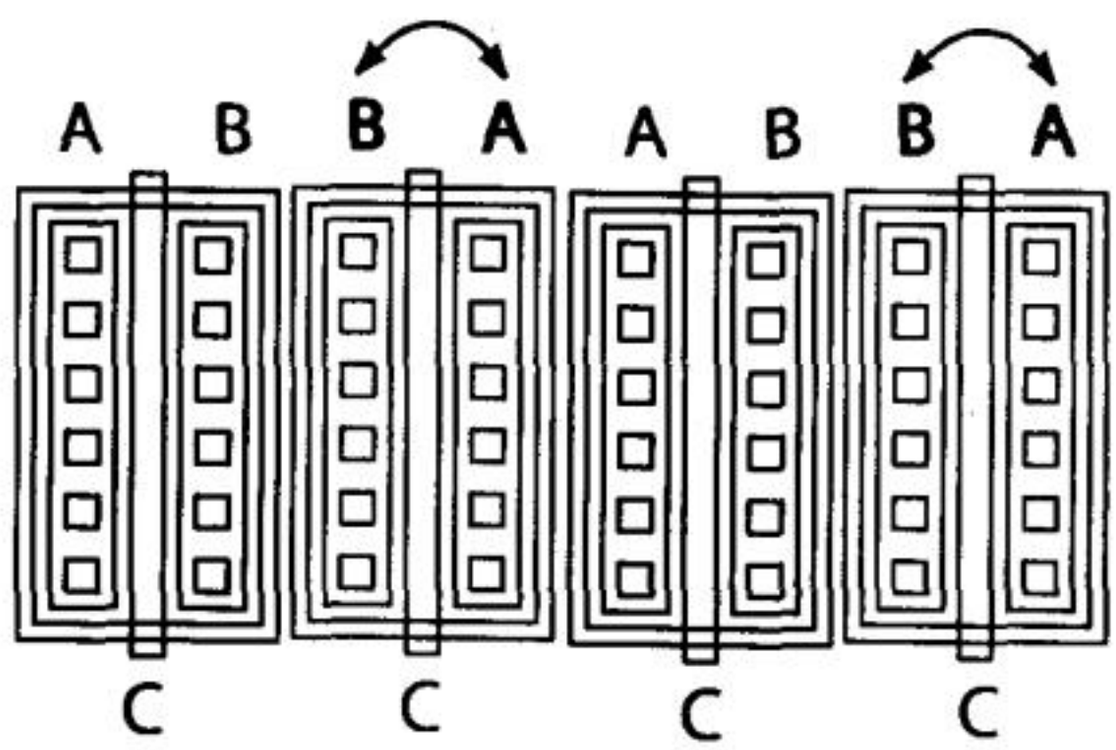


图 3-13　可以对晶体管进行翻转，这里翻转了两个晶体管。

现在，两个 B 点是彼此相对的，两个 A 点也是彼此相对的，器件连接更容易了，并且可以使两个晶体管之间更加靠近。

我们最终的要求是**源-漏共用**。我们可以选择将第一、二个晶体管原先独立的源漏区合并，这个合并的区域既可以是一个晶体管的源，同时也可以是另一个晶体管的漏，它们都是原先标注 B 的区域。

继续进行这样的合并，直到所有的晶体管之间端点组接成对。这样，我们不仅消除了晶体管之间的空间，而且，通过合并器件的相关部分使空间更节省。

只要是相同的端点，任何两个相邻的晶体管都可以采用源-漏共

用技术。

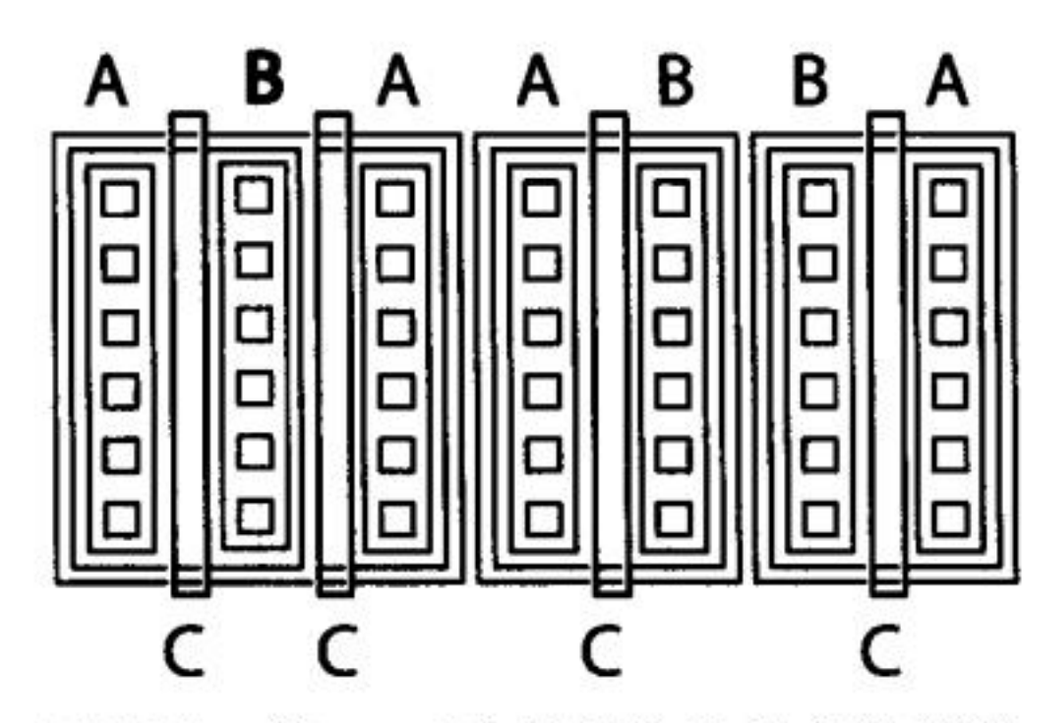


图 3-14 第一、二个相邻的 B 端点被共用。

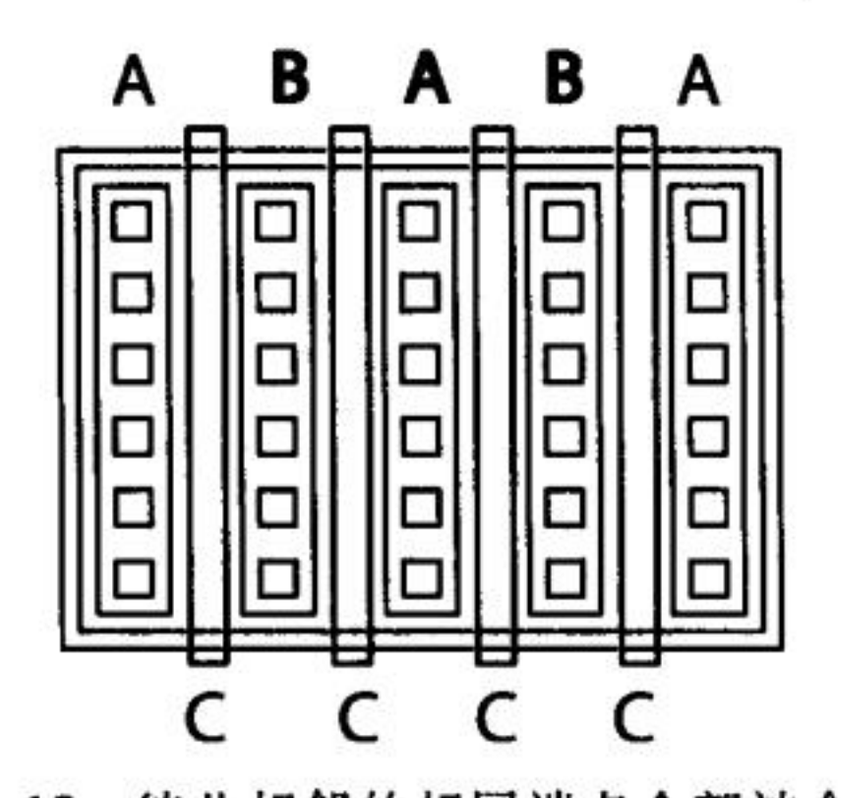


图 3-15 彼此相邻的相同端点全部被合并。

试试看

如果是被同一根线进行连接，则可以类似源漏共用那样进行共用，如果一个是 A，另一个是 B 则不能。

观察下面给出的电路图：

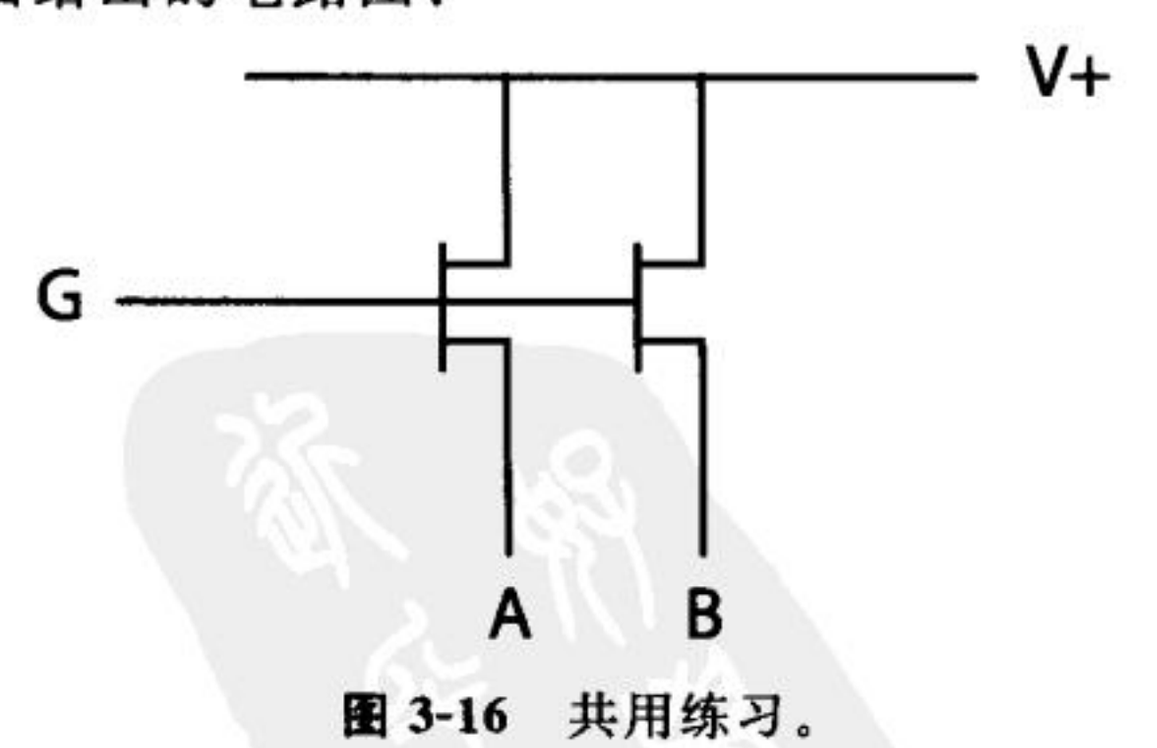


图 3-16 共用练习。

你认为哪些可以共用？试着画出版图。

答案

只有一个端点可以共用，这就是 V＋端。因为电路图上 A、B 不相连，所以，它们必须分开。共用前的版图如下：

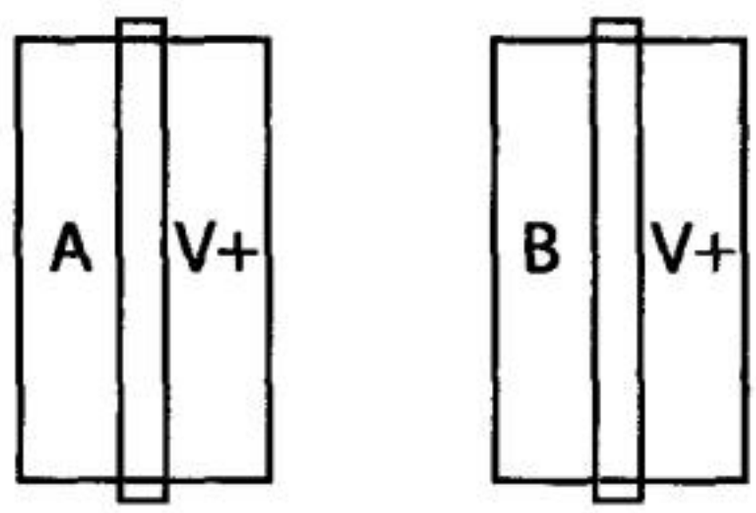


图 3-17　无共用的版图。

你不能如上图所画那样直接进行连接，因为中间是不相同的区域。对右边的晶体管进行翻转，将 V＋点调到中间，这样可以进行连接与共用。版图如下所示：

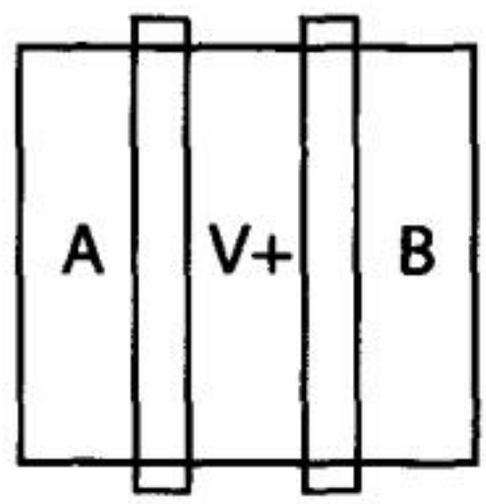


图 3-18　共用后的版图。

3.5　器件连接技术

一旦将所有的 A 端、B 端合并到一起，接下来的工作就是进行连线。下图所示结构是采用并行连接的方法进行连线，所有的 A 端被器件上沉积的金属条连到一起。这里，金属条向下延伸到每个接触孔，然后在图形顶部相连。图中，“M”形的金属条用灰色显示。

对于两个 B 端采用相同的技术进行连接，金属条覆盖了 B 端的每个接触孔，在图形的底部相连，图中，“U”形的金属条也用灰色显示。

栅连接稍稍不同。多晶硅能够在一些特殊场合作为连线使用，如多晶硅条。我们能够将晶体管的栅条延伸出器件有源区，然后用多晶硅进行连接。

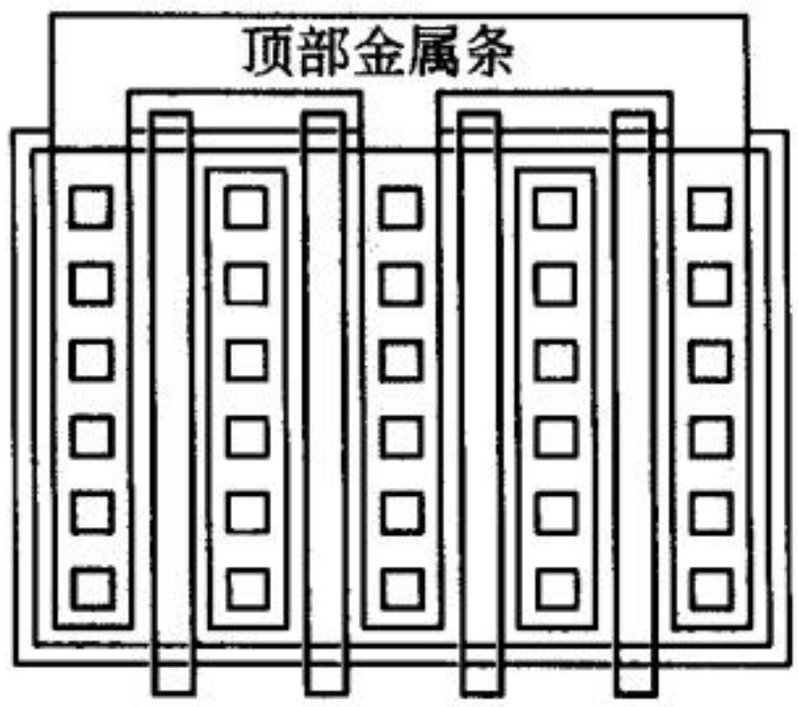


图 3-19 所有 A 端相连，所需连接的源区被用金属条覆盖。

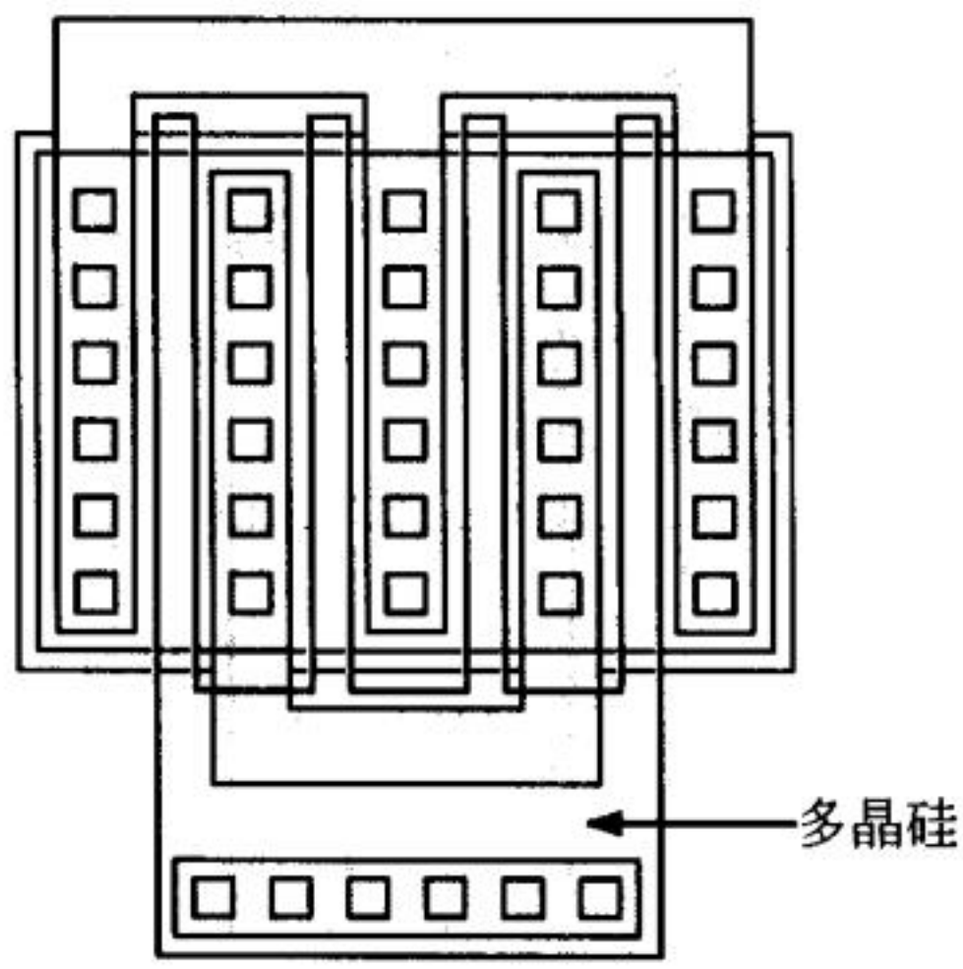


图 3-20 在所有源相连、所有漏相连、所有的栅也相连后，有效栅宽与原细长晶体管相同。

多晶硅能够作为引线使用。

因为多晶硅的电阻远大于金属，所以会存在一些潜在的危害，在一个稍长的距离上，重要的线电阻就显现出来了，建议仅仅对非常短的距离采用多晶硅连线。如果你采用的连线在传输电流并有很大的电阻，则有可能因为这个电阻而导致电路功能障碍。明智地使用多晶硅！要考察距离、电流和电阻。在这个例子中，我们也在栅连接线上开出接触孔并覆盖了金属以便进一步地连接。更多地使用金属。

对于原先的 200×1 的晶体管，图 3-10 和图 3-20 所示的版图在功能上是一致的，但后者的寄生参数更小，工作速度更快，芯片资源利用更有效。版图设计师进行了选择。记住，这是你的创造。

版图设计师的选择。

下面是一些连接四个晶体管的相关方法，各有值得注意的优点。

如果你采用的是设计工具自动生成的晶体管结构，就像上面所示的那样，每个晶体管沿源漏区长度方向将有许多小的方形接触孔。

当然，如果你希望节省更多的面积，可以舍弃一些接触孔并将连线直接跨越器件。

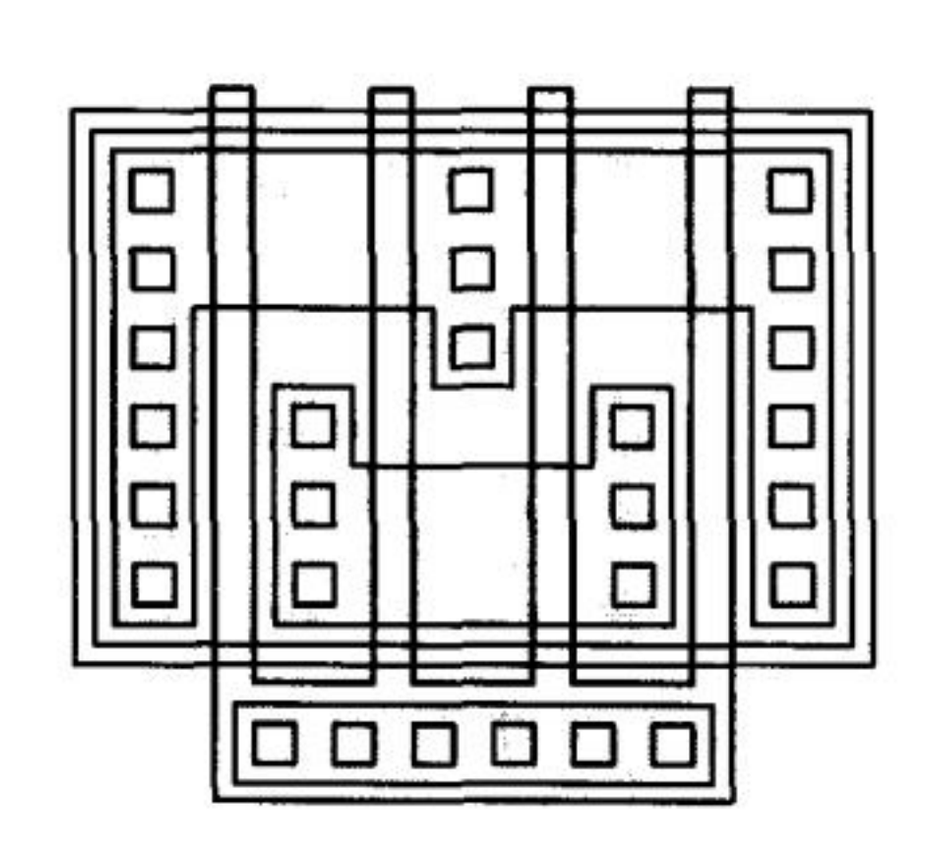


图 3-21　金属向内收缩。

如图所示，原先突出的金属收缩到器件内部。我们已有了许多接触孔，你并不一定需要沿着整个沟道宽度方向都开出接触孔。开这么多接触孔的基本想法是减小器件的接触电阻，实际上也许少量的接触孔就足够了，但同时也要注意，如果你舍弃太多的接触孔，接触电阻就可能会高于你的允许值。

试试看

比较版图，你有没有发现两个版图是在构建相同的器件？你看见我们是如何通过将原先在外部的金属内缩到有源区上来减小面积的方法了吗？

置于器件之上的金属条就是以前在外部的同一个金属条，连接 A 端的金属条还是呈现“M”形，连接 B 端的还是呈现“U”形，带有金属短接条的多晶硅连接着 C 端仍是沿着底部放置。

这里是第三个选择，观察下图，看看有什么不同？

A、B 两个端的金属连接线与图 3-21 中的相同，不同之处是用金属线将分开的多晶硅栅条连接起来。这种栅连接的方法是最可靠的。只在栅区使用了多晶硅，而多晶硅栅之间的连接采用金属以确保连接

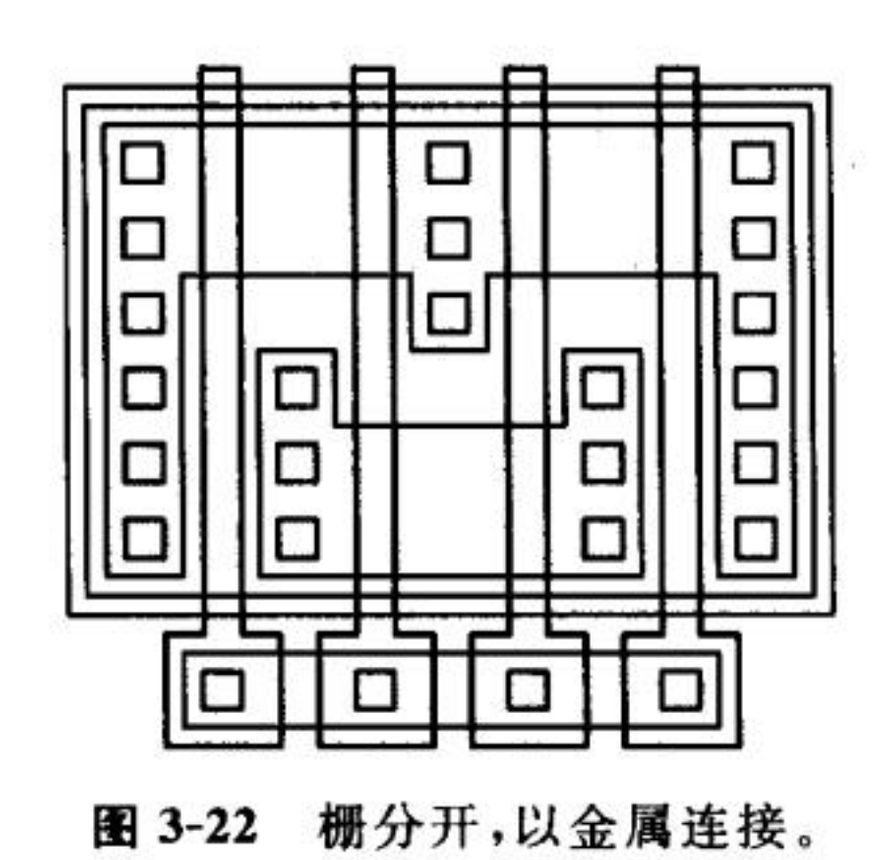


图 3-22 栅分开，以金属连接。

可靠，并且信号对每一个栅的传送都是相同的。

我们已经根据电路原理图得到了版图的基本单元，采用源漏共用和器件分裂技术减小了寄生参数。这仅仅是减小寄生参数的开始，我们的每一次变化都应努力地确保寄生元件对电路功能的影响最小。

源漏共用、器件分裂以及减小寄生是贯穿整个 CMOS 版图设计的基本技术。除了我们刚才的小例子外，你能够将这些技术运用于许多器件设计。注意睁大眼睛，寻找运用的机会。

现在已利用优化的尺寸与形状完成了器件设计，但这仅仅是一组器件的自身相连，下面将探索连接器件和电路块为一体的方法。

3.6 紧凑型版图

大部分集成电路的设计是采用非常小的、易于控制和易于理解的电路的组合，连接这些小的电路产生一个大的、复杂的电路。

■ 经验法则：通过小的、易于理解的功能块构造大的设计。

这样的电路设计方法使版图设计更容易。刚开始就试着连接一千二百万个晶体管构造电路，还不如先尝试连接十二个晶体管，然后一步步解决大的设计问题。

设计目标是使版图紧凑，就像尽可能利用器件分裂一样，在设计器件时应尽可能利用矩形，这是实现目标的一部分。众多的矩形版图之间的协调比非规则版图结构更容易。

例如，下面所示的版图，有一个大的器件在两边伸出。如果采用这样的晶体管结构，则会浪费空间。想象一下，数十个这样的电路单

元拼接在一起而不浪费一点空间，可能吗？几乎是不可能的。

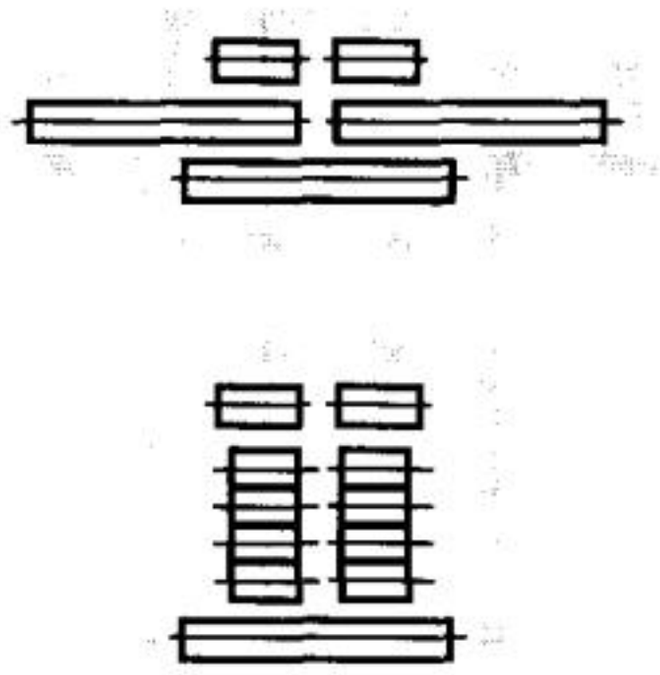


图 3-23　为便于拼接，应将器件设置成矩形。

如果通过器件分裂方法重新构造形状，将中间的两个器件分裂成两组四个器件并联的形式，则你得到了更好的结构，更有利于将众多的晶体管紧凑地聚集在一起。

■ 经验法则：尽量将器件设置成矩形。

如果不得不将版图设计成不规则形状的时候，那你应该考察与这个器件有关联的其他电路单元，如果可能，可以将这个电路中的器件以某种方法放置，使组合两部分得到的形状是矩形。

3.7　棒状图

怎样才能够容易地从电路图得到最有效的源漏共用版图呢？一个有用的工具是**棒状图**。棒状图非常简单地表示了器件以及它们的连接，它是介于电路图和最终版图之间的中间形式。

完成的棒状图将告诉你器件的布局和连接关系，之后的工作就是用实际的器件和连线替代棒状图。

以我们常见的倒相器电路为例。

因为 P 型器件必须放置在 N 阱里，而这些器件通常又会以某种方式连接到某一点，因此，我们可以理解为什么在 CMOS 版图设计时通常将所有的 P 型器件放在一个共用的 N 阱里。因为设计规则规定的 N 阱与 N 阱间距远大于晶体管与晶体管之间的间距。同时，采用共用 N 阱技术还可以减小电路的面积。类似地，N 型器件也被放置在一块共用的区域里，这区域或者是 P 阱，或者是 P 型衬底。

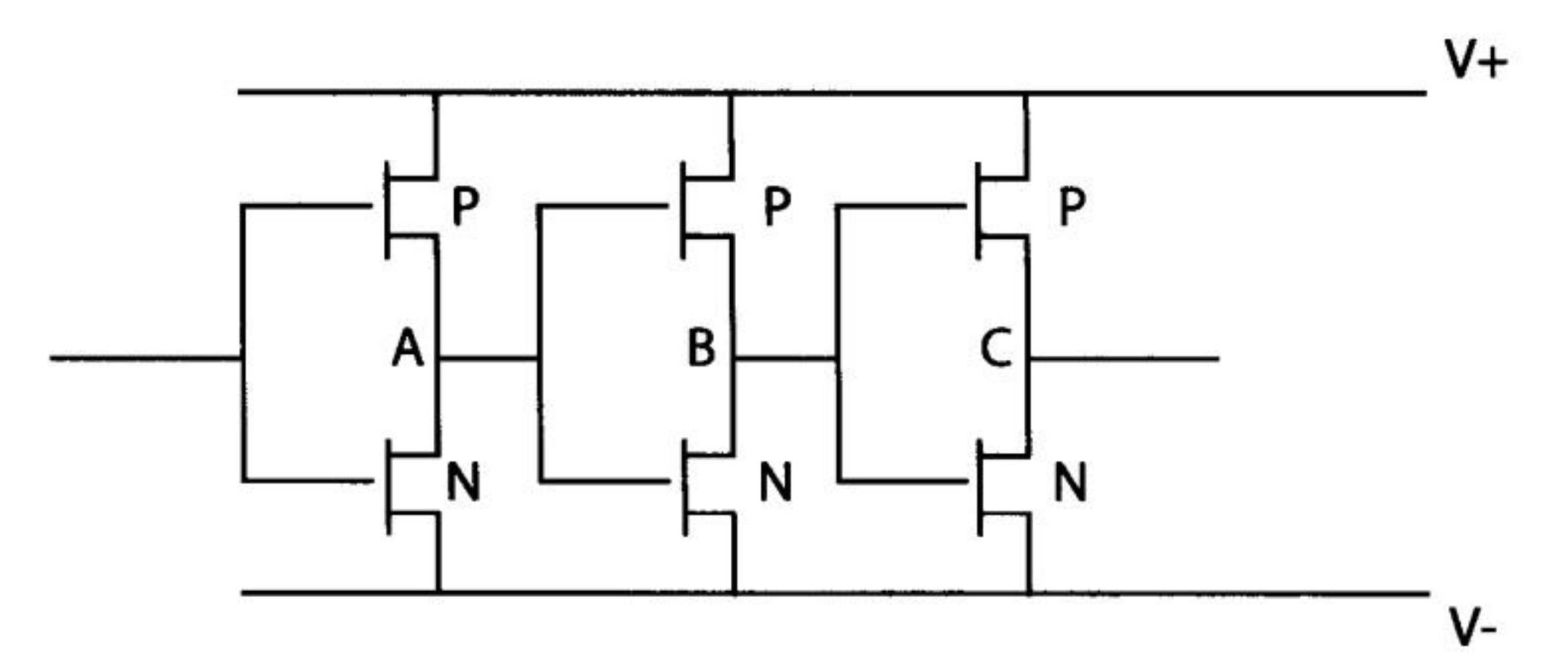


图 3-24 示例电路，上面是 P 管，下面是 N 管。

因为采用共用区域，因此，所有的 P 型器件通常是紧挨在一起，所有的 N 型器件也是紧挨在一起的。顺理成章地，我们可以用一条水平的棒状图形来表示 P 型扩散区并使其位于图的顶部，以另一条水平的棒状图形表示 N 型扩散区并使其位于图的底部。在棒状图中，多晶硅、扩散区以及连线都可以用一条简单的线来表示，当一条多晶硅与一个扩散区交叉的时候就表示了一个晶体管。因为所有的结构都以棒表示，所以，这样的图被称为棒状图。

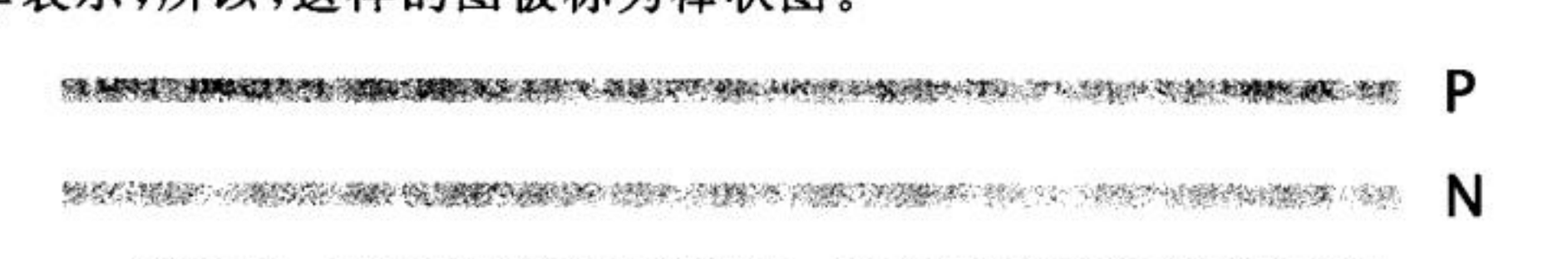


图 3-25 以棒状图形表示扩散区。P 型器件通常被放置在顶部，N 型器件通常被放置在底部。

幸运的是，大部分的原理图都将 P 型器件画在上面，N 型器件画在下面。这样，器件的布局工作已由电路设计师完成了，我们可以直接构造棒状图。如果在原理图里的连线都是一些短线，则我们的版图也可采用类似的布局方式。

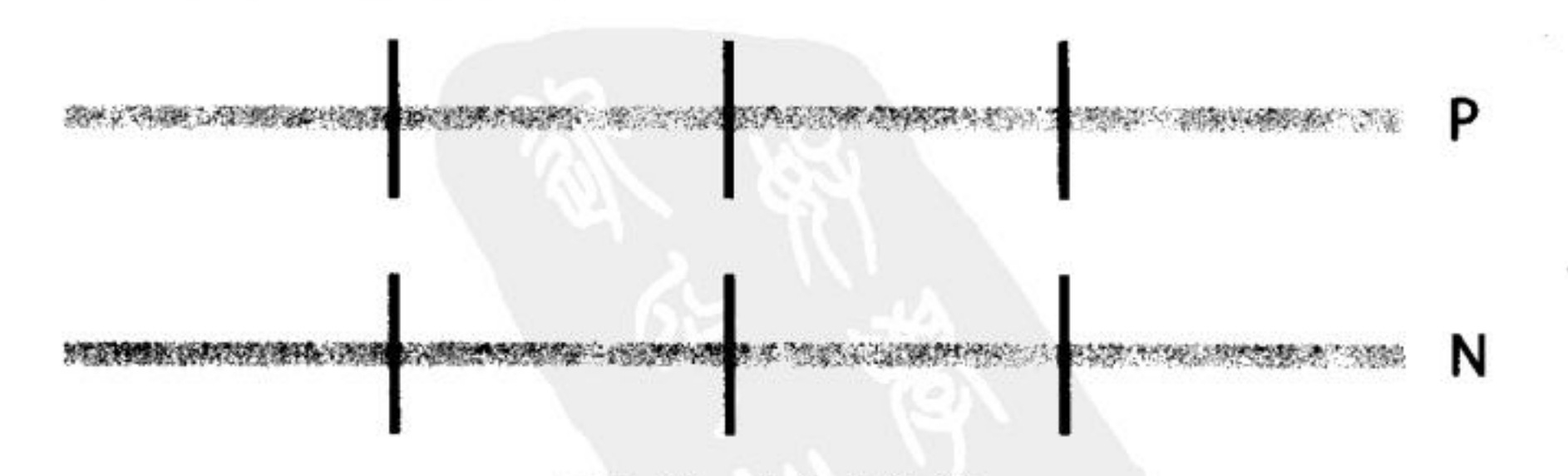


图 3-26 六个晶体管。

器件的多晶硅栅以跨越扩散区的竖直线表示，在每一个多晶硅与扩散区的交叉处就形成了一个晶体管（多晶硅栅在扩散区的上面，理解吗？）。

最后，通过线段连接各个器件端头实现布线，器件的连接接触点可以在任何你需要的位置，以一些小的“x”来表示连接点的位置。

现在，来实现源漏共用设计。假设，我们的晶体管有两个端点 A 和V＋，将它们在左边第一个栅的两边分别标注。

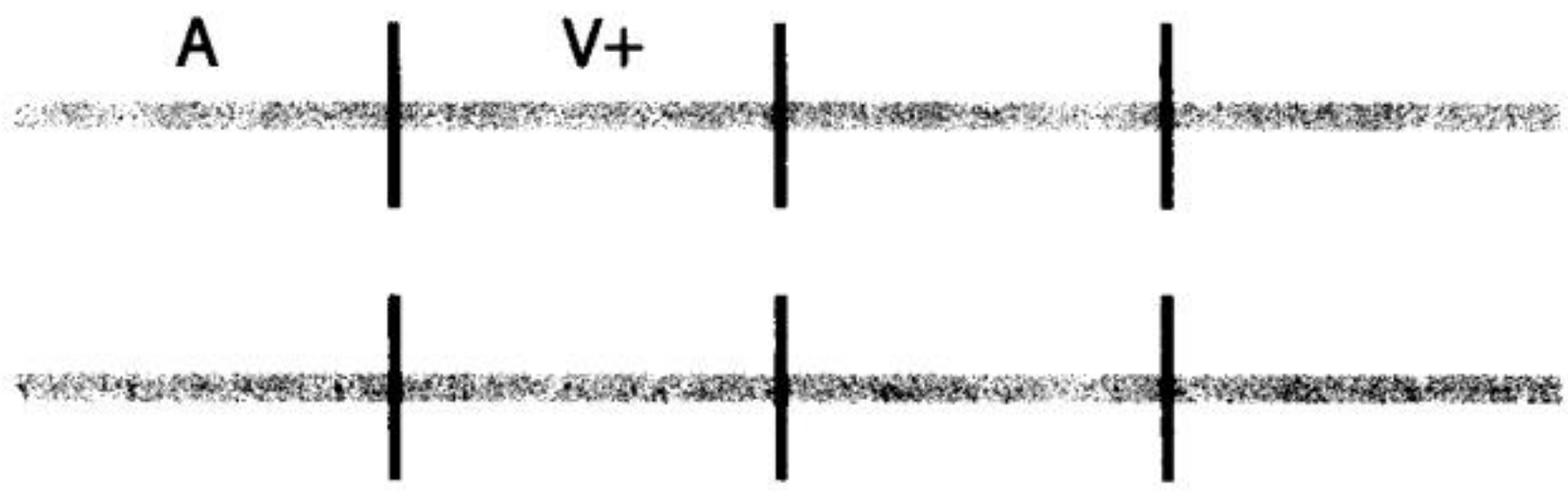


图 3-27　试着开始确定端点的位置。

接下来是对其他的晶体管及它们的端点进行处理。或许，你的初步设计非常好，或许很糟糕，根本就不能实现源漏共用。

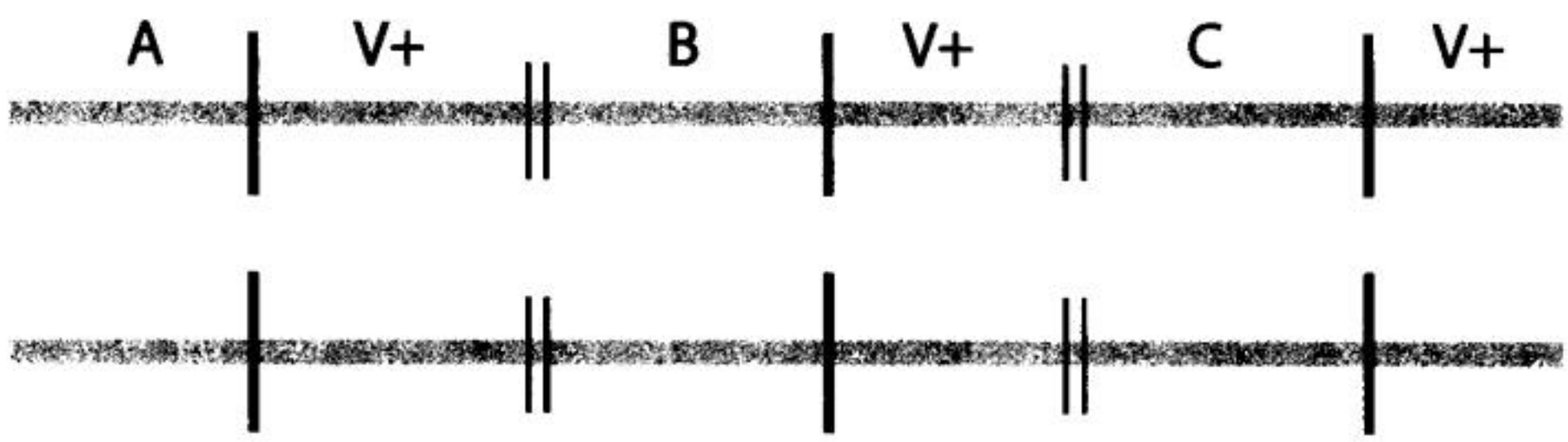


图 3-28　在扩散区上有两处需要断开，这不是一个好的设计。

由图 3-28 所示的棒状图已说明了设计并不理想。为了构造晶体管的版图，我们不得不将扩散区拆成几段。这里以两条平行的竖线表示扩散区断开点的位置。这种断开结构迫使我们在不同器件的扩散区之间要留有一定的距离。但是，当源漏不能共用时，这种断开则是必须的。每一次的拆断都导致晶体管被分开并因此产生面积的浪费，理想的设计是不拆断扩散区。

必须设法减小版图的面积。我们观察器件的布局看是否能够利用源漏共用去除一些断开点。试着连接V＋端。

调整与源漏共用相关的端点顺序，重画棒状图如下：

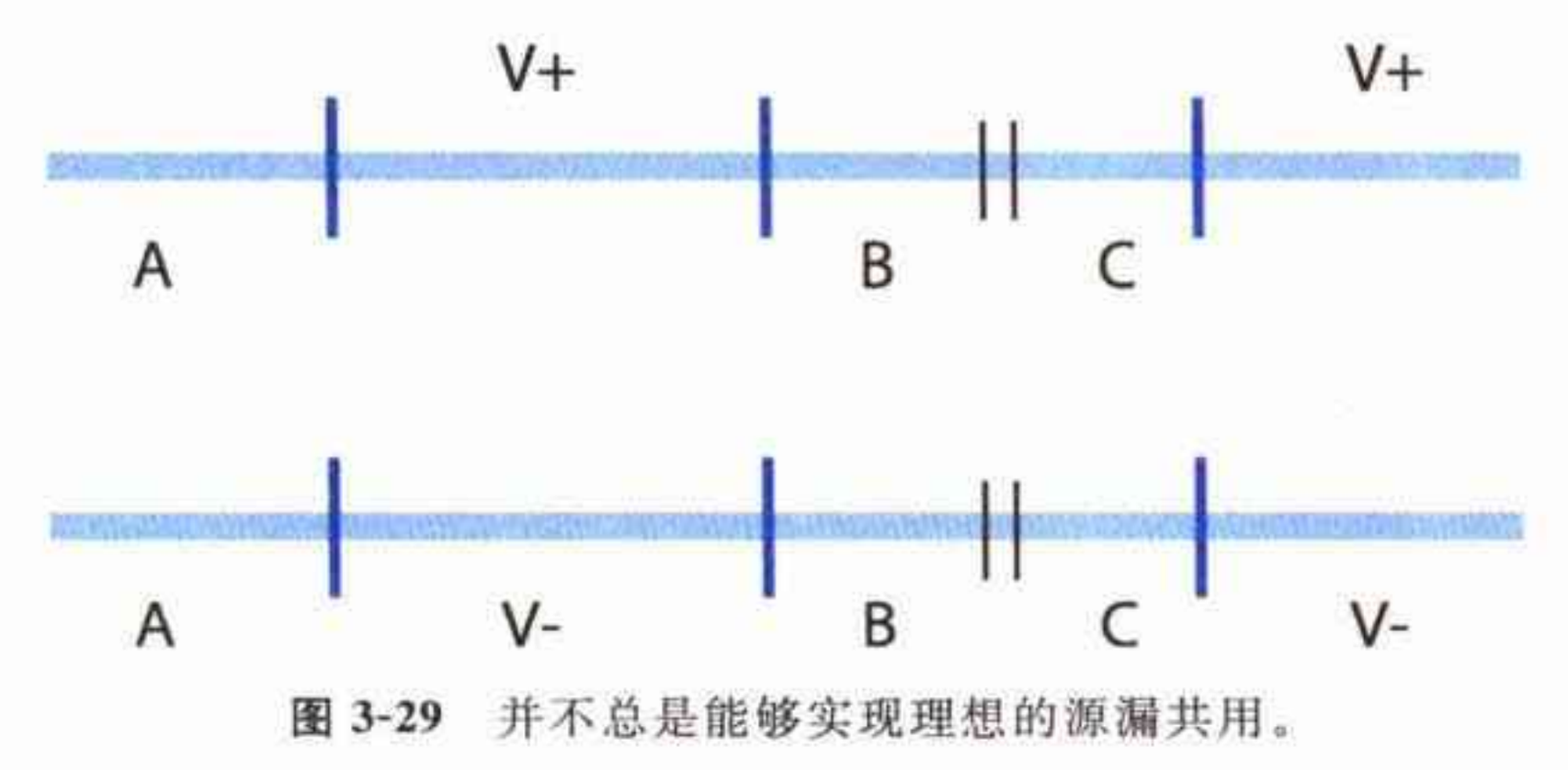


图 3-29 并不总是能够实现理想的源漏共用。

无论你怎样翻转器件都没有更好的源漏共用了，这个棒状图是我们能够实现的最好的结构了。在大的电路设计中，这样的源漏共用尝试经常需要反复许多次，直到确信不能够进一步简化了为止。你也可以通过改变器件的顺序位置来得到最紧凑的结果。

作为年轻人，Chris 惯于解决错综复杂的布线难题。当我遇到这样的难题时，我不希望他在我身边，他会情不自禁地来帮我解决它。这些问题对他来说驾轻就熟，当我还未弄清楚时，他只要稍事观察，就知道如何解决。—*Judy*

这说明需要大量的实践。现在，当电路设计师给我一个电路的时候，我甚至可以不用棒状图就能够勾画出版图的结构。实践是关键。大量的实践将有助于你对设计的理解，实践会告诉你答案。—*Chris*

在上面的初步设计中，我的企图是得到一个成功的结果。但设计是不理想的，没有源漏共用，还有两处扩散区被断开。我迅速做了调整并对V＋端点实现了源漏共用。你必须寻找一个开端，虽然，你可能知道它并不是最好的结构，但它使你向最好的设计进发。

一旦完成了源漏共用，你就有了初始布局，就能够连接其他的端子。在数字电路中，一个 P 型晶体管与一个 N 型晶体管对应是非常典型的形式，它们保持着成对的结构，并且，栅采用短的多晶连接。

经验法则：P 型、N 型晶体管对的图形彼此靠近。

当你将所有的连接完成后，你就有了设计的模板。

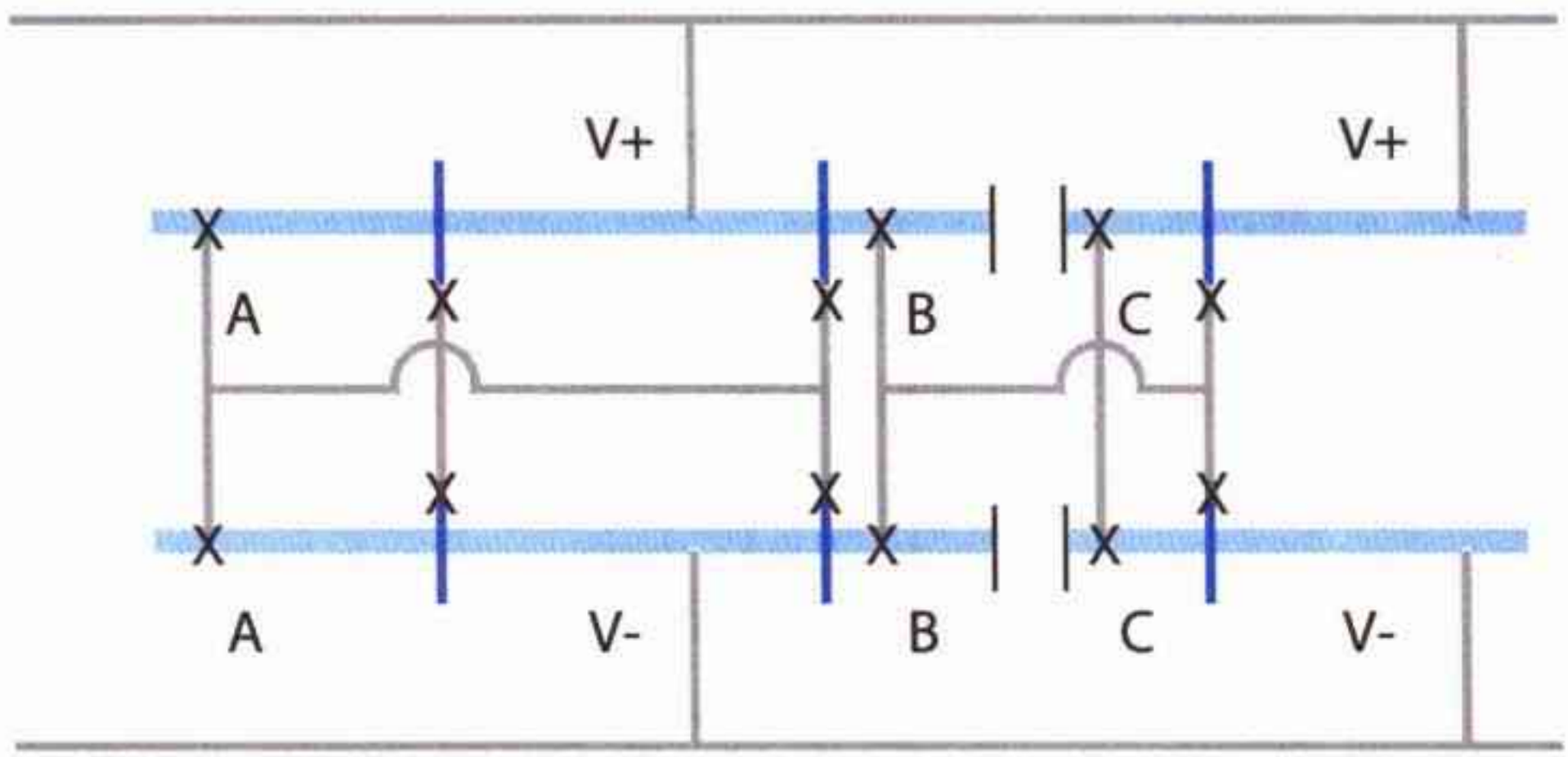


图 3-30　连接器件完成棒状图。

在这个例子中，我们还可以进一步的改善设计。注意最后的一对晶体管（即连接 C 点的器件），将它们进行翻转可以去除一个线的交叉。下图所示的是最终的棒状图。

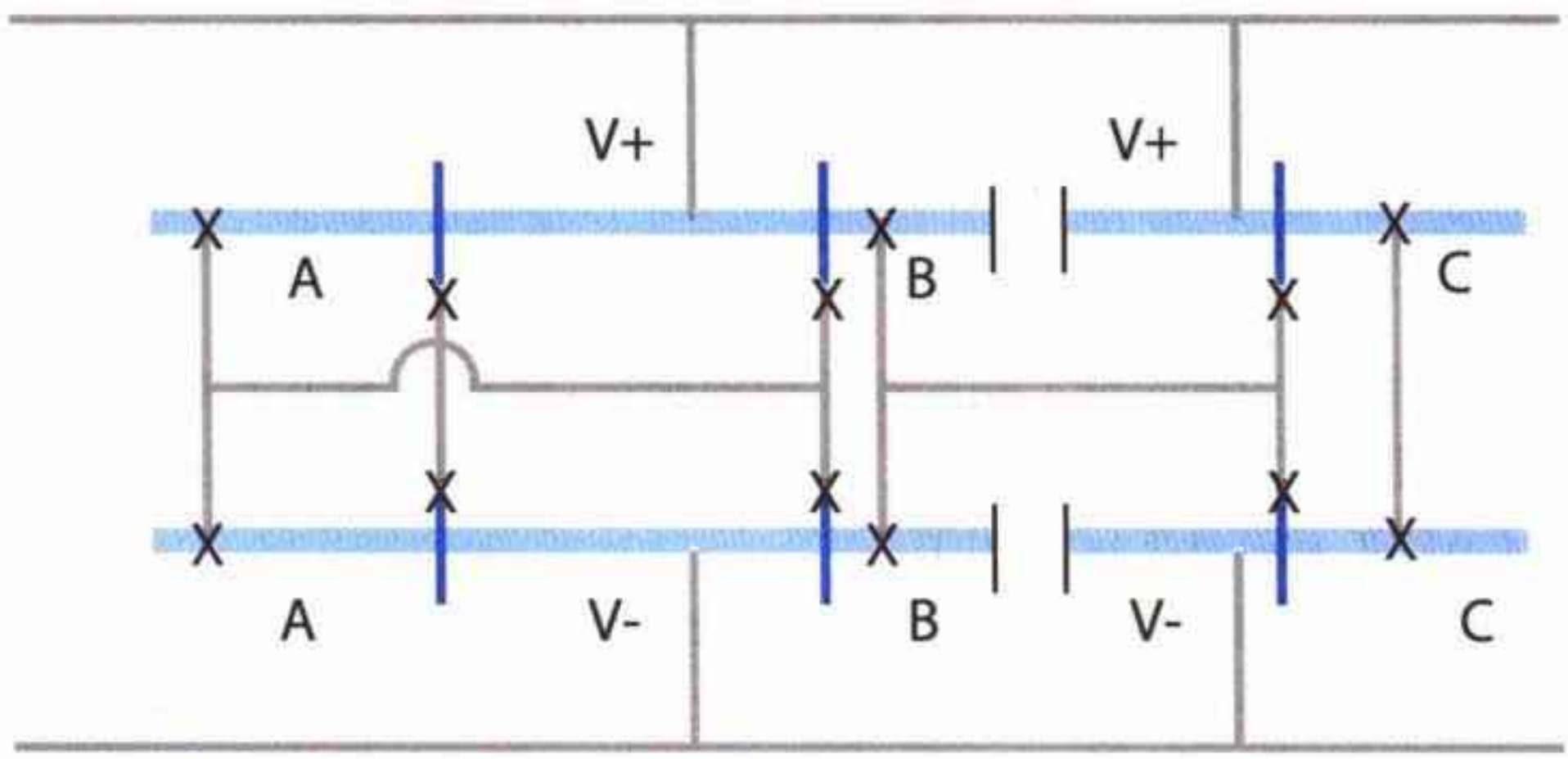


图 3-31　棒状图是优化设计的快捷方法。

由器件 B 构造的倒相器和由器件 C 构造的倒相器之间的连接，由于最后的那个器件翻转而变得简单。即使在已完成了优化的源漏共用版图设计后，你仍然可以重新排列器件实现更好的连接。

你教新雇员们画棒状图吗？—*Judy*

不。大多数人已经熟悉这种方法了，但有时也会有一些同事虽然从事版图设计职业，但对棒状图并不熟悉，在他们需要时我会教他们。

你使用棒状图吗？

是的，除了不得不将电路和棒状图画出来时，我平时基本不用。就我而言，我使用混合棒状图。

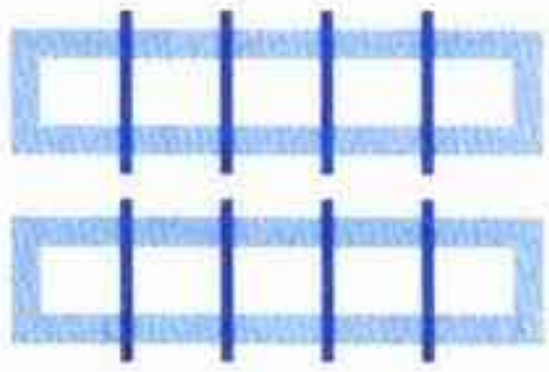


图 3-32　混合棒状图。

所谓混合棒状图，是指采用扩散区的矩形图代替棒图，它给我更多器件的感觉，它更接近于真实版图。

棒状图是一种有用的技术，但对于简单的电路，我觉得有点麻烦，当你已很熟悉版图设计后，并不是每一个设计都必须使用棒状图。当然，对于初学者，还是需要知道如何使用棒状图。

不过，我也见过某些有了 20 年设计经验的人仍按部就班地使用棒状图。

现在，我们已知道了基本棒状图的画法，借助于 SPICE 模拟器也得到了器件的尺寸，也就是说，我们已有了一个设计基础，现在可以使用 CAD 工具设计实际版图了。

在开始连线、做棒状图以及进行版图平面布局之前，你应该告诉电路设计师："这里的器件是电路图中那个对应器件，你同意吗？你同意这些器件彼此相关布局吗？现在，你已看到与电路图对应的器件布局了，你是否有修改意见？如没有，我要结束布局进行布线了。"

他们可能会说："我们是否可以进行某些结构的重新排列改变特殊器件的尺寸，从而使面积更小一些呢？"

或者说："我没想到这个器件会这样大，它们不需要这样大，可以改小一点。"

又或者说："如果将这个器件右移 20 微米就可以去掉这儿的这些电阻，并且可以使整个图形成为矩形。"

对电路设计师反馈信息总是有价值的，哪怕是仅仅给了你一点感觉：是的，我是对的，我的方向是对的。

我强烈地建议版图设计师们不要闭门造车，可以从电路设计师那儿求得帮助，不要盲目地认为你是对的。如果没有得到电路设计师的认可，你就有可能是在做无用功。如果某天你已从电路设计师那儿学会了很多东西，你的版图设计就将成熟了。

经验法则：从开始就保持与电路设计师的联系。

3.8　阱连接和衬底连接

我们可能认为只要打开 CAD 工具就可以对器件进行连接了，实际上不行！让我们在提交一个图形进行设计之前先考虑几个关键性的问题。

首先来看一个器件的截面图。

图 3-33　阱和衬底 PN 结是二极管，当出现不希望的正向偏压时将导致严重的后果。

在上面的这个图中有一个位于 P 型衬底上的 N 阱，这个 N 阱和 P 衬底形成一个 PN 结。请注意，这是一个二极管。如果 N 阱上的电压下降，P 衬底上的电压上升，就有可能使二极管被正偏。必须确保这个二极管不会被正偏！避免出现二极管正偏的可靠方法是设法使二极管总是反偏。

最简单的方法是将 N 阱接最正的电源，P 衬底接最负的电源。这种连接被称为**阱连接**和**衬底连接**。

图 3-34 是一个 PMOS 器件，在器件的两边各有一个阱连接区（阱接触区），阱连接区是 N 阱内部的 N＋掺杂区，N＋掺杂降低了接触电阻。由于在厚氧化层上开出了 N＋掺杂窗口，使得其上的接触孔容易刻蚀，最后通过沉积金属形成接触。

设置的阱连接越好，发生 PN 二极管正偏的可能性越小。

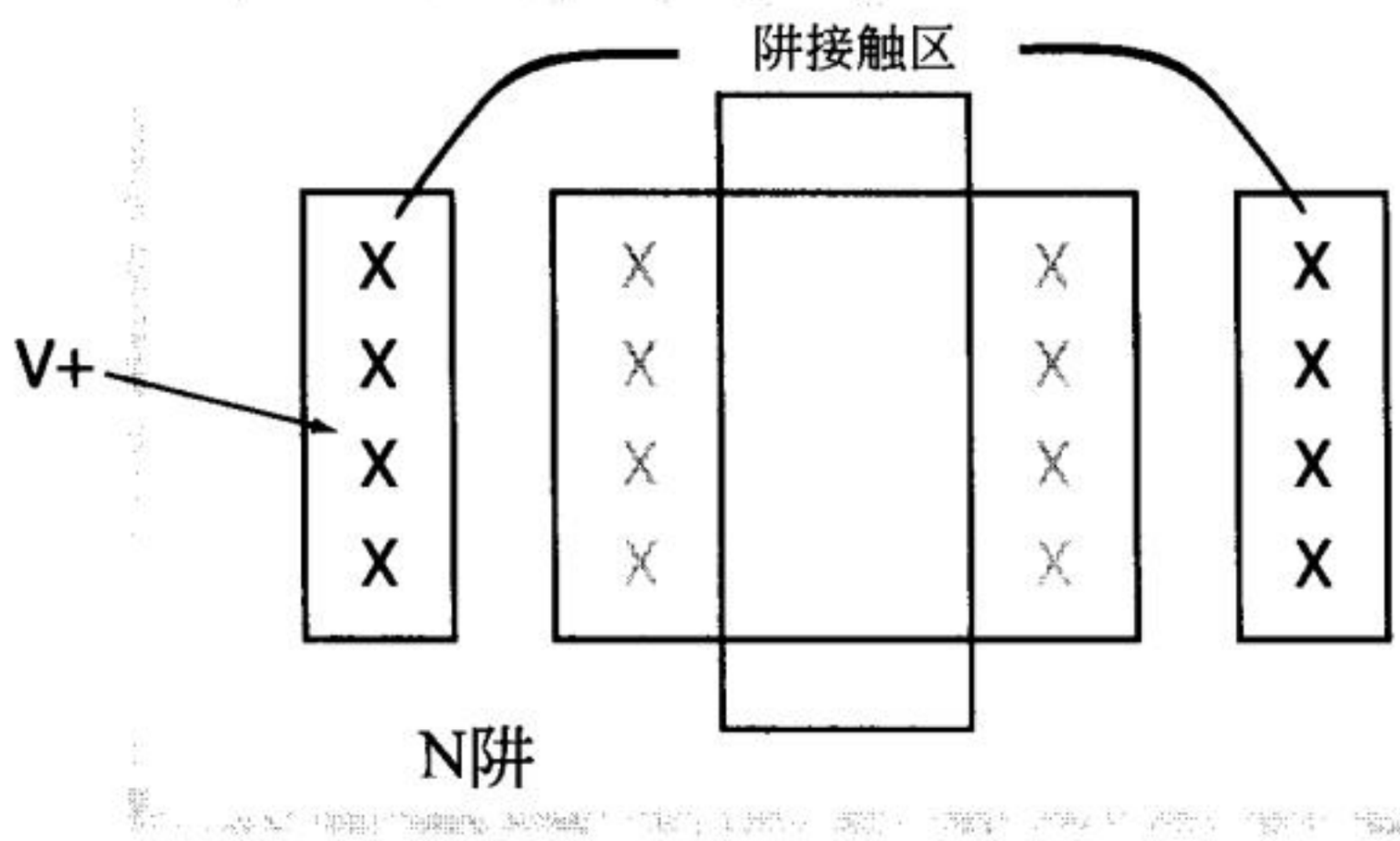


图 3-34 阱连接区位于器件的两边，由 N＋制成，接到 V＋。

■ 经验法则：尽可能多的设置阱连接区。

越多越好。

衬底连接区是衬底上的 P＋掺杂区，正如 N＋掺杂为我们提供了 N 阱的低接触电阻一样，P＋掺杂同样降低了对衬底的接触电阻。

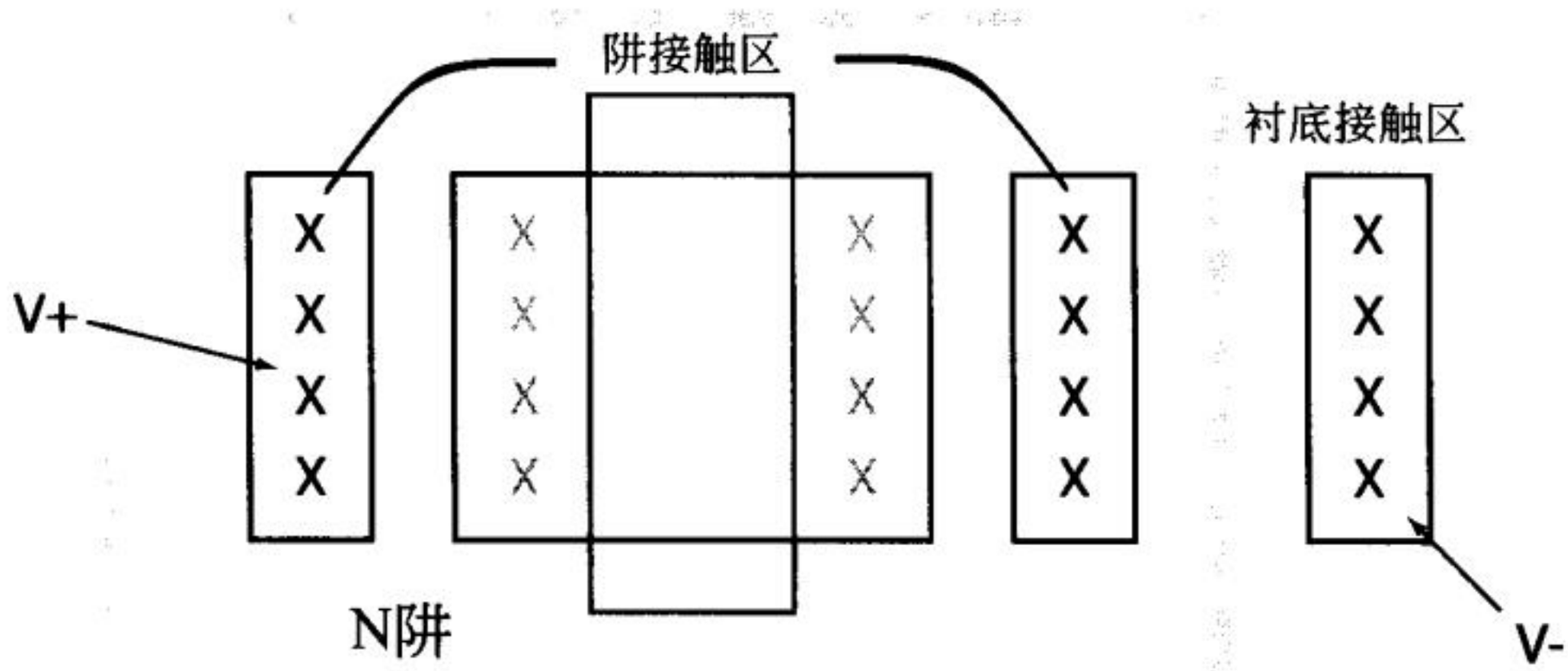


图 3-35 衬底连接到 V－，位于图上 N 阱外右侧。

在 CMOS 版图中，通常会看到阱连接区完全覆盖阱的情况。

■ 经验法则：在 N 阱中只要有空间就放上阱连接区，同样地，在衬底上只要有空间就应该设计衬底连接区。

所有这些工作都是为了阻止阱和衬底之间的寄生二极管出现正

向导通的情况。请记住，如果这个二极管导通，它就可能成为潜在的芯片损坏因素，会出现闩锁效应(这里只是给出了一个名称，在我们其他的相关书籍内，有关于衬底闩锁以及消除闩锁的更多介绍。这本书侧重于版图基础，在其他同事的书里介绍了版图相关技术，如闩锁效应、平面布局、设计工具、校验以及其他必需的高级知识)。

对于衬底连接和阱连接有一些规则。这些规则将说明每隔多大距离必须设置一个阱连接区，阱连接区距晶体管应该有多近。有些规则还会说明衬底连接的频度是多少，不仅会说明连接区距 N 型晶体管的距离规定，还会说明与其他晶体管的位置关系。例如，“每 50 微米至少有一个 N 阱连接点”，这些设计规则可用于 CAD 工具对设计进行检查。

3.8.1　阱连接布局

现在考察阱连接的一些布局形式。

在细长阱的情况下，阱连接可能只能位于细长阱的边界之处，如图 3-36 的情况。

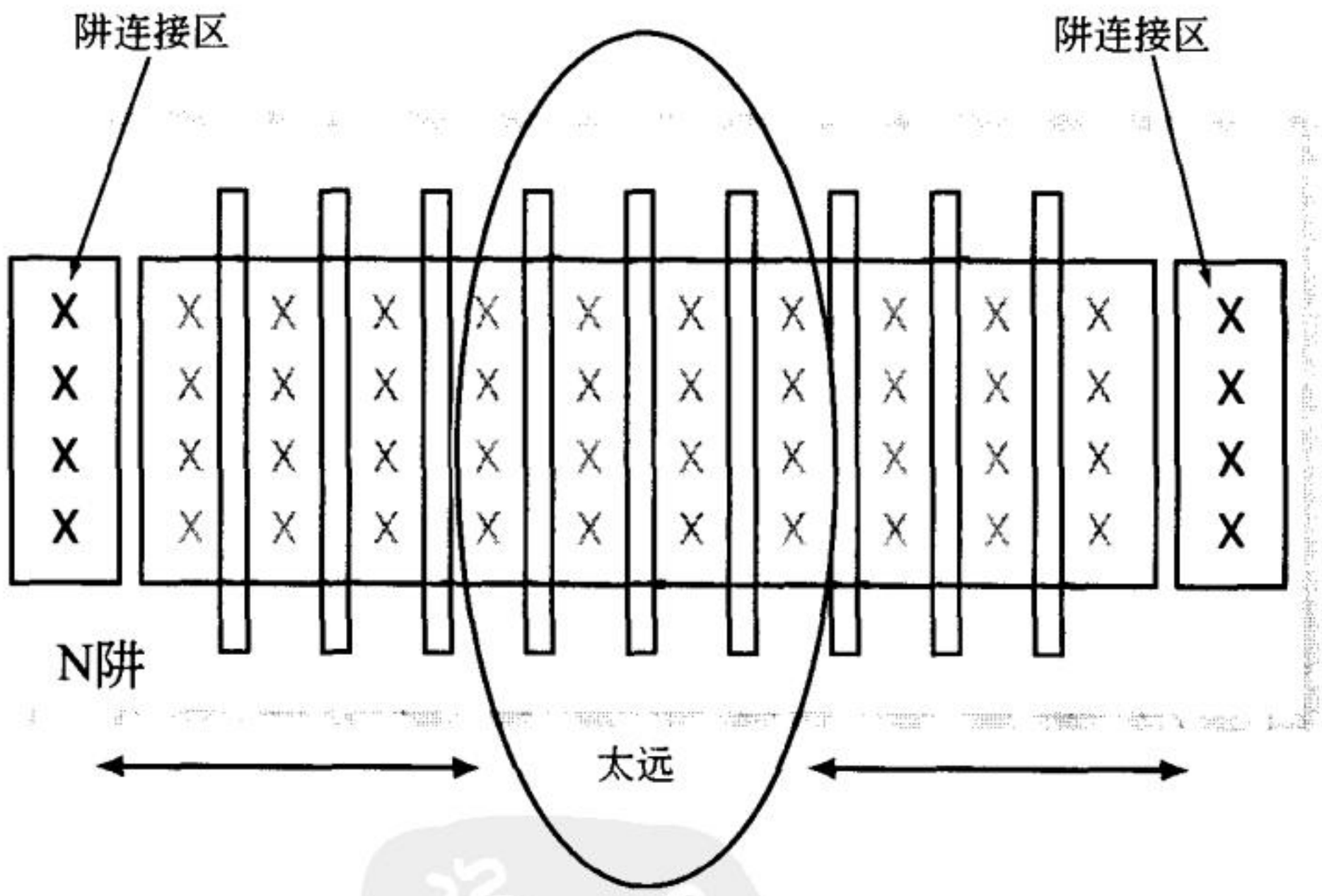


图 3-36　某些晶体管距离阱连接区太远，在中心部位的 PN 结是危险的，可能会出问题。

当进行设计规则检查的时候，你可能会发现在阱中心部位的晶体管距离阱连接区太远了。如果出现这样的情况，就必须分割器件并且在中心处插入一个阱连接区。请注意，N 阱掺杂区是有电阻的，该电

阻将产生压降并有可能导致 PN 二极管导通。

可供选择的方法是增加器件顶部尺寸并在那儿放上阱连接区。

也可以采用围绕着阱的环状阱连接结构。

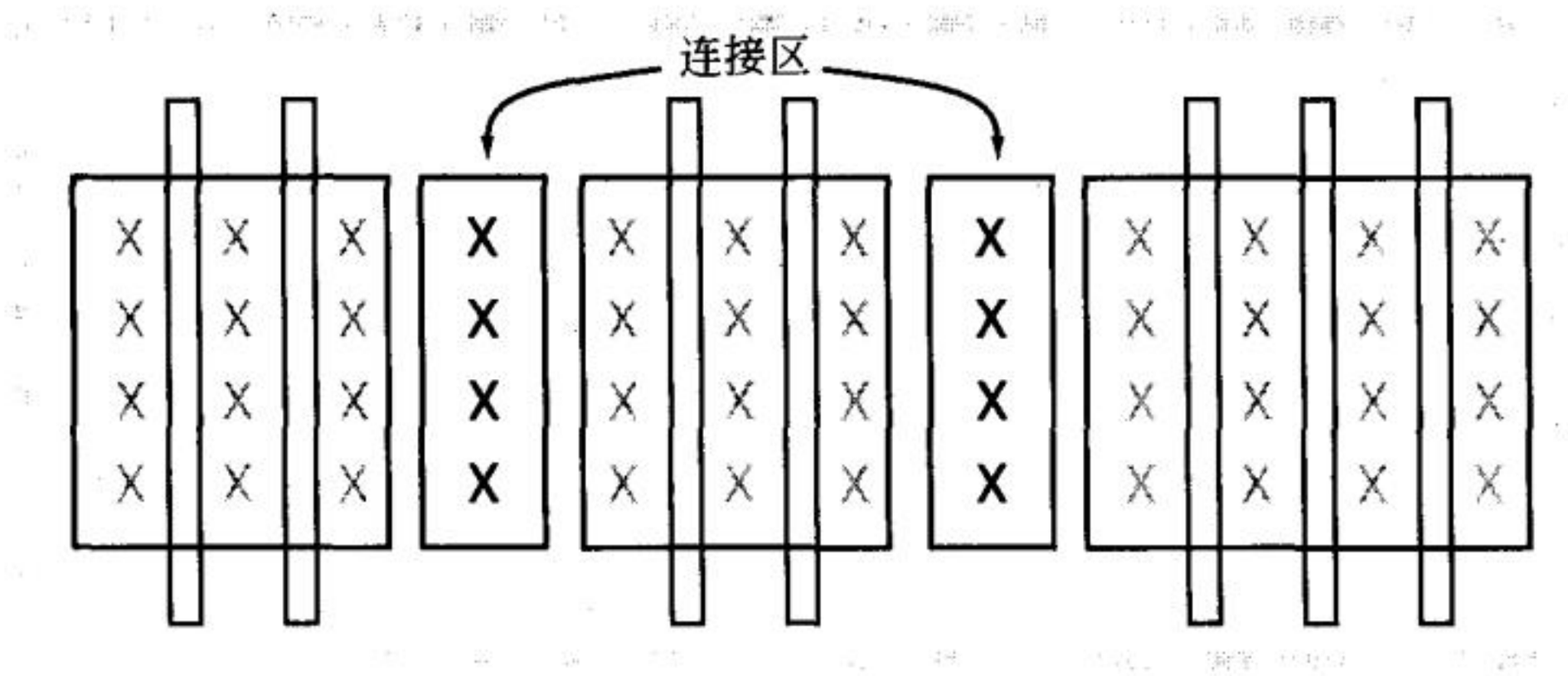


图 3-37　在中间设置连接区。

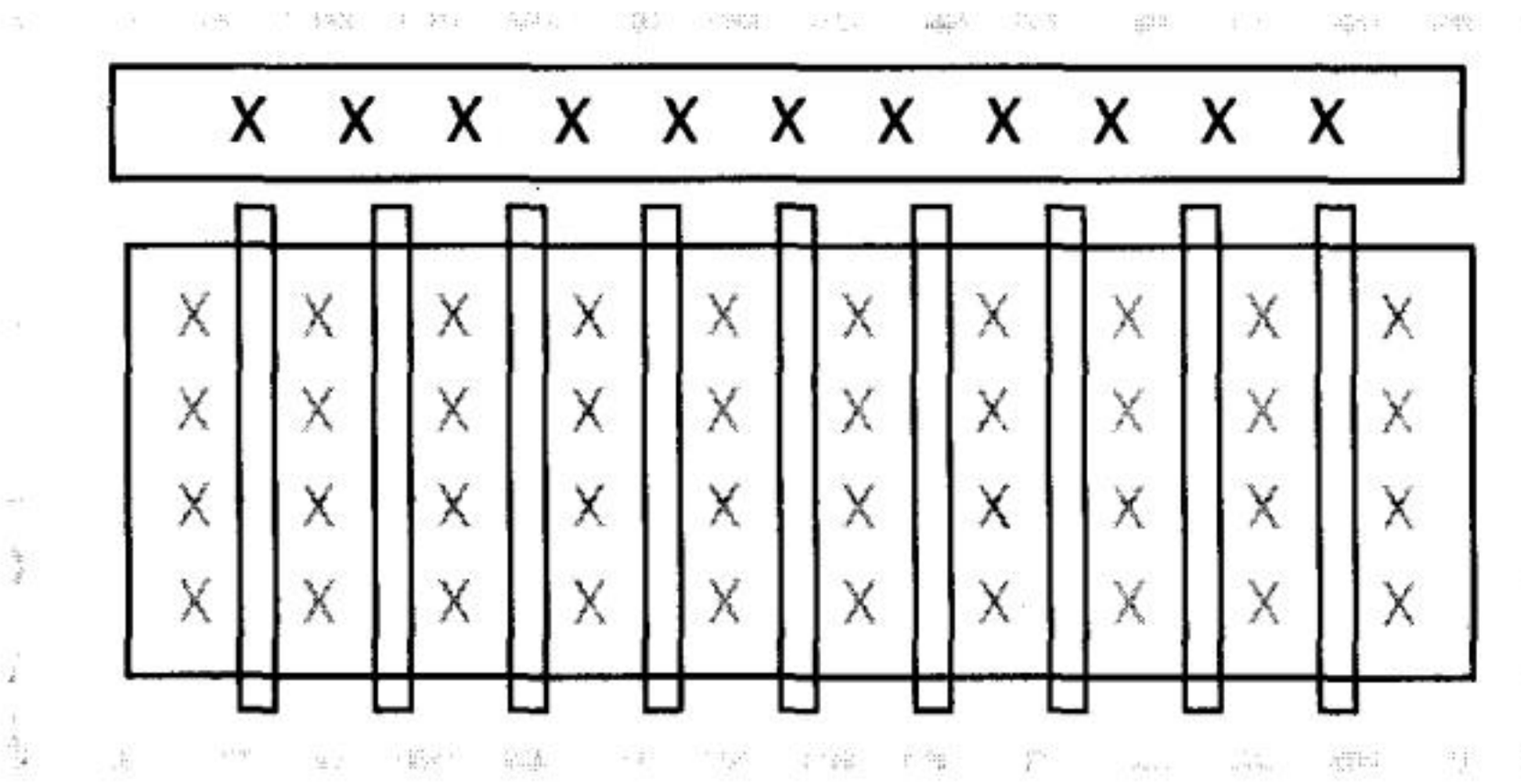


图 3-38　沿着顶部设置连接区。

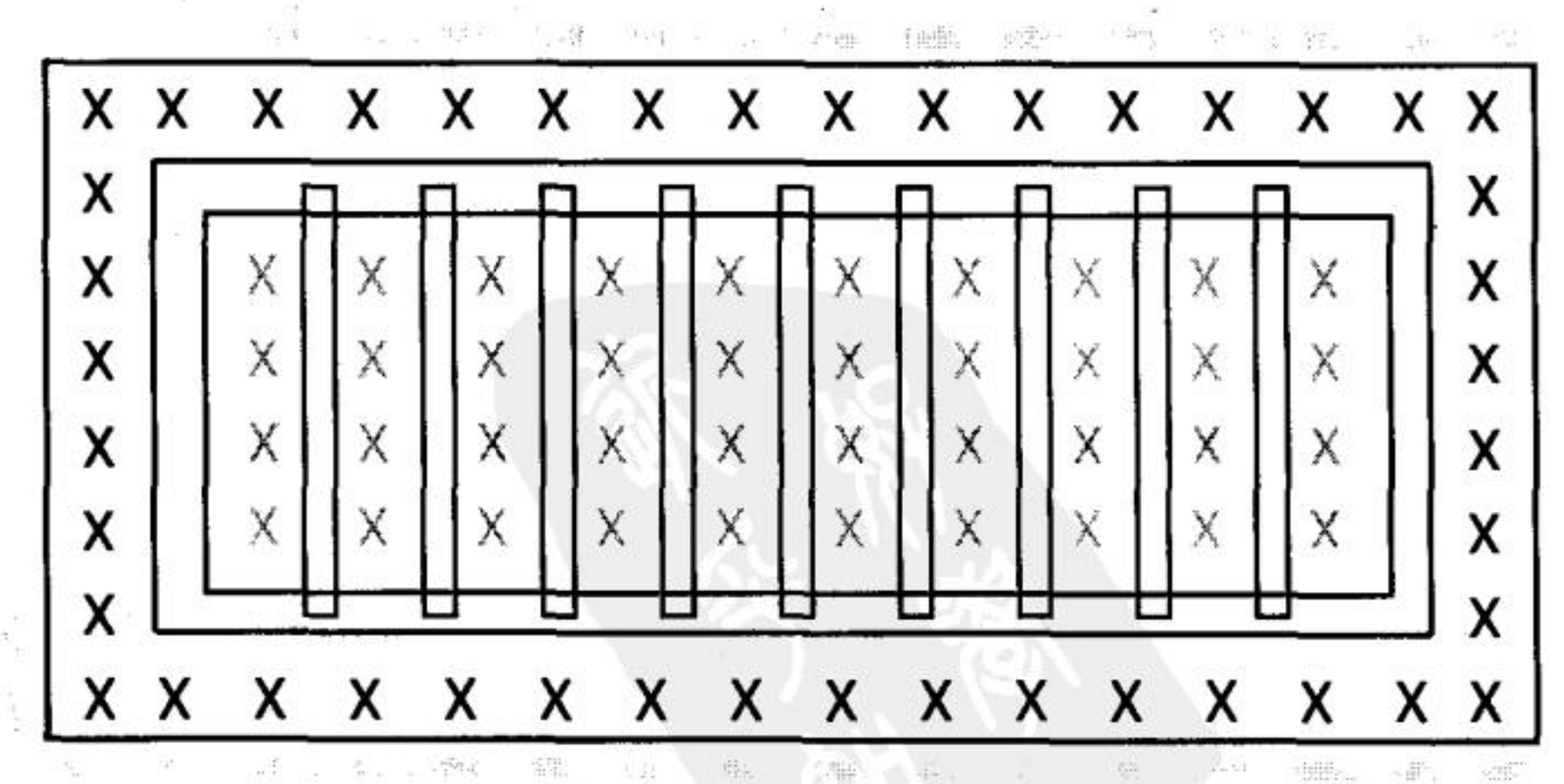


图 3-39　环器件四周设置连接区。

如果你采用先布线后设置阱连接区，则这些规则可能会使你很麻烦，因此，在进行真正的布线之前必须设置好阱连接和衬底连接，这样几乎可以保证所有的设计都没问题。

■ 经验法则：在做任何布线之前先设置阱连接和衬底连接。

甚至可以在开始布线之前运行设计规则检查以确保阱连接和衬底连接都是正确的，布线应该是最后做的事情。

上述的所有方法同样适用于衬底连接。

3.9　天线效应

CMOS 晶体管的栅非常脆弱并且容易损坏，对于如何连接器件的栅要格外小心。在晶圆加工中很可能会引入潜在的问题到电路里，并因此损坏芯片。

在版图设计期间就应该考虑几个工艺加工的问题。其中之一是所谓的**天线效应**。天线效应发生在多晶硅栅的刻蚀过程中，多晶硅栅的刻蚀采用反应离子刻蚀 RIE(前面曾经介绍过)。

图 3-40 显示的是准备刻蚀栅图形的 RIE 反应室的情况。

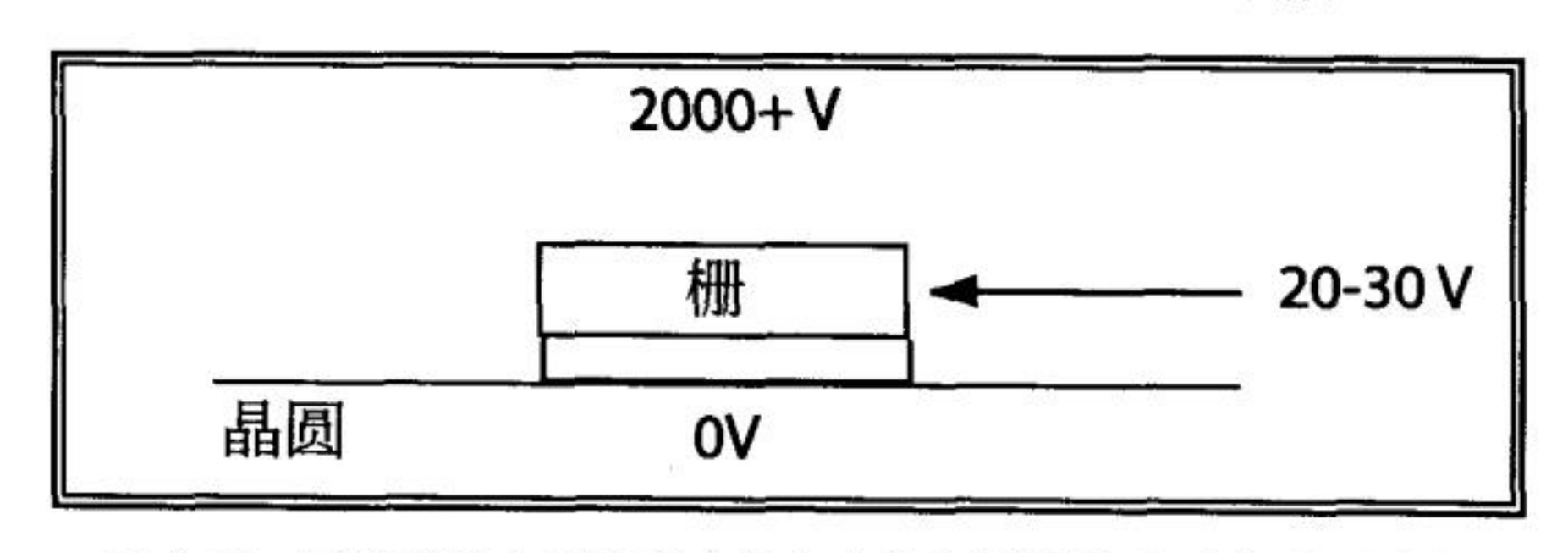


图 3-40　可以看到在 RIE 反应室中实际电压的情况，我们并不希望在那儿有这样的电压。

加在 RIE 反应室上的电压有 2000 多伏，反应室的基座为零电位。因为晶圆背面与 RIE 反应室的基座相接触，因此，晶圆衬底处于零电位。这样，就有 2000 多伏的电压加在位于中间的器件栅上。随着多晶硅被刻蚀，在留下的多晶硅栅上就会积累电荷，如果多晶硅体积比较大，则积累的电荷是十分可观的，这些电荷产生相应的电压。

如果作为晶体管栅的多晶硅上加了太大的电压，则栅氧化层将被损坏并导致晶体管失效。

如果将一个具有许多梳状栅条(例如,500 个栅条)的大晶体管的所有栅条用多晶硅连接起来,则形成了一个体积很大的多晶硅块,这不是你希望的吧?如果将栅条分成一些较小的块,则减小了每小块上产生的电压,这些较小的电压或许不至于损坏器件,这样就更安全一些。因此,相比于用多晶硅连接所有的栅,采用金属将分开的栅条连接起来是一种更安全、更有效和更可靠的栅连接方法。

下图给出了四个晶体管,每个栅在端头处都是带有一个接触孔的多晶硅块,所有的四个栅最后将用金属连接起来。

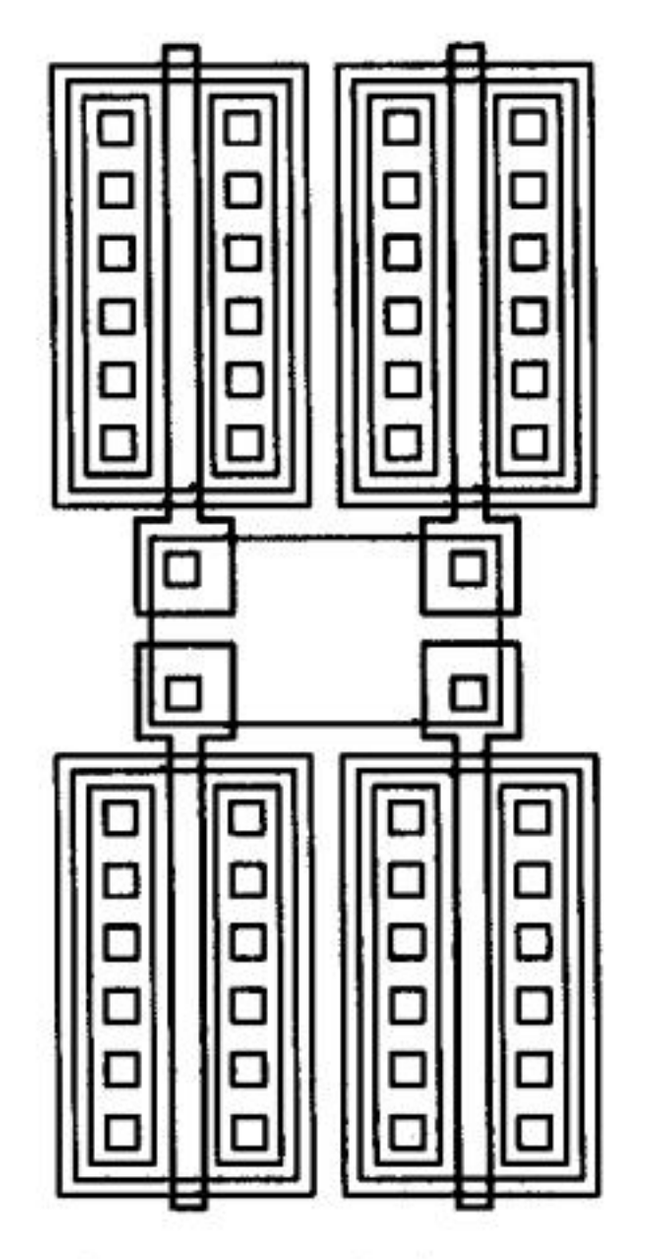


图 3-41 四个栅在中心处集合,这些小的多晶硅延伸区被一大块金属所连接。

设计规则通常都会说明单个栅结构的最大尺寸。天线效应直接与栅区的面积成正比。请注意,这里的栅面积是指栅条与有源区重叠的部分。如果栅面积太大就必须把它拆开。

将大面积的多晶硅分割成较小面积的多晶硅可以保护处于刻蚀中的多晶硅。

第二个工艺问题与天线效应非常类似,只不过需要改变的是金属连接电路的方式。我们同样采用 RIE 刻蚀第一层金属。类似于刻蚀多晶硅所产生的电压,在金属 1 被刻蚀的过程中也会产生电压,而 CMOS 的栅是与第一层金属相连接的,因此,在金属 1 上产生的电压将会传导到晶体管的栅上,要保护晶体管就必须把电压减到最小。

反偏 PN 结可以提供保护。在第 1 章中曾经讨论过 PN 结，如果反偏电压足够大，达到击穿电压时，器件开始传导电流。这个反向击穿电压远高于正常工作时的电压，但对于保护晶体管的栅是足够低了。在衬底上制作一个小二极管并与连接晶体管栅的金属相接，这个小二极管将限制所生产的电压幅度。我们称该二极管为**栅钳位二极管**，或 **NAC(Net Area Check)二极管**，这在当今的 CMOS 工艺中是非常普遍的结构。

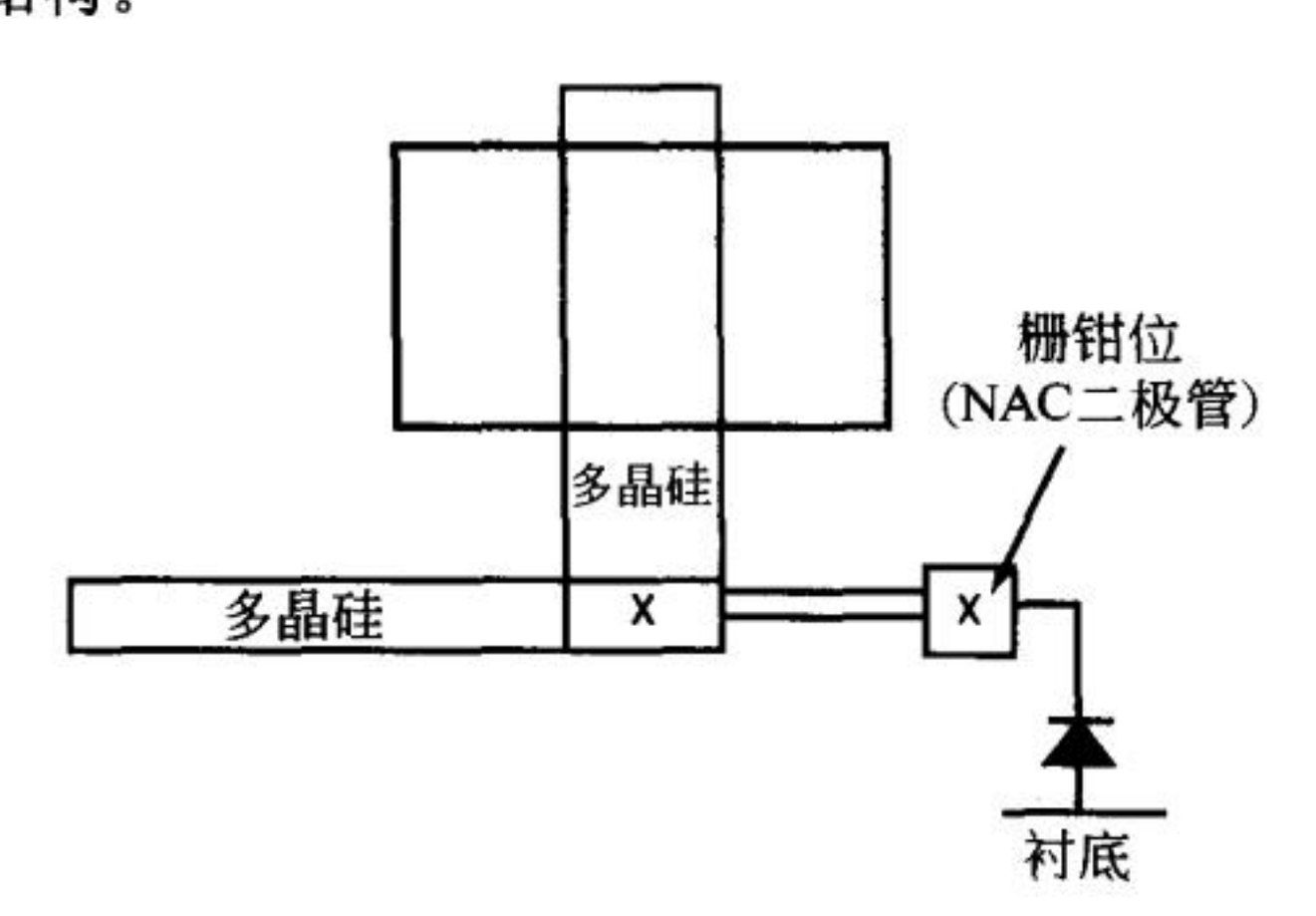


图 3-42　钳位二极管对任何有害的电压形成对衬底的通路。

栅钳位在金属 1 被刻蚀时提供对多晶硅的保护。

并不是所有的栅都需要栅钳位二极管来保护，如果一个栅用金属 1 直接连接到另一个器件的源漏区，则那个器件源漏对衬底的二极管起到钳位的作用。典型的例子是一个倒相器的输出连接另一个倒相器的输入。第一个倒相器的栅需要钳位，因为除了两个晶体管的栅是连接在一起的之外，它们并未连接其他任何东西，在加工中它们是浮置的。第二个倒相器的输入是直接以金属 1 连接到第一个倒相器的输出，因此，自动地形成了钳位。

试试看

为什么在刻蚀多晶硅时不采用钳位来形成对多晶硅的保护？在阅读答案前先想一想为什么。

答案

不可以。相对于刻蚀金属可以通过钳位多晶硅去保护它，而对

于刻蚀多晶硅自身，除了采用分裂多晶硅成较小尺寸外没有其他方法去保护。多晶硅不能被接地，因为在刻蚀工艺中需有电场存在，接地将使加工完全失败。

我们有了原理图，构建了棒状图，考虑了阱连接和衬底连接的位置，也知道了通过钳位保护栅避免天线效应。终于，可以将我们所学的内容融合在一起并开始版图设计了。

3.10 多晶硅引线

正如在前面所提到的，可以采用多晶硅进行布线。但是，当采用多晶硅作为内连线的时候要小心谨慎，用多晶硅连接栅是一种可靠的选择，但必须注意服从天线效应规则。

在大部分时间中栅仅仅是保持电压，只在对寄生栅电容充放电时栅才会汲取电流。如果采用长的多晶硅连线连接各个栅，就会形成相应的电阻。正如细长晶体管有大的寄生电阻一样，多晶硅内连线也有大的电阻。这样，栅的 RC 时间常数将会更大，电路的运行速度将达不到我们的要求。

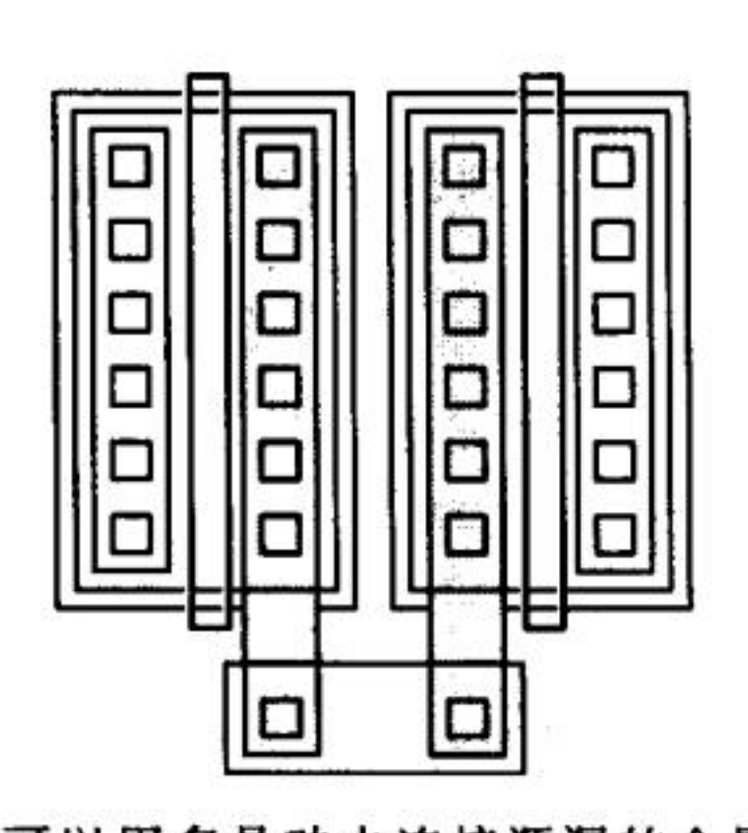


图 3-43 可以用多晶硅去连接源漏的金属引线吗？

有时，电路是如此复杂以至不能单独用金属进行布线，这时，可以采用多晶硅作为地道以使信号线结构紧凑。如果需要采用多晶硅地道，我们就必须对连接十分了解，知道这个连接是做什么的，通常情况下，要求多晶硅地道尽可能短，这样，额外的电阻不会对电路产生影响。

我们可以尝试用多晶硅来连接金属的源漏引线吗？

在上面的图中已将两个器件的源漏通过金属引线连接到器件的外部，然后，不是继续采用金属进行连接，而是采用多晶硅将两个器件的源漏引线再连接起来，也就是说，使用了多晶硅做内连线。因为有

电流将流过这段内连线，因此采用金属连接源漏将更好，用多晶硅不是一个好的布线方案。

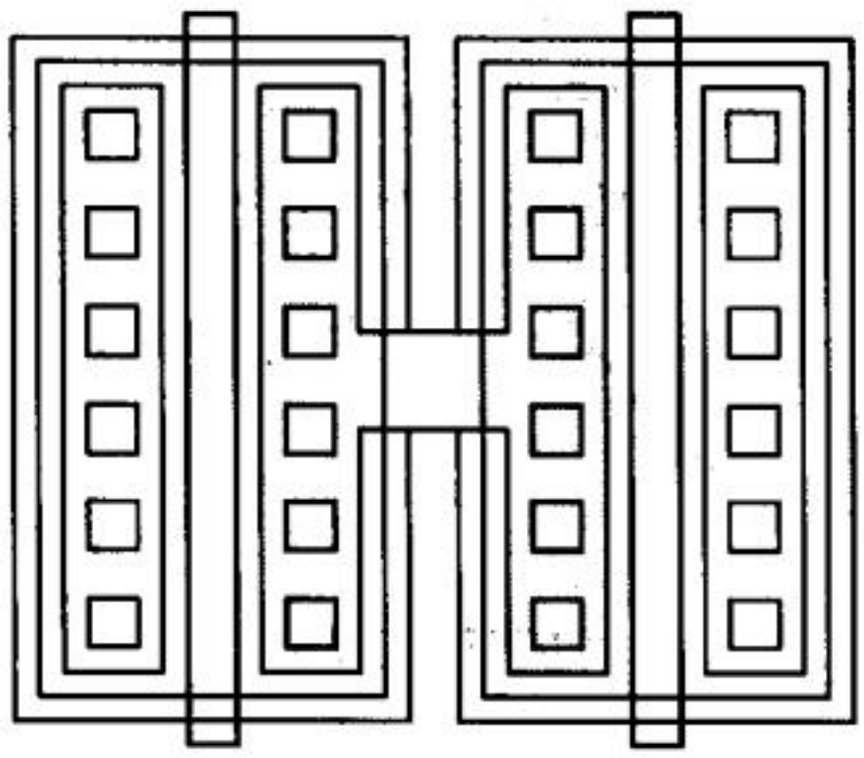


图 3-44　由于存在电流，应以金属进行连接。

更好的方法是源漏共用。

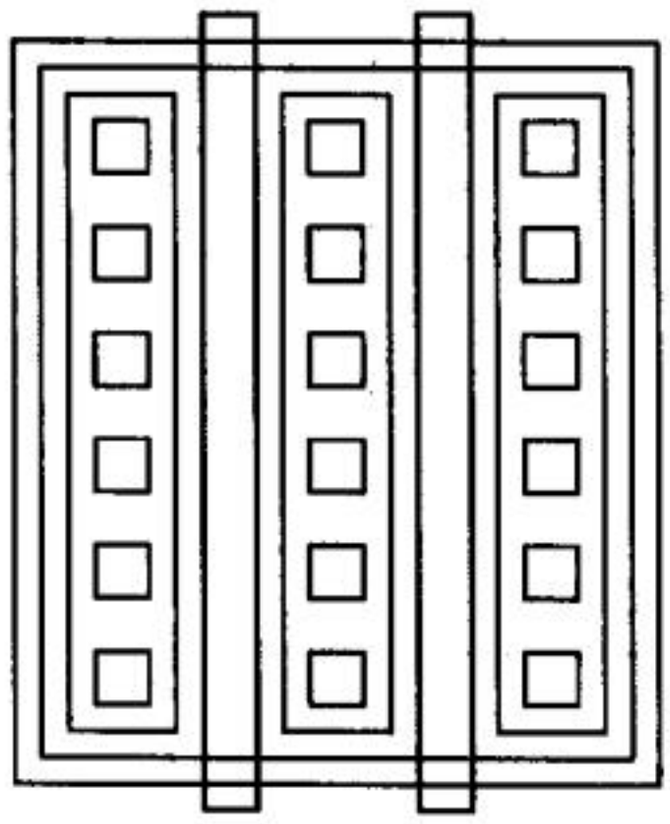


图 3-45　源漏共用，不需要内连。

■ 经验法则：如果需要分配电压时（如开关某些器件），可以利用多晶硅，如果需要分配电流，则采用金属。

可以采用多晶硅作为内连线，但通常仅限于连接栅，因为栅上电流较小。

3.11　图形关系

对于读者而言，现在可以根据一个电路图完成一个棒状图吗？如果电路连接非常容易，可以完成版图设计吗？作为新手，对我们所采用的各种画图方式是否有一点混淆不清了？

在尝试着自己完成版图之前，先回顾一下这些不同图之间的变化过程。根据它们的彼此关系去思考，下面的几个示例可能对你有所帮助。我们来考察 FET 的各个视图。

如前所述，有源区是氧化层上的一个窗口，这个窗口定义了制作晶体管的区域。在这里有源区是矩形，这一个窗口就是整个有源区。

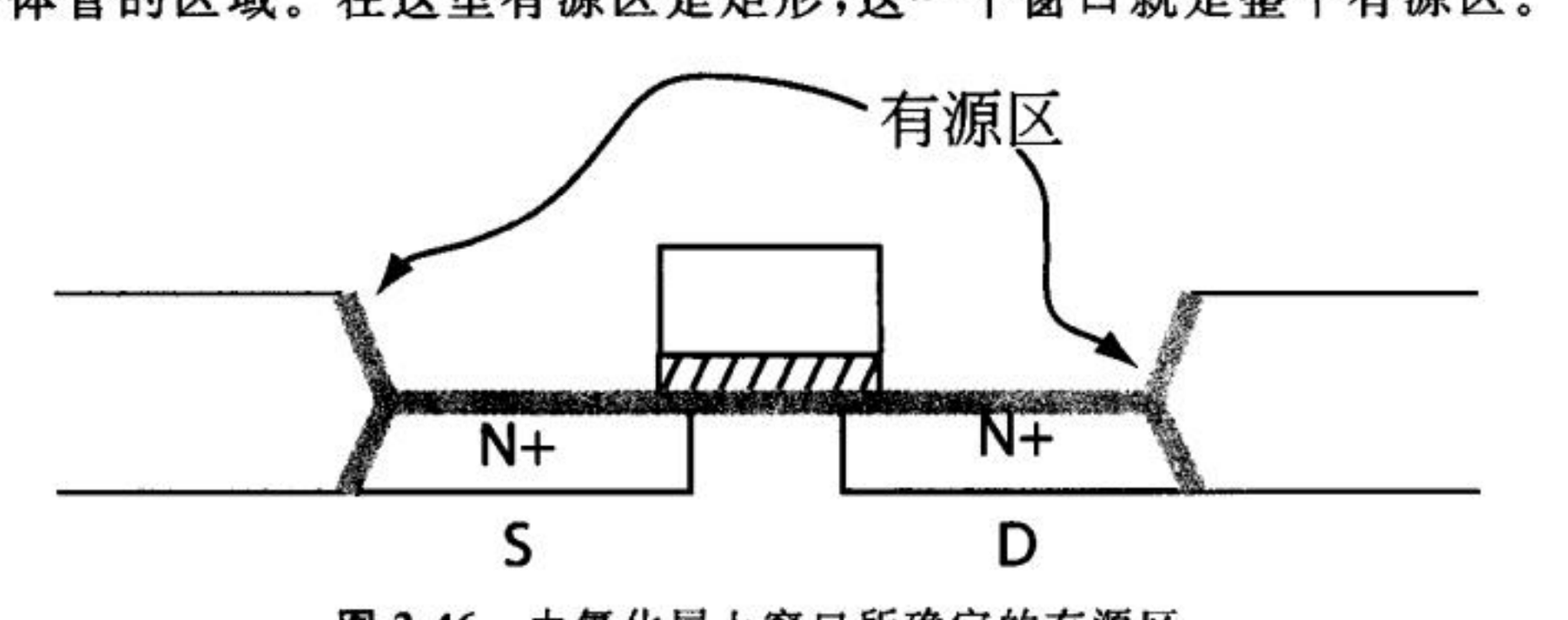


图 3-46 由氧化层上窗口所确定的有源区。

下图给出的所有分图都表示了同一个晶体管，必须了解它们之间的变化关系。在四个分图表示中，蓝颜色表示的区域为有源区，然后，就可以在每个图形中找到其他的区域和连接。各分图彼此的关系怎样呢？

源、栅、漏图

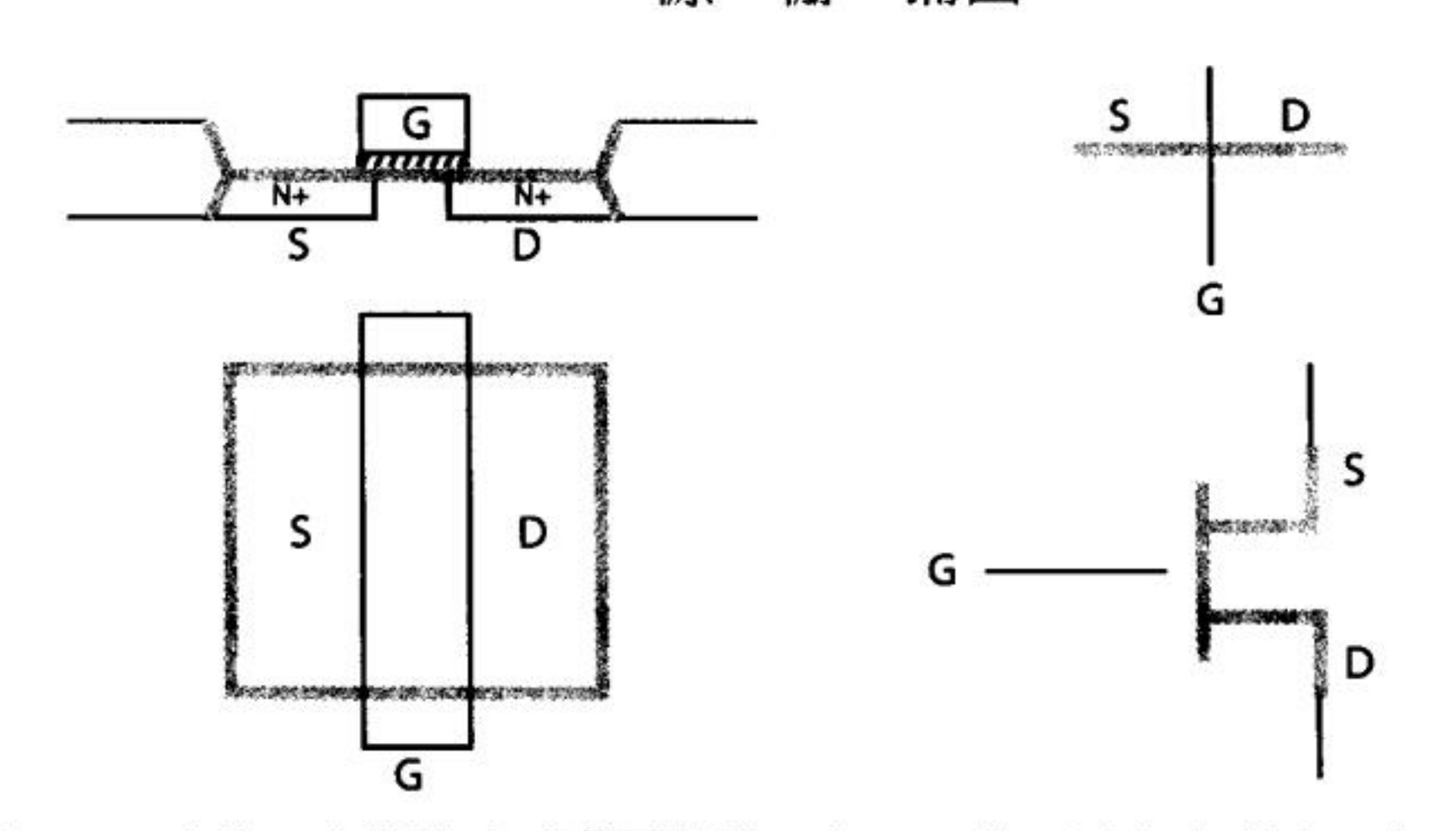


图 3-47 比较四个分图，每个分图是同一个 FET 的不同表示，从左上角开始依顺时针方向分别为：截面图，棒状图，原理图，以及版图的顶视图。

试试看

除非不得已，不要看示例，自己重画器件图形，不断地实践直到可以很容易地画出所有的图，知道什么线代表什么。你一旦掌握了 FET，就可以试着画更复杂的图形。

结束语

就此书而言，本章阐述了 CMOS 版图的所有基本技术。尽管从这本书中还不能完全掌握 CMOS 版图，但你已入门。

关键是实践、实践、再实践。

本章学过的内容

在本章中，你看到了以下内容：

- 模型、计算机模拟的原理图与参数规范
- 确定器件尺寸
- 通过分裂器件减小寄生电阻
- 更好的适用的技术
- 作为设计工具的棒状图
- 借助钳位与连接释放电压
- 避免固有的衬底二极管正偏
- 原理图、棒状图和器件之间的关系
- 源漏共用

……

应用练习

根据下面所给出的电路图，对每个图完成棒状图，对 2# 和 3# 画出版图。

1.

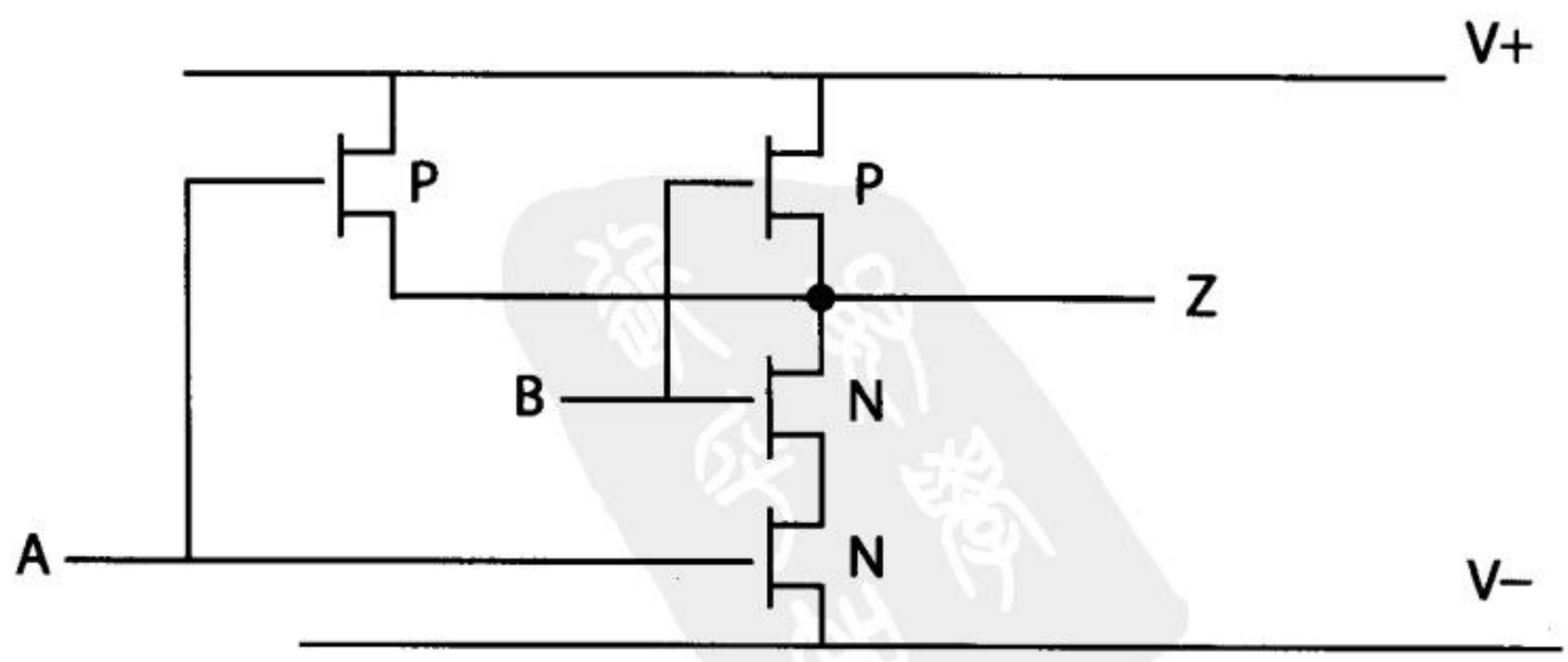


图　3-48

2.

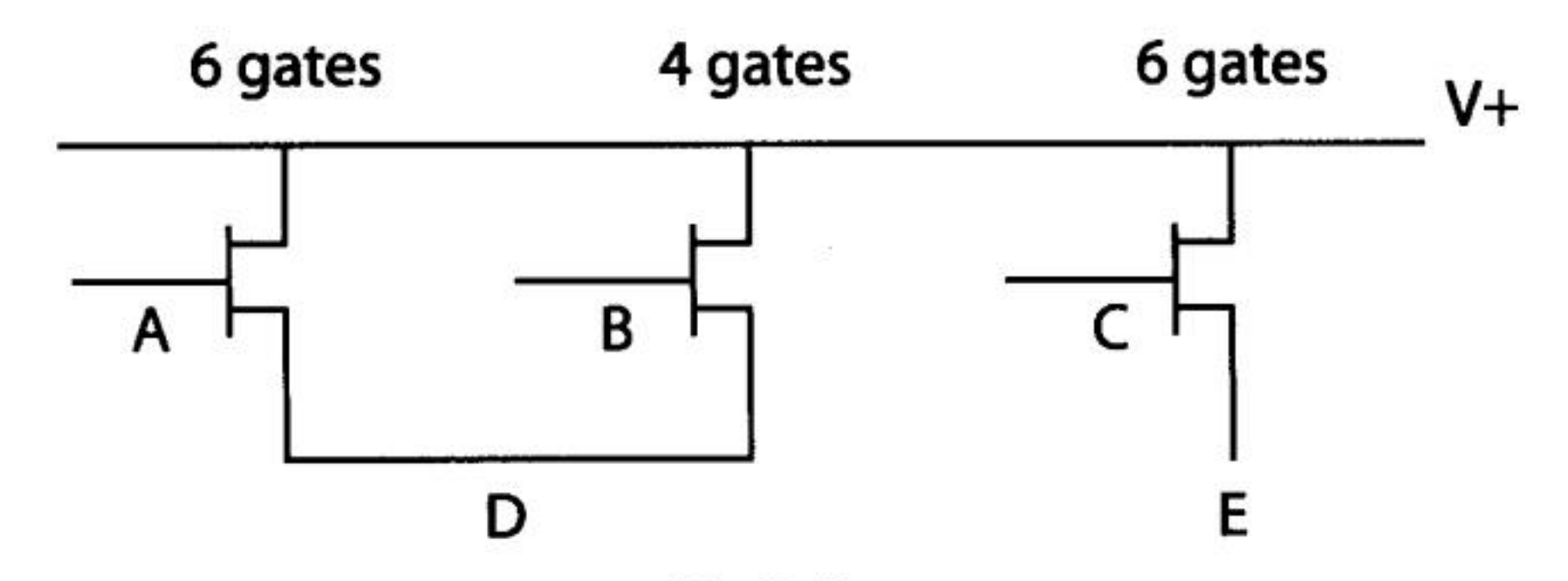


图 3-49

3.

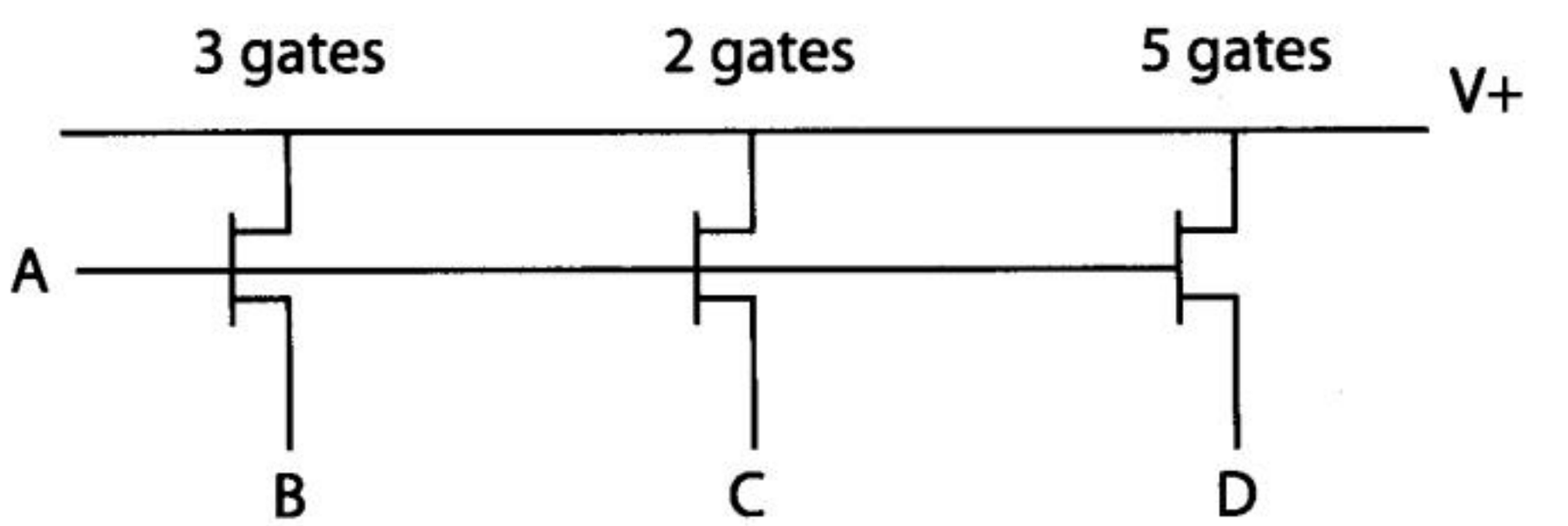


图 3-50

答案

实际上有多种可能的设计，这里对每一个图只给出一个可能的答案。

1. 1#图的可能的棒状图。

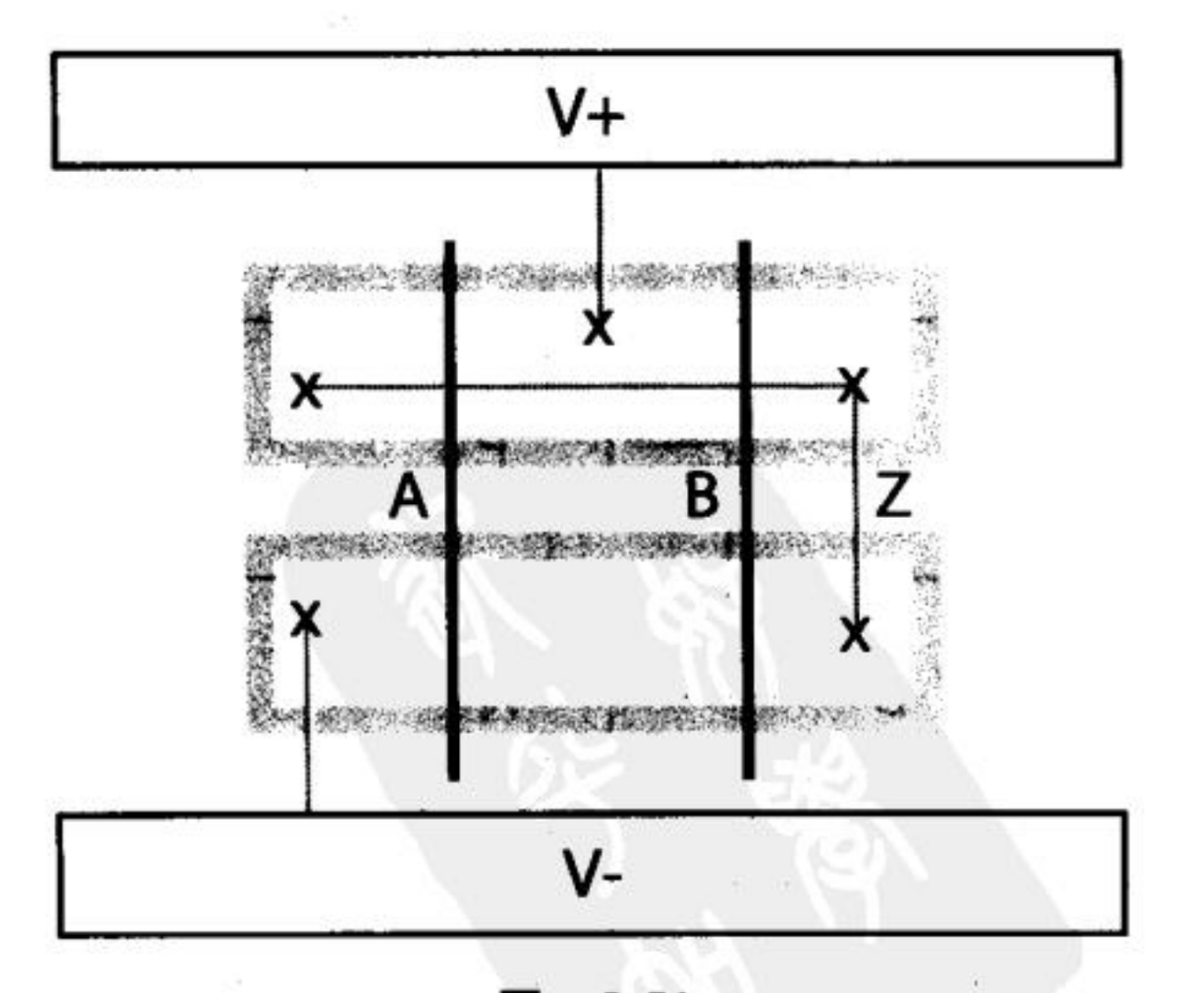


图 3-51

2. 2#图的可能的棒状图。

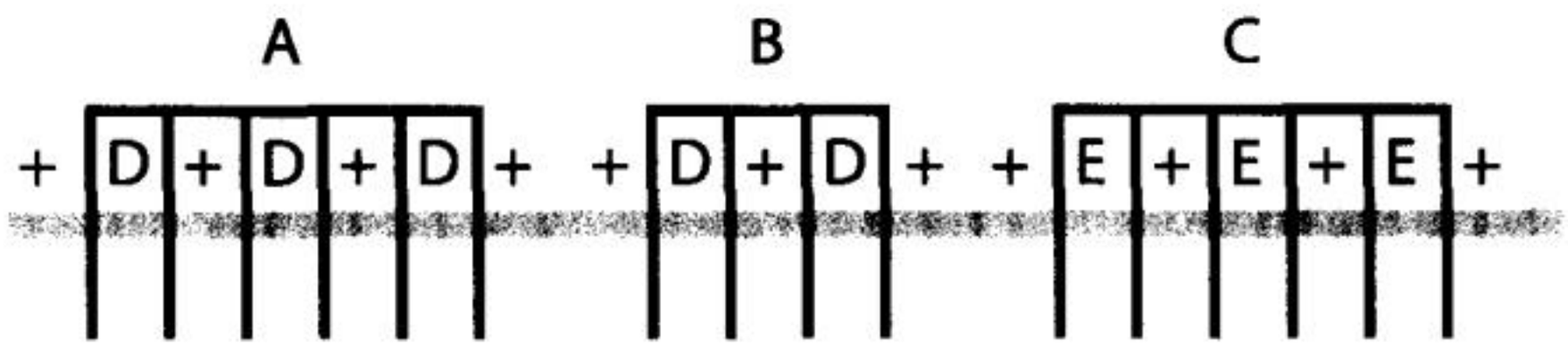


图　3-52

2#图的可能的版图。

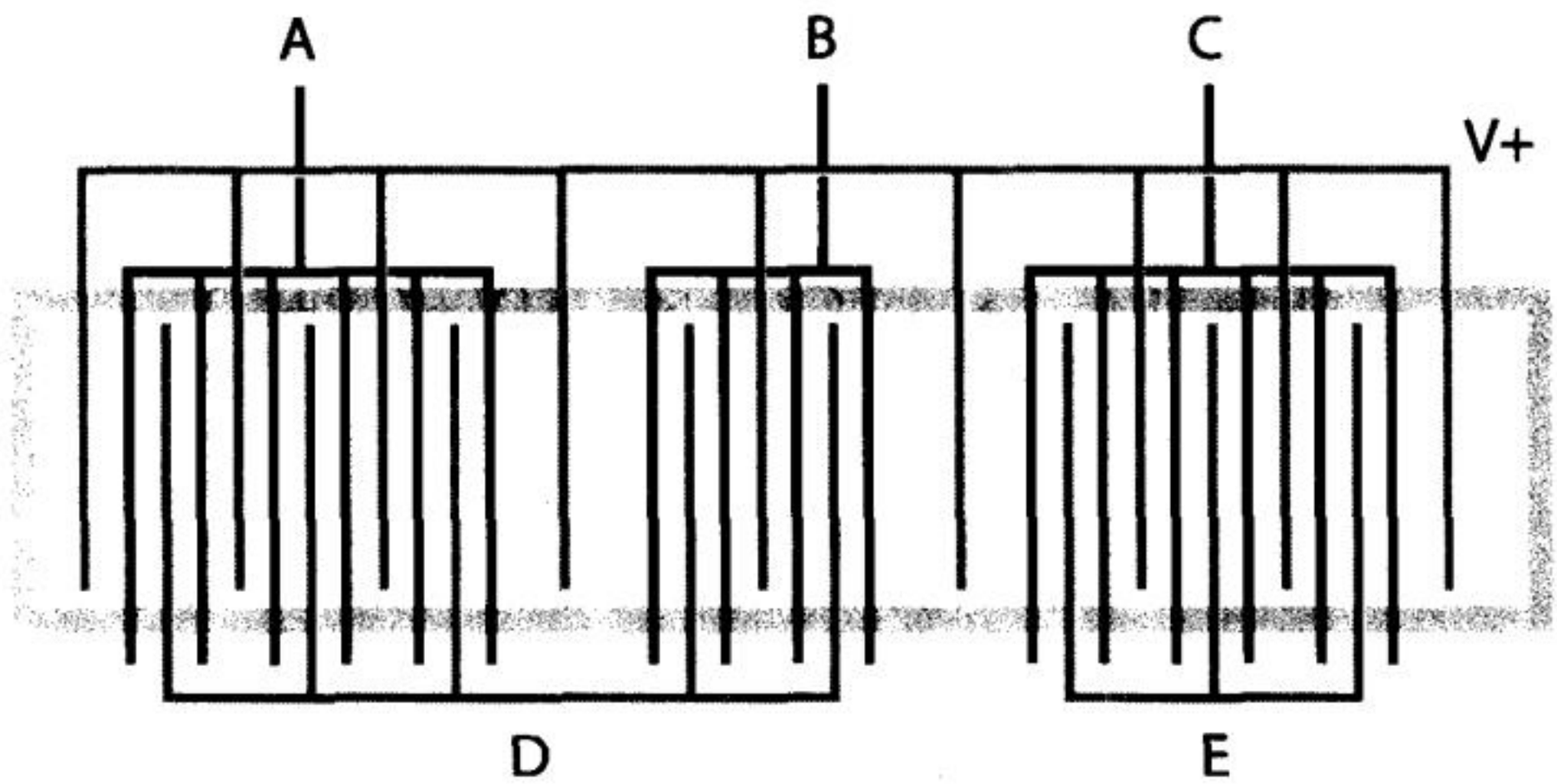


图　3-53

3. 3#图的可能的棒状图。该图中有两个扩散区的断开点，这不是最好的版图，只是初步的尝试。

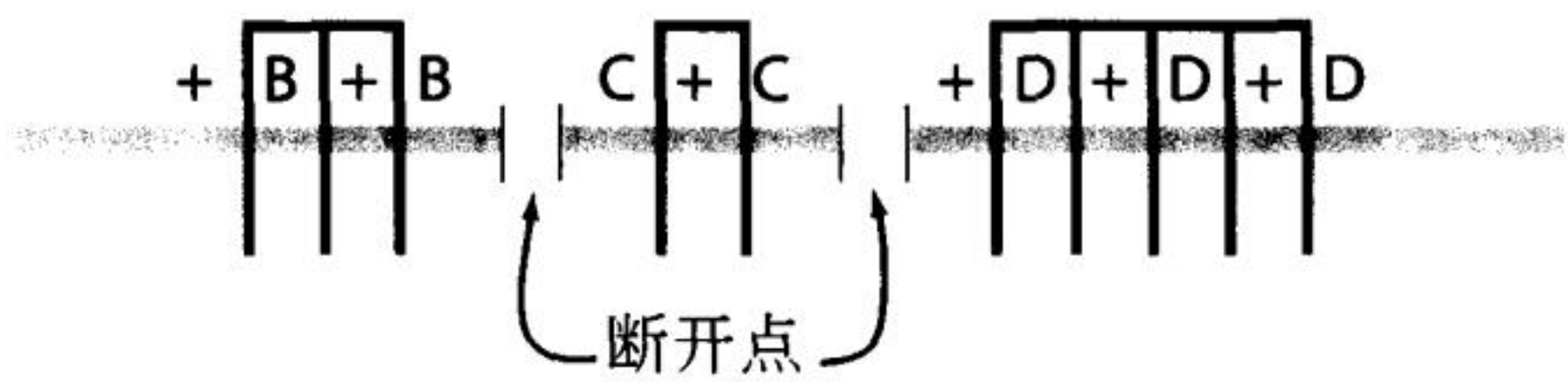


图　3-54

根据上面的初始棒状图得到的版图，如图 3-55 所示，注意扩散区是断开的。

图 3-56 是 3#图更好的棒状图，这或许是思考的结果。注意这里完全实现了源漏共用，没有断开的扩散区，是一个更好的布局。

图 3-57 是对应改善后的棒状图的版图。注意，与前面的设计相比，这个图更紧凑了。

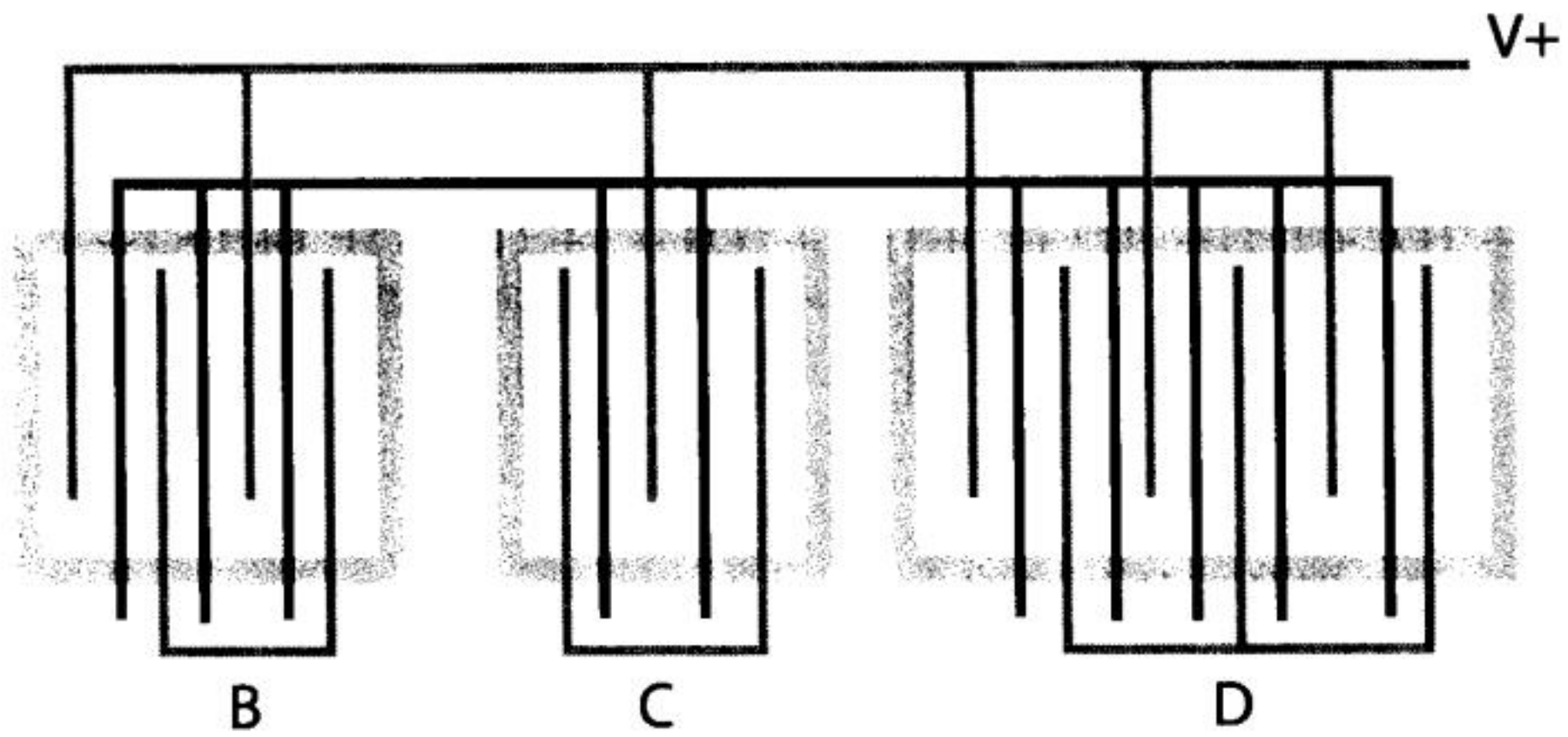


图 3-55

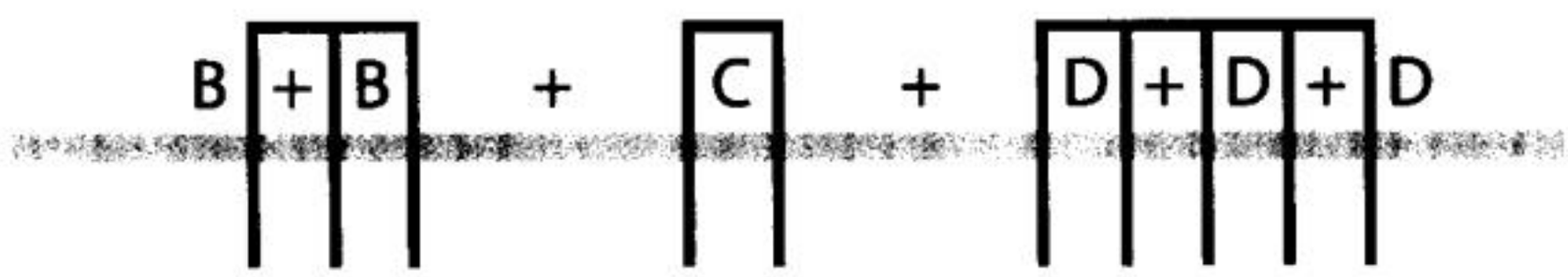


图 3-56

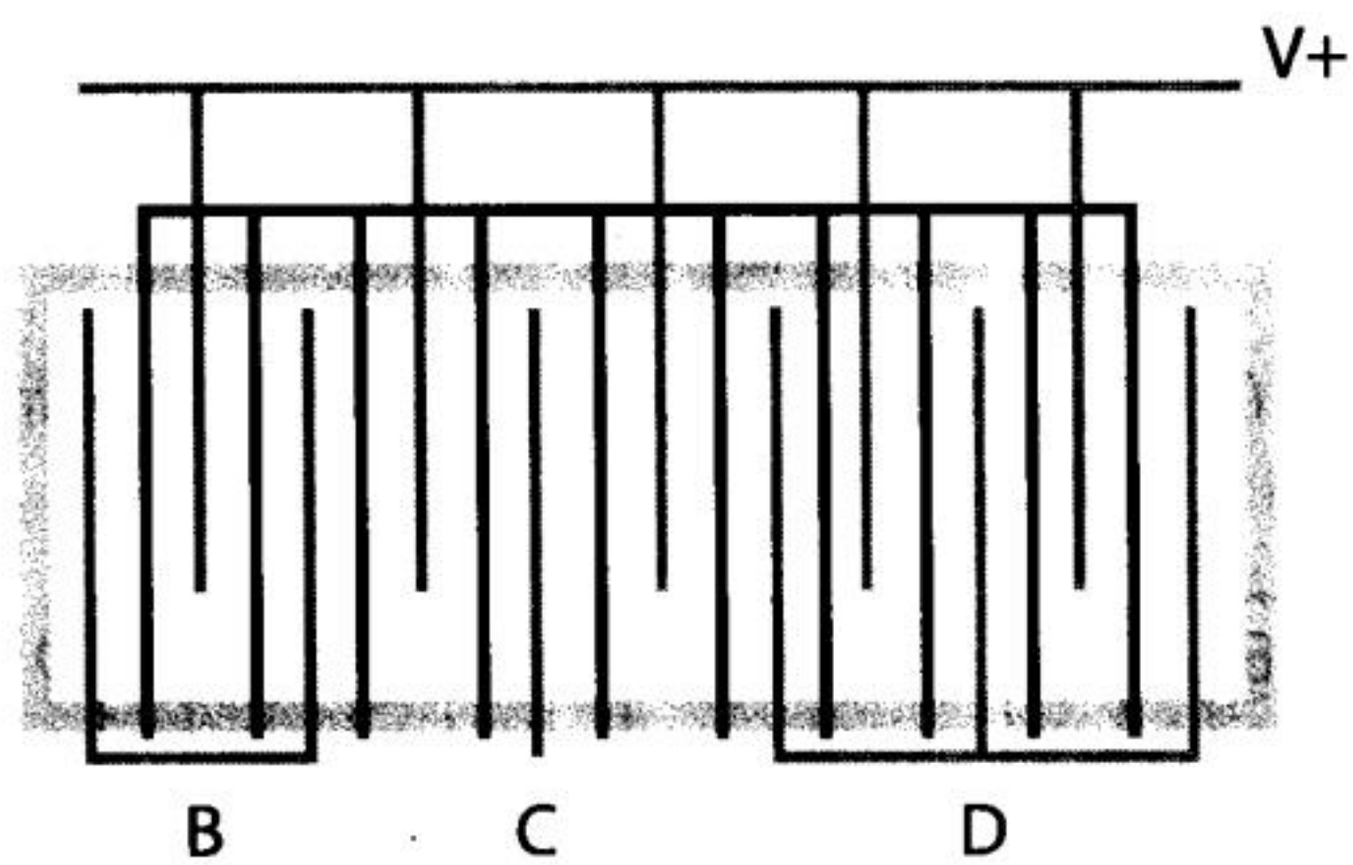


图 3-57

其他考虑

上面给了一些非常不同的实际单元，目的是让你去思考有哪些变化。在版图设计课程里的介绍通常是集中在相同类型的简单单元方面。

注意我所给例子中的不同，学会从不同方面学习，搜寻更独特的版图去研究。

还是我前面说的：实践、实践、再实践。