

# 第三章 无源元件

- 引言
- 趋肤效应
- 分立无源元件
- 集成无源元件
- 有源电感
- 硅衬底上的传输线

# 引言

---

- 衡量一种工艺是否适合于射频电路的集成不仅要看它能否提供高频性能优良的晶体管，还要看它能否提供高品质的无源元件
  - 分立无源元件和有源元件相比价格低，且容易实现。
  - 与分立元件电路设计相反，集成电路中晶体管随手可得而且所占面积越来越小，而无源元件却因占用面积较大，代价昂贵。并且由于要兼顾整体性能，尤其是晶体管的性能，集成无源元件的品质常常差强人意，因此无源元件的大量使用对集成显然是不利。
  - 随着工艺的发展，当晶体管性能已经获得大幅度的提高，无源元件逐步成为电路集成的瓶颈时，改进工艺就显得有必要。例如**CMOS**工艺，目前有混合信号/射频**CMOS**工艺(**Mixed-Signal/RF CMOS**)，它们与传统**CMOS**工艺的主要区别在于提供了顶层厚金属(**2um, 4um**)，用于实现较高品质的无源元件，同时提供**RF MOSFET**。
- 集成无源元件的选择依据：成本(占用面积小)、品质因数、工作频率、寄生参数、容差(**Tolerance**)、匹配(**Matching**)、稳定性(温度系数)、线性度(是否随电压变化)等

# 引言

---

## ➤ 集成电路中的“层” (Layer)

- 集成电路是在一块基座上不同几何尺寸的不同材料的堆砌
  - 基座：衬底(**Substrate**)，机械支撑作用，构成元件的基本材料
  - 半导体：不同掺杂浓度的半导体材料，主要用于形成有源器件
  - 绝缘层：二氧化硅等，用作隔离和介质
  - 连接层：金属、多晶硅，器件之间的连接；可构成电阻、电容、电感
- 硅(**CMOS**)工艺中的物理层
  - **P型或N型硅衬底**，典型电阻率约 $10\Omega\cdot\text{cm}$ ，数百微米厚
  - **P阱、N阱(P-well, N-well)**，方块电阻 $>1\text{k}\Omega$ ，制作晶体管的基础，阱与阱之间，阱与衬底之间具有隔离作用
  - **P型和N型扩散层(P-diff, N-diff)**，MOS管的源、漏极
  - 多晶硅 (**Polysilicon或Poly**)
  - 金属 (**M1, M2, .....**)
  - 接触孔 (**Contacts, Metal-Si**) 和过孔 (**Vias, Metal-Metal**)

# 趋肤效应

---

## ➤ 电流分布

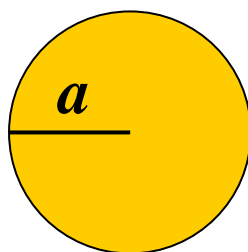
### — 直流电流

对于直流信号来说，导线的全部横截面都用来传输电流，电流均匀分布于整个横截面，直流电流密度可以表示为

$$J_0 = \frac{I}{S}$$

其中 $I$ 为直流电流， $S$ 为导线的横截面积。

对于一个半径为 $a$ ，长度为 $l$ ，电导率为 $\sigma$ 的圆柱形导体，其直流电阻为

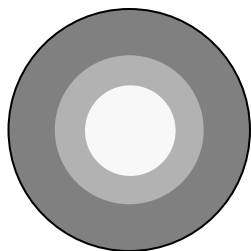


$$R_{DC} = \frac{l}{\pi a^2 \sigma}$$

# 趋肤效应

## 一 交流电流

在交流状态下，由于交流电流会产生磁场，根据法拉第电磁感应定律，此磁场又会产生电场，此电场的感生电流密度的方向将与原始电流相反。对于圆形导线，这种效应在导线的中心部位最强，造成中心部位的电阻增加，因而电流将趋向于导体的外表面，并且随着频率的增加，上述效应越来越强。这种随着频率的增加，电流趋向于导体表面的效应称为“趋肤效应”。



在高频条件下( $f \geq 500\text{MHz}$ )，圆柱形导体的归一化电阻和电抗可以表示为

$$\frac{R}{R_{DC}} = \frac{a}{2\delta} \quad \frac{L\omega}{R_{DC}} = \frac{a}{2\delta} \quad \text{成立的条件为 } \delta \ll a$$

其中  $\delta$  称为趋肤深度

$$\delta = \frac{1}{\sqrt{\pi f \mu \sigma}}$$

$f$  — 频率  
 $\mu$  — 磁导率  
 $\sigma$  — 电导率

# 趋肤效应

## ➤ 趋肤深度

$$\delta = \frac{1}{\sqrt{\pi f \mu \sigma}}$$

—  $\delta$ 的物理意义： $\delta$ 表示电流密度降低到直流值的 $e^{-1}$ (37%)时的深度。

—  $\delta$ 趋肤深度反比于频率的平方根

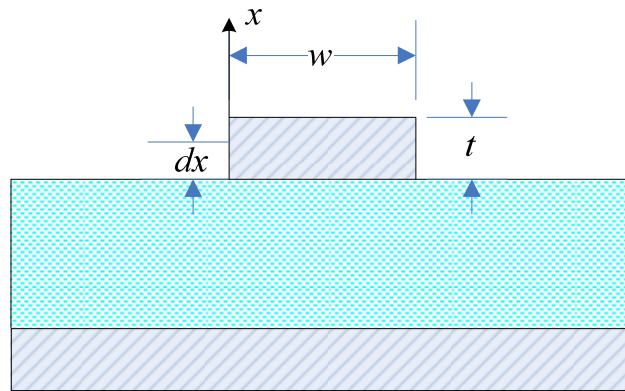
低频时趋肤深度较大，随着频率的增加迅速减小。

— 距离信号线底面 $x$ 处的电流密度为

$$J = J_0 e^{-x/\delta} (\text{A/m}^2)$$

— 流过信号线的总电流为

$$\begin{aligned} I &= \int_0^t (J \cdot w) dx \\ &= \int_0^t (J_0 e^{-x/\delta} \cdot w) dx = J_0 w \delta (1 - e^{-t/\delta}) \end{aligned}$$



# 趋肤效应

---

— 导体的有效厚度:  $t_{eff} = \delta(1 - e^{-t/\delta})$

$$t \ll \delta \quad t_{eff} = \delta(1 - e^{-t/\delta}) \approx \delta(1 - 1 + t/\delta) = t$$

$$t = \delta \quad t_{eff} = \delta(1 - e^{-1}) \approx 0.632\delta$$

$$t \gg \delta \quad t_{eff} = \delta(1 - e^{-t/\delta}) \approx \delta$$

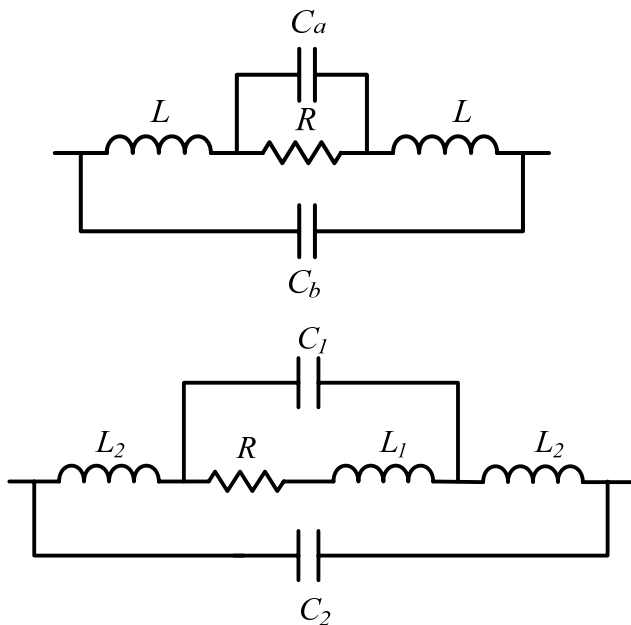
— 信号线等效电阻

$$R = \frac{\rho l}{wt_{eff}} = \frac{l}{w\delta(1 - e^{-t/\delta})\sigma}$$

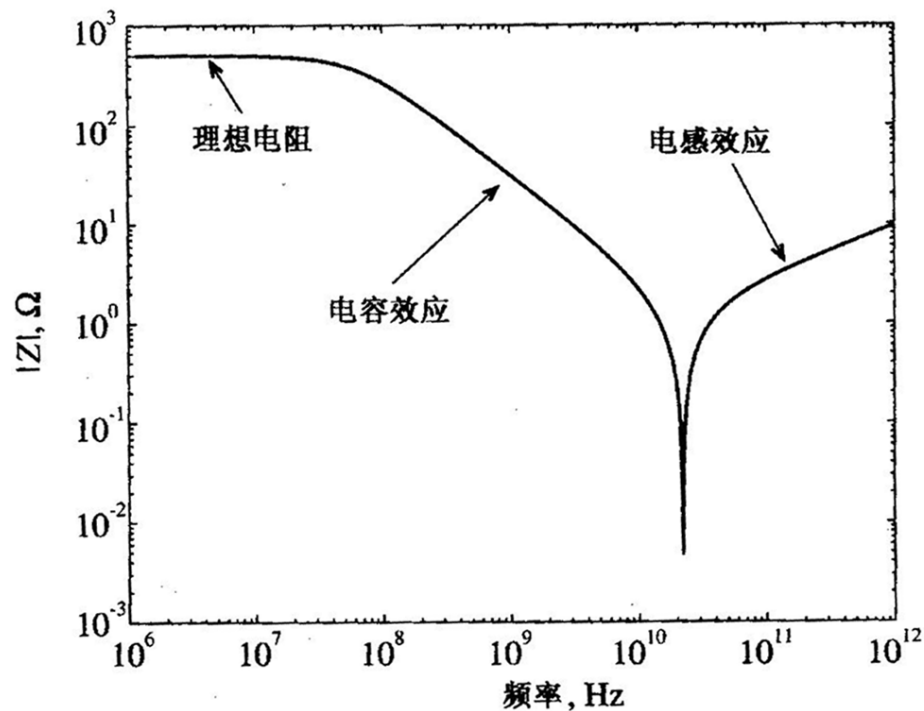
# 分立无源元件

## ► 高频电阻

碳质电阻、金属膜电阻、线绕电阻、薄膜片状电阻(SMD、尺寸小、用于RF)



电阻的等效电路



500  $\Omega$  金属膜电阻的阻抗绝对值与频率的关系



# 分立无源元件

---

## ➤ 高频电容

— 电容计算公式 
$$C = \frac{\varepsilon A}{d} = \varepsilon_0 \varepsilon_r \frac{W \cdot L}{d}$$

其中  $A$  — 平板表面积 ( $W$ 为宽度,  $L$ 为长度),  $d$  — 平板间距,  $\varepsilon$  — 介电常数

— 电容的阻抗: 电容的阻抗由电导 $G_e$ 和电纳 $\omega C$ 并联组成

$$Z = \frac{1}{G_e + j\omega C} \quad \text{其中} \quad G_e = \sigma A / d$$

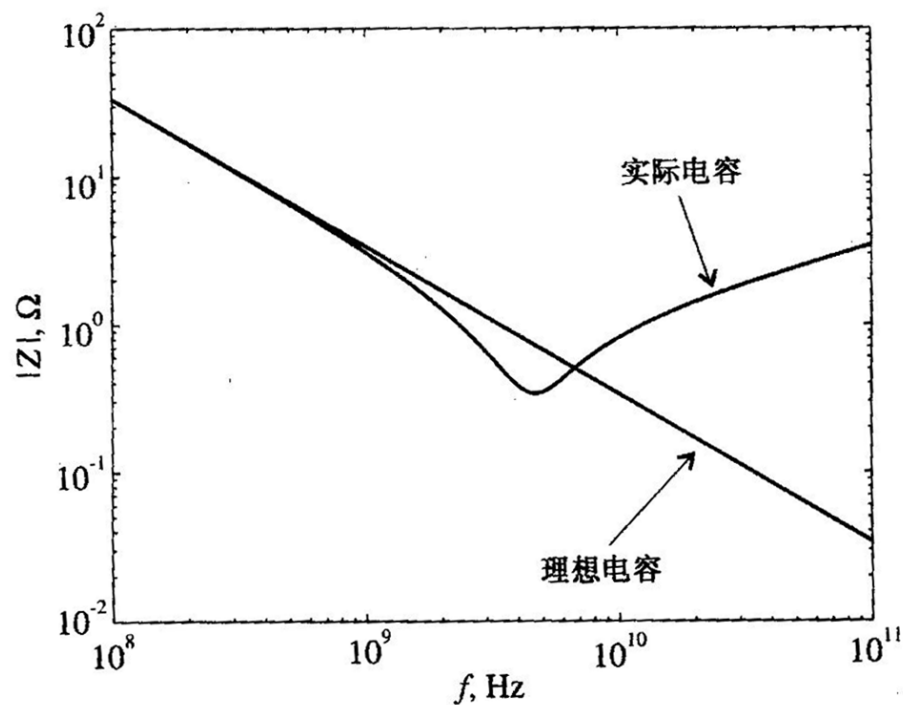
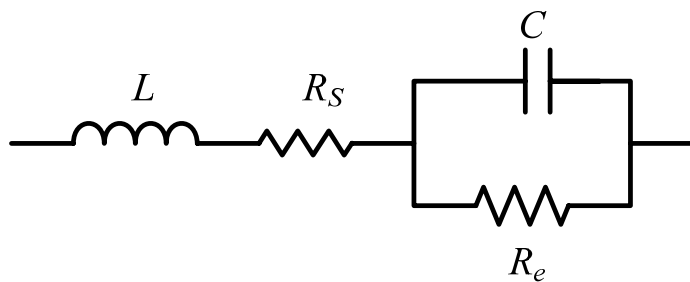
串联损耗角的正切定义为  $\tan \Delta_s = \omega \varepsilon / \sigma$

$$G_e = \frac{\sigma A}{d} = \frac{\omega \varepsilon A}{d \tan \Delta_s} = \frac{\omega C}{\tan \Delta_s}$$

# 分立无源元件

## — 高频电容等效电路

$$R_e = 1/G_e$$



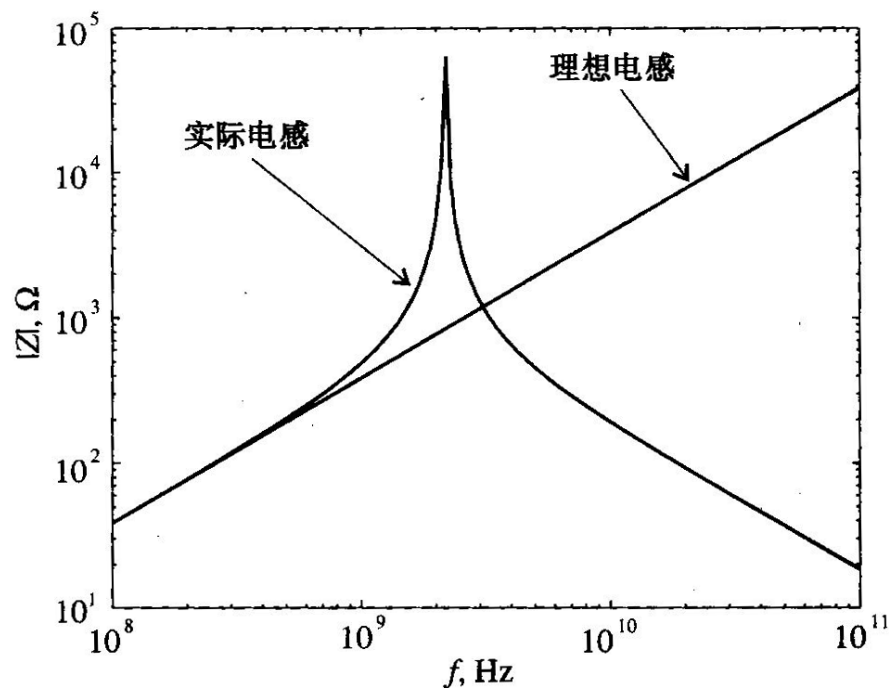
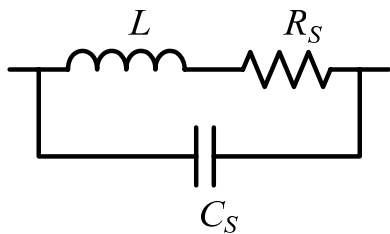
一个47pF电容的阻抗绝对值与频率的关系

# 分立无源元件

## ► 高频电感

— 主要作用：偏置网络(又称高频扼流圈，**RFC**)、谐振电路和匹配网络等。

— 高频电感等效电路



**RFC**阻抗绝对值与频率的关系

# 集成无源元件 — 电阻

## ➤ 电阻计算公式

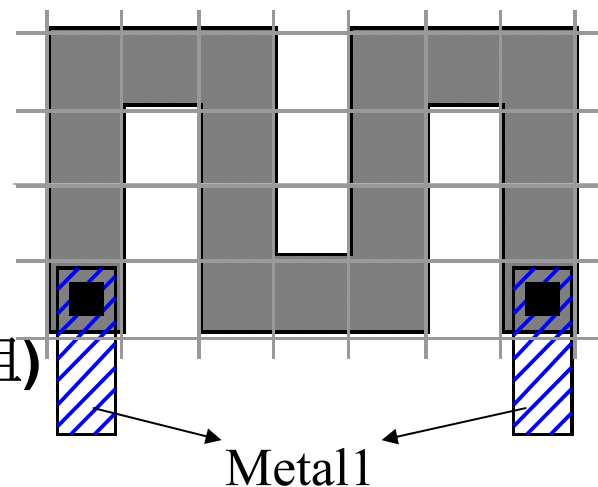
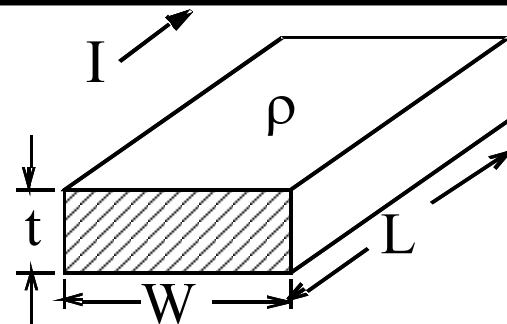
$$R = \rho \frac{L}{S} = \rho \frac{L}{tW} = \frac{\rho}{t} \frac{L}{W} = R_{\square} \frac{L}{W}$$

其中  $R_{\square} = \rho/t$  定义为方块电阻(Sheet Resistance),  $\rho$  为电阻率

## ➤ S型电阻的估算

- 每个方块电阻值为  $R_{\square}$
- 转角处方块约为 **0.5-0.56**  $R_{\square}$
- 含有接触孔的方块电阻(不含接触孔电阻)约为 **0.14**  $R_{\square}$

$$\therefore R = (4 \times 2 + 3 \times 1 + 6 \times 0.56 + 2 \times 0.14) R_{\square} = 14.6 R_{\square}$$



# 集成无源元件 — 电阻

➤ 电阻的温度系数 
$$TCR = \frac{1}{R} \frac{dR}{dT}$$

☆ 一阶电阻-温度函数  $R(T) = R_{T_0}[1 + TCR(T - T_0)]$   $T_0$ 通常取27°C

☆ 若有两个相同材料的电阻

$$R_1(T) = R_{1,T_0}[1 + TCR(T - T_0)] \quad R_2(T) = R_{2,T_0}[1 + TCR(T - T_0)]$$

则两个电阻的比值为  $R_1(T) / R_2(T) = R_{1,T_0} / R_{2,T_0}$

☆ 结论：两个相同材料的电阻在温度  $T$  的比值等于在温度  $T_0$  的比值

➤ 电阻的电压系数 
$$VCR = \frac{1}{R} \frac{dR}{dV}$$

☆ 一阶电阻-电压函数  $R(V) = R_{V_0}[1 + VCR(V - V_0)]$

☆ **N-Well**电阻的电压系数大约为 **200ppm/V**

➤ 电阻相对误差 
$$\frac{\Delta R}{R} = \frac{\Delta L}{L} - \frac{\Delta W}{W} + \frac{\Delta R_{\square}}{R_{\square}} \approx -\frac{\Delta W}{W}$$

# 集成无源元件 — 电阻

## ➤ CMOS工艺中常见的电阻材料

	Sheet Resistance	Tolerance	Temperature Coefficient
<b>Polysilicon</b>	20-50 $\Omega$ /sq (non-silicide) 1-5 $\Omega$ /sq (silicide)	Absolute: $\pm 10\%$ Matching: 2%	500-1500ppm/ $^{\circ}\text{C}$
<b>Diffusion (silicide)</b>	15-30 $\Omega$ /sq ( $\text{N}^+$ ) 40-200 $\Omega$ /sq ( $\text{P}^+$ )	Absolute: $\pm 2$ -10% Matching: 0.1-0.5%	500-1500ppm/ $^{\circ}\text{C}$
<b>Well</b>	1-5k $\Omega$ /sq (N-Well)	Absolute: $\pm 30\%$ Matching: 5%	3000 ppm/ $^{\circ}\text{C}$

## ➤ MOS管电阻(MOS管工作在非饱和区)

漏极电流为 
$$I_d = \mu C_{ox} \frac{W}{L} \left[ (V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

等效电阻为 
$$R_{DS} = \frac{V_{DS}}{I_D} = \left[ \mu C_{ox} \frac{W}{L} [(V_{GS} - V_{th}) - \frac{1}{2} V_{DS}] \right]^{-1}$$

交流等效电阻为 
$$r_{DS} = \frac{1}{\partial I_D / \partial V_{DS}} = \left[ \mu C_{ox} \frac{W}{L} [(V_{GS} - V_{th}) - V_{DS}] \right]^{-1}$$

# 集成无源元件 — 电阻

优点：占用面积小

缺点：容差大(电阻与 $\mu$ 和 $V_{th}$ 有关)、线性差(电阻和 $V_{DS}$ 有关)

温度系数大( $\mu$ 和 $V_{th}$ 随温度变化)

## ➤ 砷化镓工艺中的电阻

### — 薄膜(Thin Film)电阻

☆ TaN 或 NiCr 合金

☆ 高精度

☆  $TCR < \pm 100 \text{ ppm} / ^\circ\text{C}$

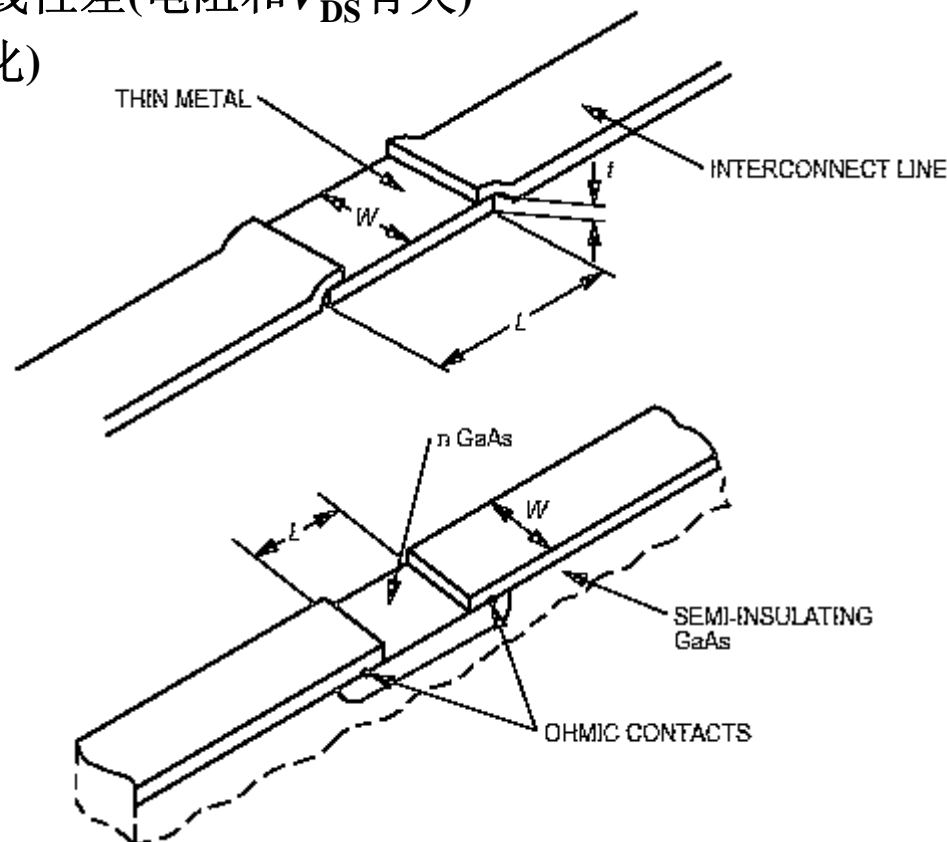
☆ 寄生效应小

☆  $R_{\square} \approx 20 - 200 \Omega / \text{sq}$

### — 砷化镓电阻

☆ N型GaAs半导体、欧姆接触

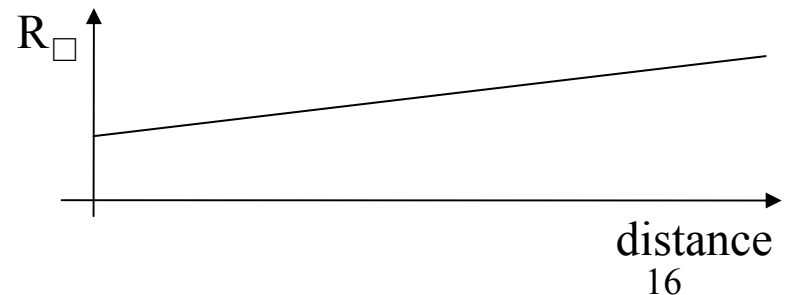
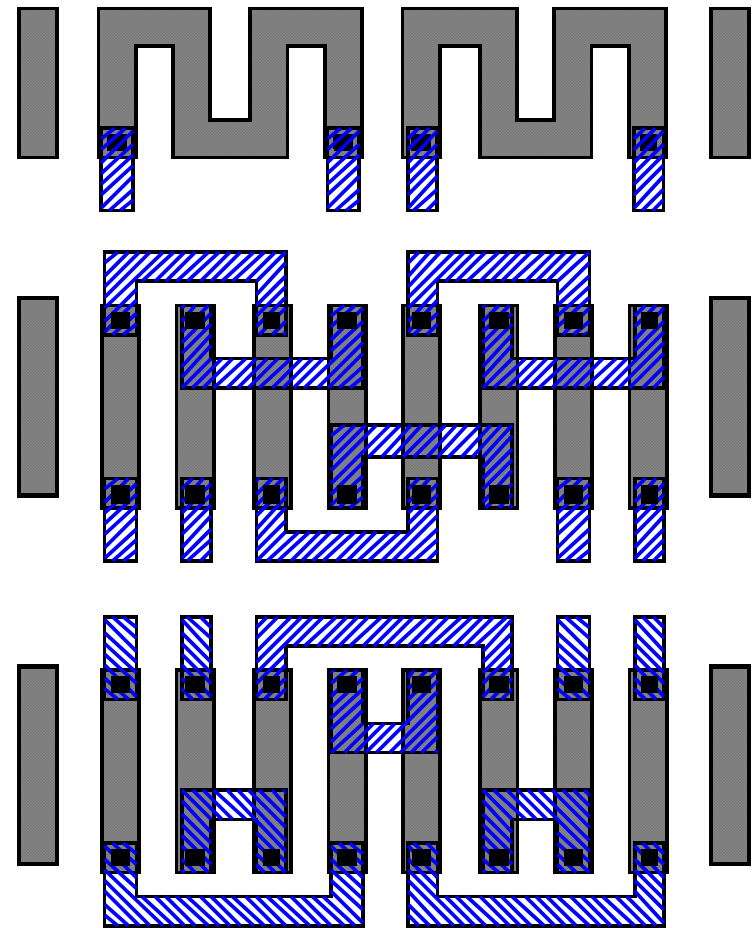
☆  $TCR > +1000 \text{ ppm} / ^\circ\text{C}$



# 集成无源元件 — 电阻

## ➤ 电阻的匹配

- 不匹配的原因是由集成电路工艺中的不一致性引起的，例如掩模制作中的尺寸和对齐误差，注入、扩散和刻蚀过程中的不均匀性等
- 叉指形(Interdigitized, Fingered)的结构可以提高元件之间的匹配程度
- 中心对称 (Common-centeroid, symmetrical)的结构具有更好的匹配特性，但是走线比较复杂，并且可能引起寄生量的失配
- 使用 **Dummy Layout** 保护边缘元件





# 集成无源元件 — 电容

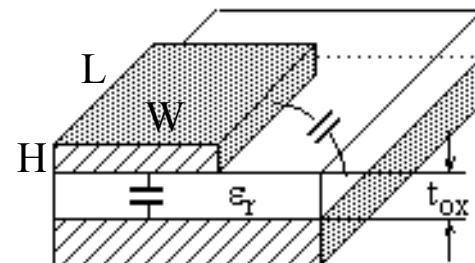
## ➤ 电容计算

— 平板电容  $C = \frac{\epsilon_0 \epsilon_r}{t_{ox}} WL$

— 单位面积电容  $C_{ox} = \frac{\epsilon_0 \epsilon_r}{t_{ox}} = \frac{\epsilon_{ox}}{t_{ox}}$

自由空间的介电常数  $\epsilon_0 = 8.854 \times 10^{-12} \text{ (F/m)}$

二氧化硅  $\epsilon_r = 3.9$ , 如果  $t_{ox} = 1 \mu\text{m}$ ,  $C_{ox} = 34.5 \text{ (aF}/\mu\text{m}^2)$

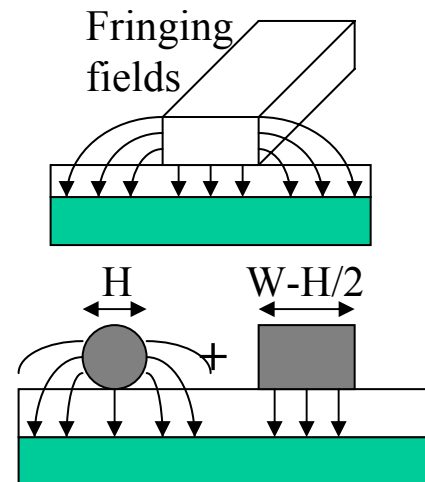


## ➤ 边缘电容(Fringing Capacitance)

— 当互连线的W和H比较接近时，互连线的侧面和下层导体之间的电容不能被忽略

— 互连线电容计算

$$C_{\text{int}} = \epsilon_{ox} L \left[ \left( \frac{W}{t_{ox}} \right) + 0.77 + 1.06 \left( \frac{W}{t_{ox}} \right)^{0.25} + 1.06 \left( \frac{H}{t_{ox}} \right)^{0.5} \right]$$



Model of fringing field capacitance

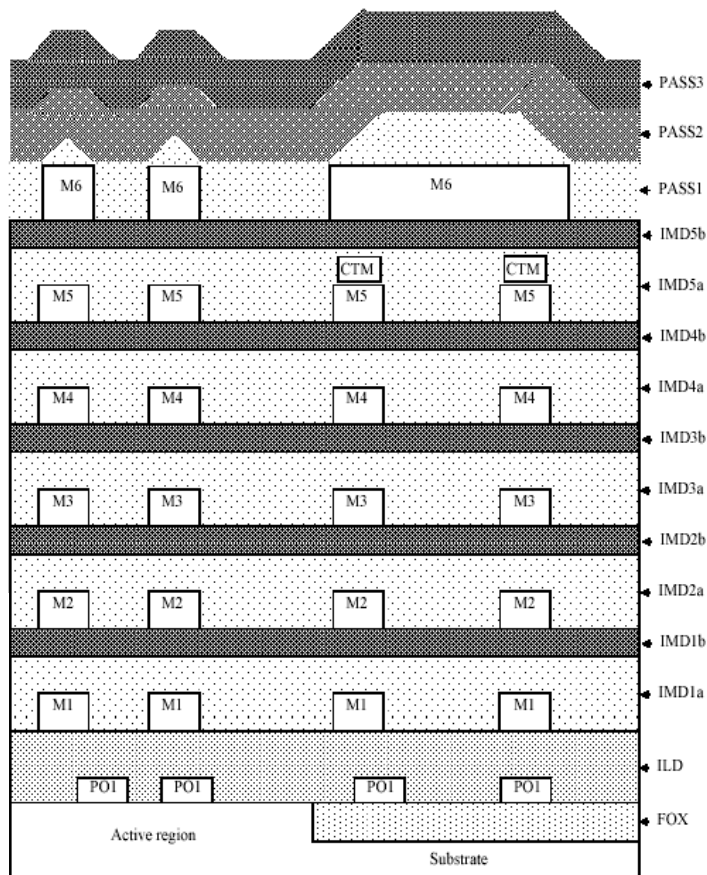
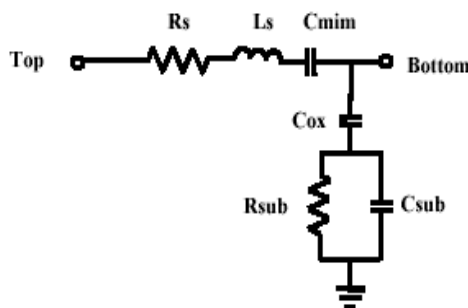
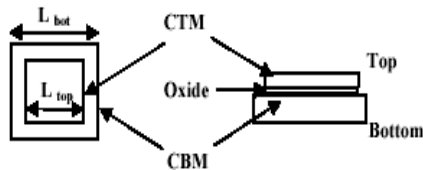
# 集成无源元件 — 电容

## ➤ CMOS工艺中的电容

### – 平板电容

- 金属层叠：通常两层金属之间的电容只有 $30\text{-}50\text{ aF}/\mu\text{m}^2$
- Poly-Poly:  $\sim 0.9\text{ fF}/\mu\text{m}^2$
- MIM (Metal-Insulator-Metal):  $\sim 1\text{ fF}/\mu\text{m}^2$

## ➤ $0.18\mu\text{m}$ CMOS 工艺中的MIM电容



MIM电容在互连层中的位置

# 集成无源元件 — 电容

## ➤ 利用边缘电容(Fringing)

- 有效地利用金属边缘(横向)的电容可以极大地增加单位面积电容值(10倍以上)

## ➤ PN结电容

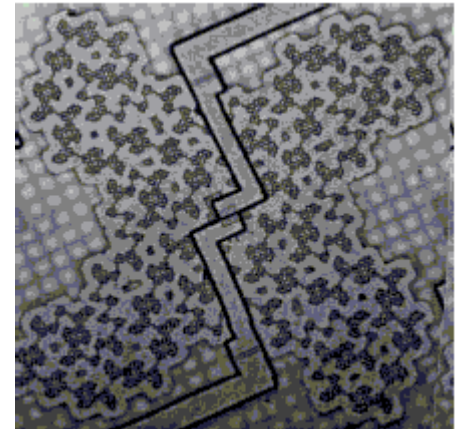
## ➤ 电容相对误差

当 $\Delta L = \Delta W = \delta$ 时

$$\frac{\Delta C}{C} = \frac{\Delta L}{L} + \frac{\Delta W}{W} = \frac{\delta(L+W)}{LW} = \delta \frac{P}{A} \quad \therefore \frac{\Delta C}{C} \propto \frac{P}{A}$$

其中  $P=L+W$  为周长/2,  $A=W \times L$  为面积

- 为了减小误差, 应尽量减少  $P/A$  的比值, 所以正方形比长方形误差小
- 为了提高匹配程度, 两个电容的  $P/A$  比值应该相同



# 集成无源元件 — 电容

## — 一个0.25μm CMOS工艺中的电容参数

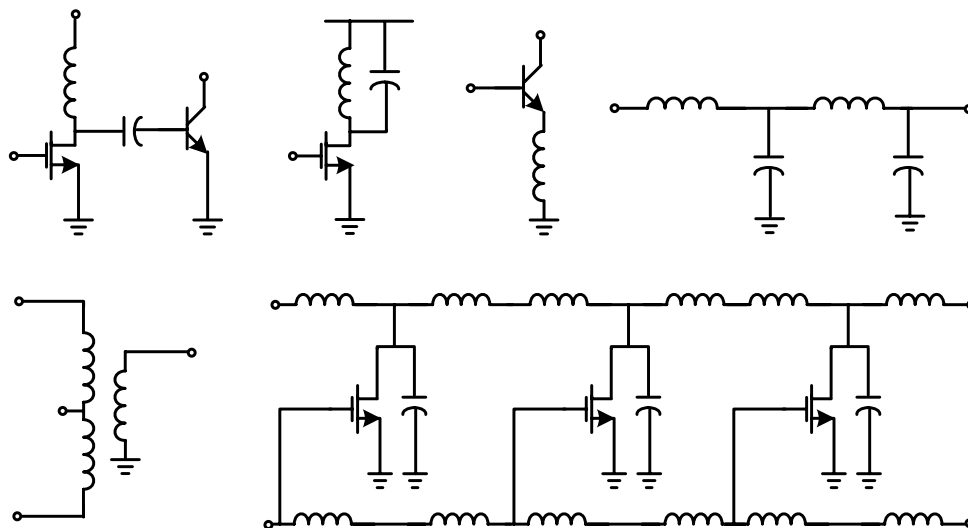
### Capacitance Parameters of a 0.25μm CMOS Process

		N+Active	P+Active	Poly	M1	M2	M3	M4	M5	M4P	N-Well	Units
Area	Substrate	1650	1892	102	34	16	10	5	4		60	aF/μm <sup>2</sup>
Area	N+Active			6180	52	21	14	12	10			aF/μm <sup>2</sup>
Area	P+Active			5904								aF/μm <sup>2</sup>
Area	Poly				60	18	11	8	6			aF/μm <sup>2</sup>
Area	M1					43	16	10	7			aF/μm <sup>2</sup>
Area	M2						42	16	10			aF/μm <sup>2</sup>
Area	M3							41	15			aF/μm <sup>2</sup>
Area	M4								40	970		aF/μm <sup>2</sup>
Fringe	Substrate	385	316			42	36	24				aF/μm
Fringe	Poly				71	42	32	25	21			aF/μm
Fringe	M1					61	38					aF/μm
Fringe	M2						54	37	30			aF/μm
Fringe	M3							53	40			aF/μm
Fringe	M4								63			aF/μm

# 集成无源元件 — 电感

## ➤ 电感在电路中的应用

- 阻抗转换
- 谐振电路
- 反馈
- 直流偏置
- 滤波
- 单双端转换
- 分布式放大器



## ➤ 集成电感的可能性

- 低频： $L$ 大，集成电感不现实，用分立元件实现
- 高频： $L$ 小，占用芯片面积较小，可以集成；分立元件电感精度难以控制，而集成电感容易控制
- 现代IC工艺中金属层不断增加，电感质量有可能同步提高
- 工艺类型对电感的性能有很大影响

# 集成无源元件 — 电感

---

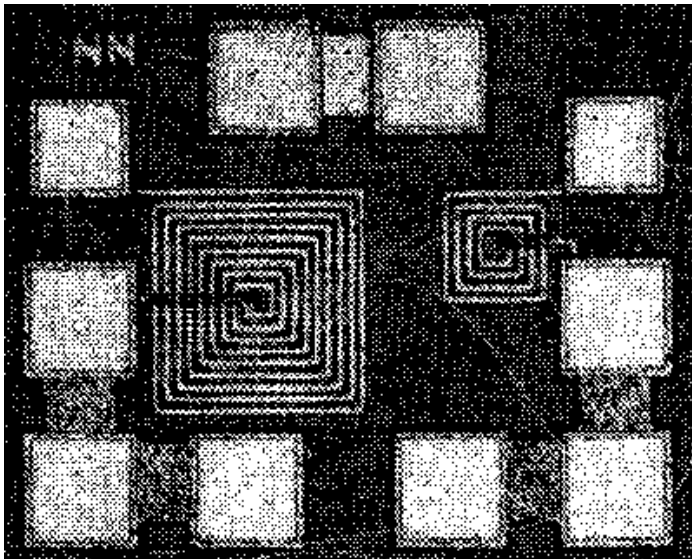
## ➤ 工艺对电感性能的影响

- 在传统的集成电路工艺中，电感不是一个标准元件，因此在工艺的描述文件中通常只能找到晶体管、电阻、电容的参数
- 当前的硅工艺(**Bipolar, CMOS, BiCMOS**)已经能够提供高频性能良好、胜任数**GHz (low-gigahertz)**频段工作的晶体管，但是却难以提供高品质因数的电抗元件，主要原因之一在于高参杂的硅衬底引起高频损耗
- 由于寄生参数多、高频分析复杂，长期以来在片电感的设计一直缺乏精确的模型和高效的辅助设计工具
- 砷化镓(**GaAs**)工艺的情况要好得多，其“半绝缘”的衬底和空气桥(**Air-Bridge**)技术大大降低了衬底引起的损耗
- 随着硅工艺和硅工艺射频集成电路的发展，情况正在得到改善
  - 在**CMOS**中改用低参杂(电阻率约**15Ω-cm**)衬底结合双阱或三阱工艺
  - 提供较厚的顶层金属用于电感的制作或高速互联，并提供相应的模型
  - **MEMS**

# 集成无源元件 — 电感

## ➤ 螺旋电感

- 平面螺旋电感很早就用于**PCB**、陶瓷等介质上，八十年代末开始在砷化镓芯片上得到广泛应用。
- 在硅片上的第一次成功尝试从文献报道来看是**UC Berkeley R. G. Meyer**教授的研究小组在**1989**年完成的。



	L	$f_{resonant}$	Q
大电感	9.7 nH	2.47 GHz	3@0.9 GHz
小电感	1.9 nH	9.7 GHz	8@4.1 GHz

# 集成无源元件 — 电感

## ➤ 螺旋电感值的计算

1. 早在七十年代，**H. M. Greenhouse**就给出了很精确的平面矩形螺旋电感直流电感量的计算公式，总电感被表示成组成矩形螺旋的各段(**Segment**)导体自电感与段间互电感之和。如果一个矩形电感由**N**圈**4N**个金属段组成，那么总共要计算**4N**个自感值，**2N(N-1)**个正互感值和**2N<sup>2</sup>**个负互感值

— 自感(**Self-Inductance**)的计算

$$L_{self} = 2l \left( \ln \frac{2l}{w+t} + 0.5 + \frac{w+t}{3l} \right)$$

其中  $L_{self}$  为自感量，单位nH  
 $l$  为导体长度，单位cm  
 $w$  为导体宽度，单位cm  
 $t$  为导体厚度，单位cm



# 集成无源元件 — 电感

## — 互感(Mutual Inductance)的计算

$$M = 2lP$$

$$\text{其中 } P = \ln \left[ \frac{l}{GMD} + \left( 1 + \frac{l^2}{GMD^2} \right) \right] - \left( 1 + \frac{GMD^2}{l^2} \right)^{1/2} + \frac{GMD}{l}$$

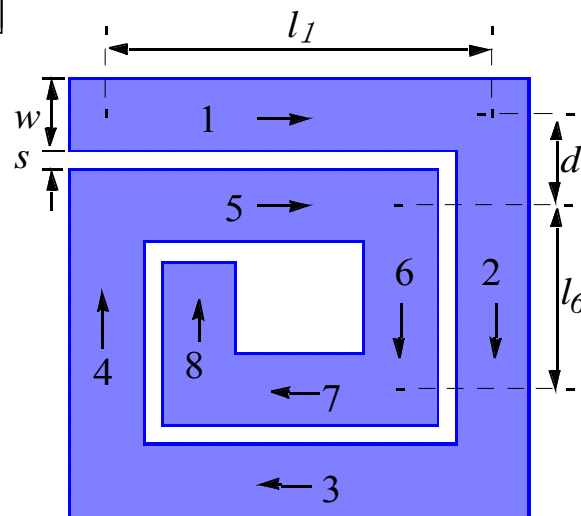
$$\ln GMD = \ln d - \left[ \frac{1}{12 \left( \frac{d}{w} \right)^2} + \frac{1}{60 \left( \frac{d}{w} \right)^4} + \frac{1}{168 \left( \frac{d}{w} \right)^6} + \frac{1}{360 \left( \frac{d}{w} \right)^8} + \dots \right]$$

**GMD** 为几何平均距离(Geometric Mean Distance)

**d** 为相邻段中间距离

## — 对于一个由8段金属线组成的2圈螺旋电感，其电感值为

$$\begin{aligned} L = & L_1 + L_2 + L_3 + L_4 + L_5 + L_6 + L_7 + L_8 \\ & + 2[M_{1,5} + M_{3,7} + M_{2,6} + M_{4,8}] \\ & - 2[M_{1,7} + M_{1,3} + M_{5,7} + M_{5,3} \\ & + M_{2,8} + M_{2,4} + M_{6,8} + M_{6,4}] \end{aligned}$$



# 集成无源元件 — 电感

## 2. 不同几何形状螺旋电感值的公式(Thomas Lee)

$$L = \frac{\mu n^2 d_{avg} c_1}{2} \left[ \ln \left( \frac{c_2}{\rho} \right) + c_3 \rho + c_4 \rho^2 \right]$$

其中  $\mu$  为磁导率

$n$  为螺旋圈数

$d_{avg}$  为内外直径的算术平均

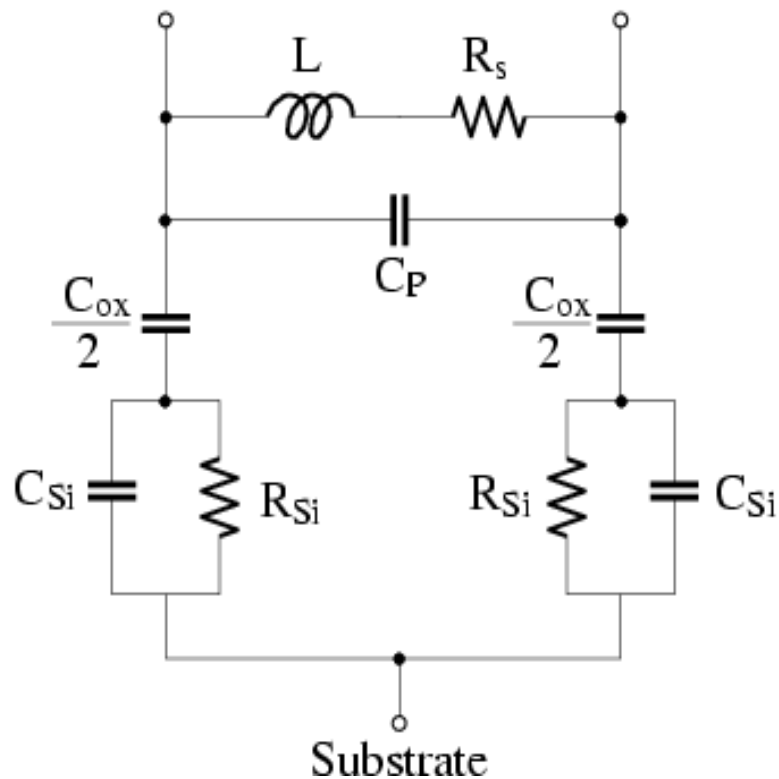
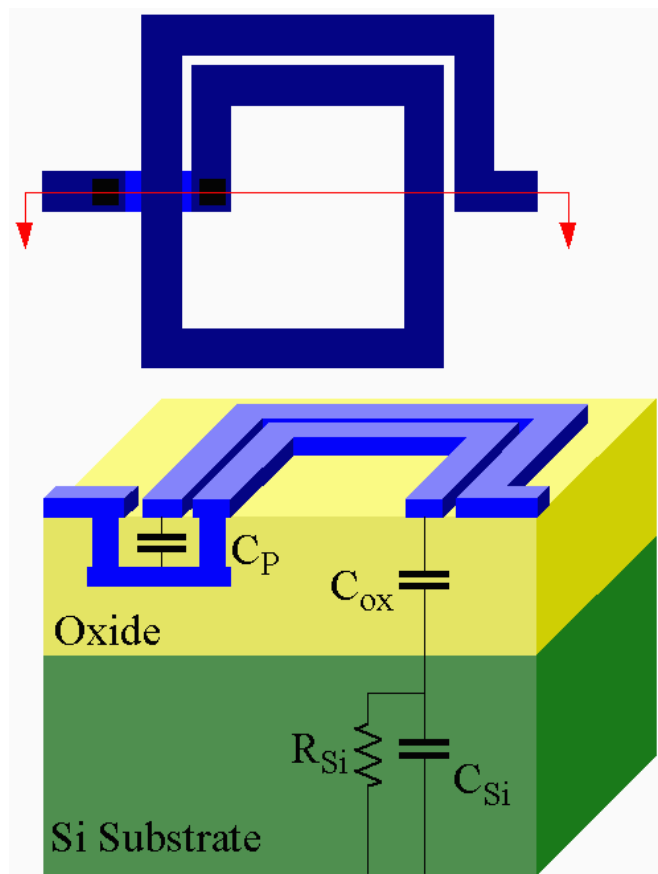
$\rho = (d_{out} - d_{in}) / (d_{out} + d_{in})$  表示电感的“空心”程度

$C_1$  到  $C_4$  是电感的几何形状系数，由下表定义

形状	$c_1$	$c_2$	$c_3$	$c_4$
方形	1.27	2.07	0.18	0.13
六边形	1.09	2.23	0	0.17
八边形	1.07	2.29	0	0.19
圆形	1.00	2.46	0	0.20

# 集成无源元件 — 电感

## ➤ 平面螺旋电感模型



螺旋电感等效电路

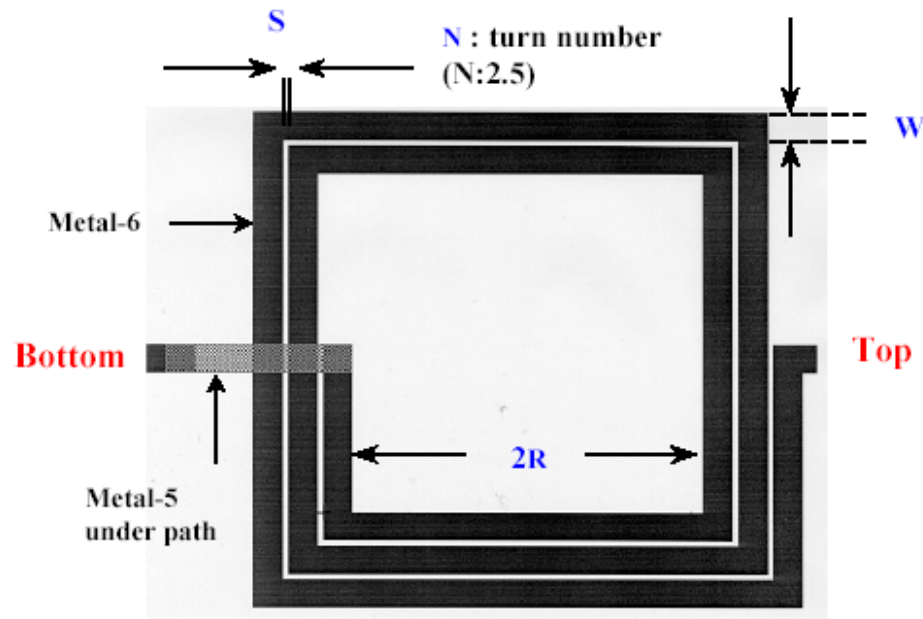
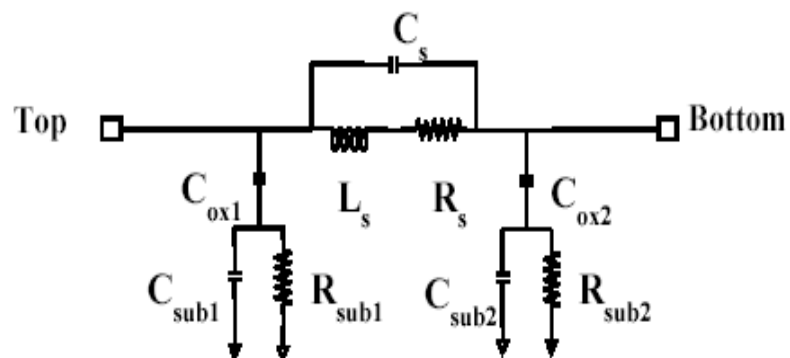
# 集成无源元件 — 电感

---

- $C_p$ : 电感主线圈与引出线之间的电容  $C_p = n \cdot w^2 \cdot \frac{\epsilon_{ox}}{t_{ox,m1-m2}}$
- $C_{ox}$ : 电感到衬底间的电容  $C_{ox} = w \cdot l \cdot \frac{\epsilon_{ox}}{t_{ox,m2-sub}}$
- $C_{si}$ : 衬底的电容,  $C_{si} \approx \frac{w \cdot l \cdot C_{sub}}{2}$ ,  $C_{sub}$  的值在  $10^{-3} \sim 10^{-2}$  fF/ $\mu\text{m}^2$  之间
- $R_s$ : 电感的串联电阻(趋肤效应-skin effect)  $R_s = \frac{l}{w \cdot \sigma \cdot \delta (1 - e^{-t/\delta})}$   
趋肤深度  $= \delta = \sqrt{2 / \omega \mu_0 \sigma}$
- $R_{si}$ : 衬底损耗,  $G_{sub}$  为拟和参数, 典型值为  $10^{-7}$  S/ $\mu\text{m}^2$  (CMOS)  
$$R_{si} = \frac{2}{w \cdot l \cdot G_{sub}}$$

# 集成无源元件 — 电感

## ➤ 0.18 $\mu\text{m}$ CMOS 工艺中的螺旋电感



# 集成无源元件 — 电感

Varied number of turns(N)						
W( $\mu\text{m}$ )	15	15	15	15	15	15
R( $\mu\text{m}$ )	60	60	60	60	60	60
S( $\mu\text{m}$ )	1.5	1.5	1.5	1.5	1.5	1.5
N	2.5	3.5	4.5	5.5	6.5	7.5
Rsub1(ohm)	444	424	399.16	384.7	369.5	350.17
Csub1(fF)	37.63	49.24	61.39	73.63	85.69	94.24
Rsub2(ohm)	444	424	399.16	384.7	369.5	350.17
Csub2(fF)	37.63	49.24	61.39	73.63	85.69	94.24
Cox1(fF)	63.99	99.33	134.52	168.84	195.66	227.01
Cox2(fF)	54.5	88.5	121.68	161.16	187.49	215.99
Ls(nH)	2.307	3.878	6.093	9.057	12.82	17.68
Cs(fF)	18.68	29.43	35.64	40.6	46.76	50.99
Rs(ohm)	2.01	2.838	3.75	4.7	5.94	7.164
Q@1GHz	5.8	6.529	7.088	7.26	6.95	6.295
Q@2GHz	9.518	9.191	8.15	6.32	4.24	2.586
Valid Frequency(GHz)	6	6	6	5	4	3

# 集成无源元件 — 电感

Varied Radius (R)					
W( $\mu\text{m}$ )	15	15	15	15	15
R( $\mu\text{m}$ )	30	60	90	120	150
S( $\mu\text{m}$ )	1.5	1.5	1.5	1.5	1.5
N	4.5	4.5	4.5	4.5	4.5
Rsub1(ohm)	+419.17	399.16	375	364.66	350.17
Csub1(fF)	55.63	61.39	64	69.76	75.61
Rsub2(ohm)	419.17	399.16	375	364.66	350.17
Csub2(fF)	55.63	61.39	64	69.76	75.61
Cox1(fF)	98.89	134.52	149.7	181	197.3
Cox2(fF)	82.33	121.68	136.6	177.78	190.9
Ls(nH)	3.73	6.093	8.773	11.67	14.68
Cs(fF)	25.88	35.64	44.01	49.82	53.13
Rs(ohm)	2.791	3.75	4.68	5.525	6.59
Q@1GHz	5.75	7.088	7.624	7.638	7.24
Q@2GHz	7.81	8.15	6.915	5.172	3.68
Valid Frequency(GHz)	6	6	5	4	3

# 集成无源元件 — 电感

## ➤ 键合线电感 (Bondwire Inductors)

- 键合线可以用作电感，高 $Q$ 值，高自谐振频率，但电感值不易精确控制
- 标准键合线直径：1 mil = 0.001 inches  $\approx$  25 $\mu$ m

键合线单位长度的表面积远大于平面螺旋电感，具有更低的损耗和更高的 $Q$ 值

- 为了减小寄生电容，可将键合线放置于导电平面上方较高处，以增加电感的自谐振频率和减小感应电流引起的损耗
- 若忽略附近导体的影响，键合线直流电感由下式计算

$$L = \frac{\mu_0 l}{2\pi} \left[ \ln\left(\frac{2l}{r}\right) - 0.75 \right] \approx 2 \times 10^{-7} l \left[ \ln\left(\frac{2l}{r}\right) - 0.75 \right]$$

当  $l = 2 \text{ mm}$  时，上式给出  $L = 2 \text{ nH}$ ，相当于  $1 \text{ nH/mm}$

- 键合线(铝)的 $Q$ 值@1GHz:  $Q = L\omega / R$ ,  $R = l / (2\pi r \delta \sigma)$ ,  $\delta = \sqrt{2 / \omega \mu_0 \sigma}$

已知  $\sigma_{Al} = 4 \times 10^7 \text{ S/m}$ ,  $\mu_0 = 4\pi \times 10^{-7} \text{ H/m}$

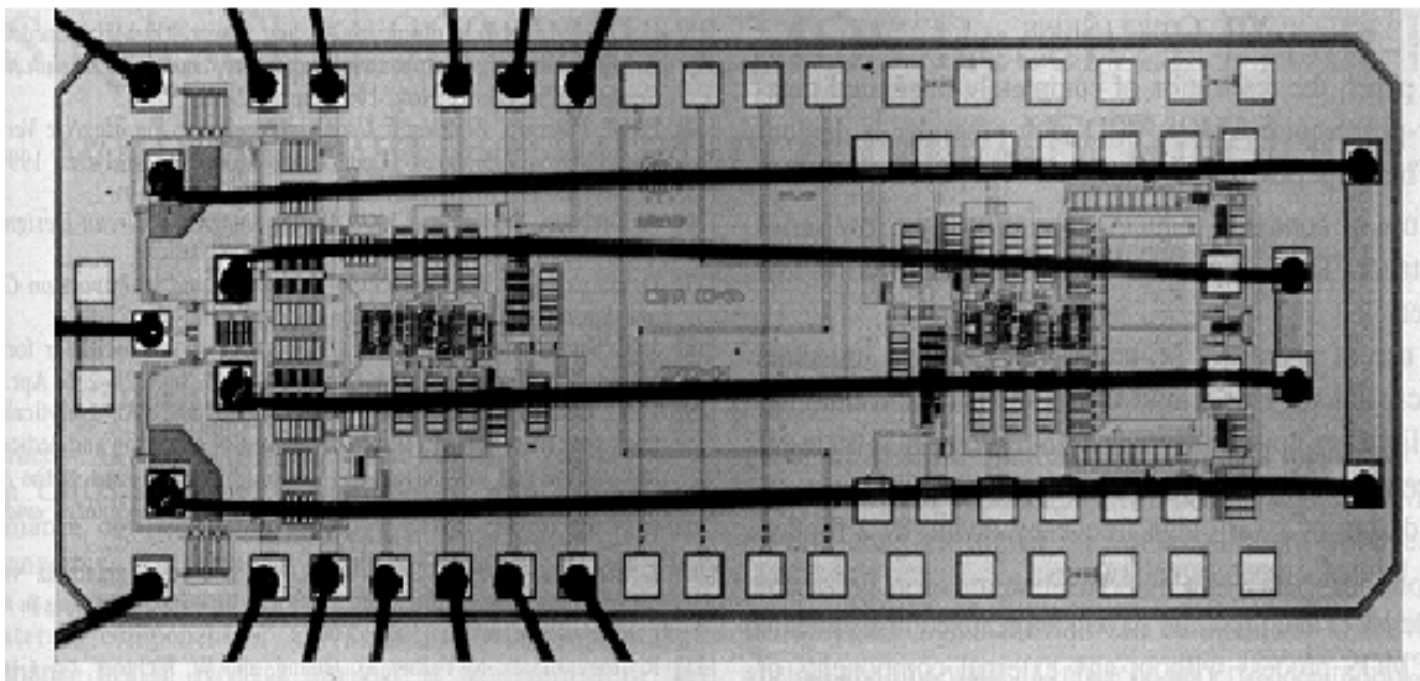
得  $\delta = 2.5 \mu\text{m} @ 1\text{GHz}$ ,  $R / l = 125 \text{ m}\Omega / \text{mm} @ 1\text{GHz}$ ,  $Q \approx 50$

- 由于感抗正比于频率，而损耗正比于频率的平方根，因此 $Q$ 值正比于频率的平方根，实际中 $Q$ 值可以达到100@5GHz，但需要特别小心
- 电感的温度系数  $TCR \approx 50\text{-}70 \text{ ppm/}^\circ\text{C}$



# 集成无源元件 — 电感

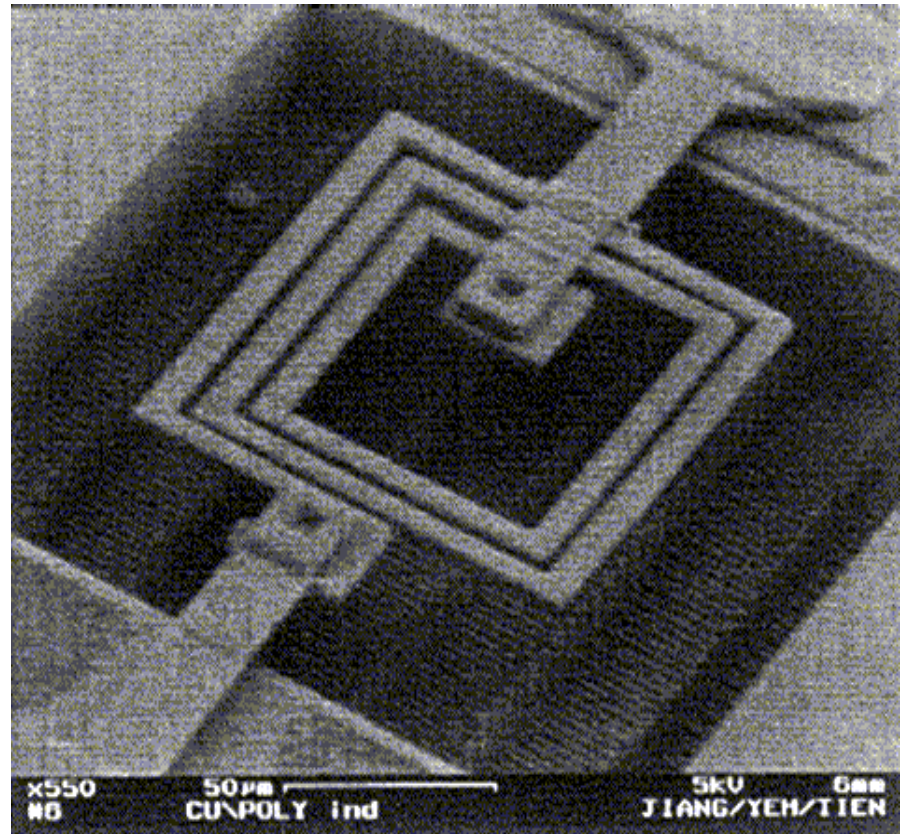
---



# 集成无源元件 — 电感

## ➤ 其它电感

- 有源电感  
晶体管+电阻+电容  
特点：高Q值、噪声性能差
- 微机械 (MEMS, MicroElectroMechanical System) 电感

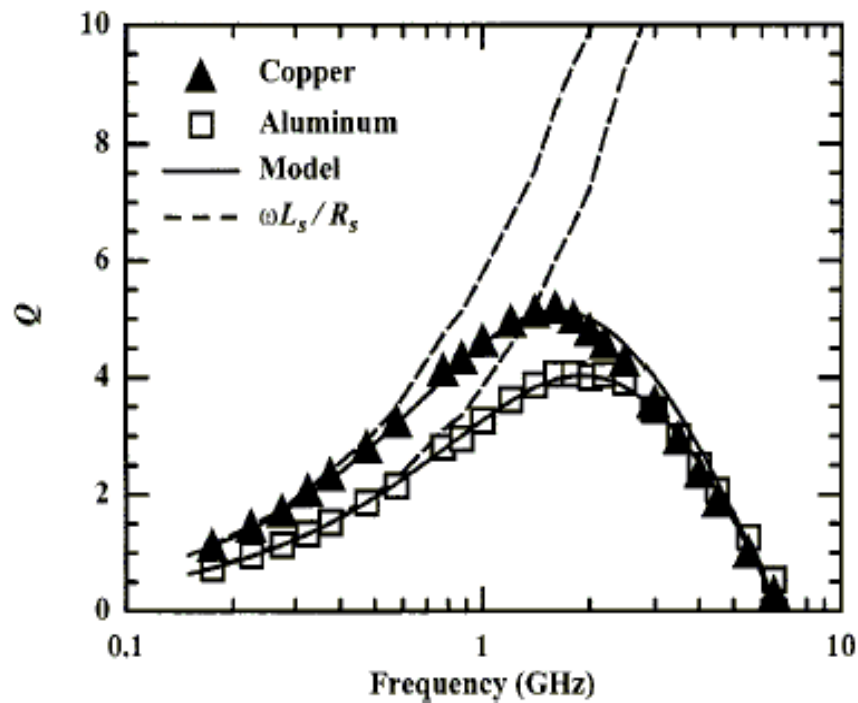


# 集成无源元件 — 电感

## ➤ 影响平面螺旋电感Q值的因素

### • 金属材料

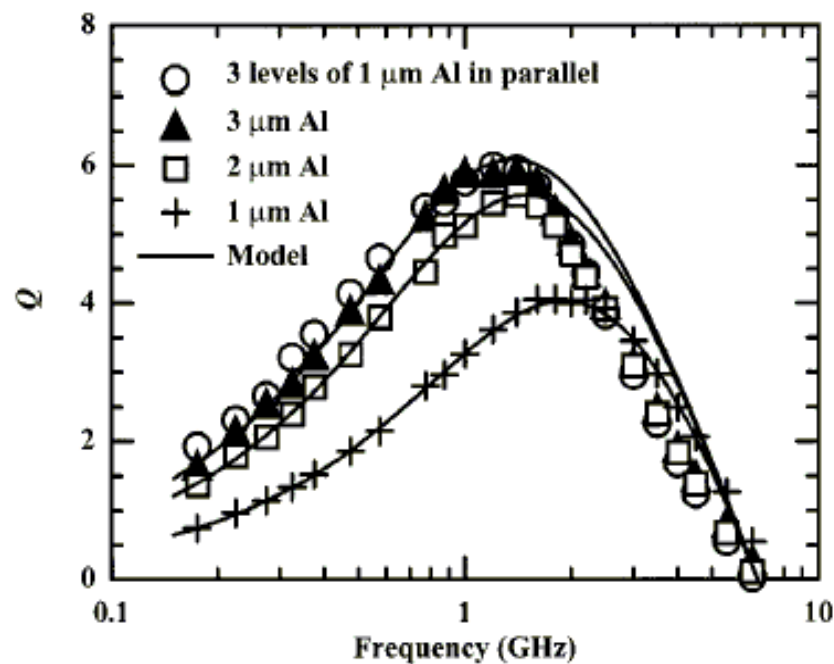
- 高电导率材料可以有效地减小串联电阻，从而提高Q值
- 由于邻近效应和衬底损耗，在频率进一步提高时其效果开始减弱



# 集成无源元件 — 电感

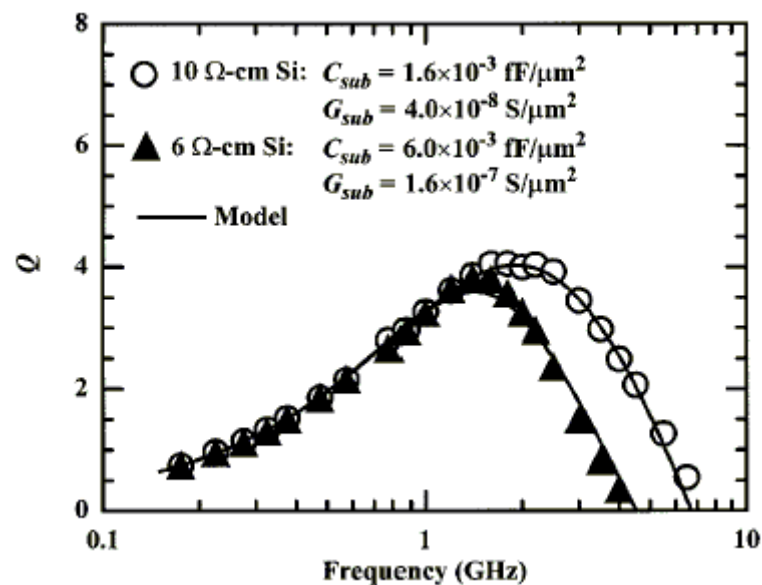
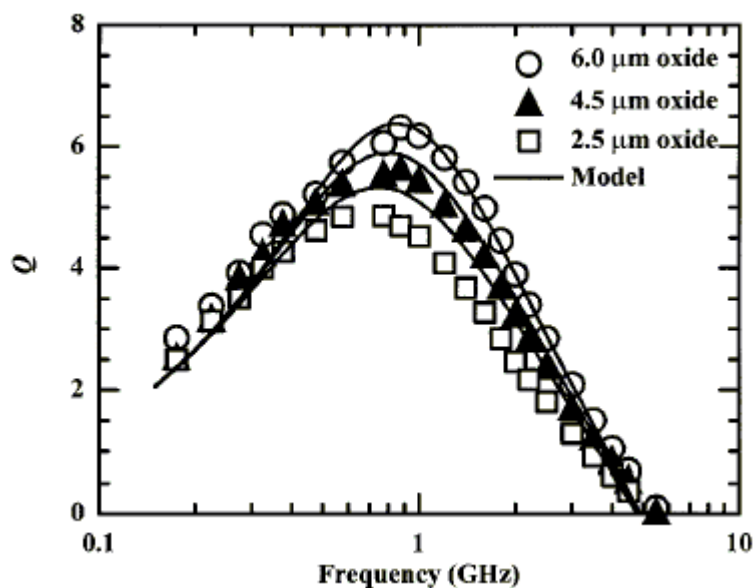
- 金属厚度

- 增加金属厚度可以减少串联电阻
- 多层电感并联可以减少串联电阻



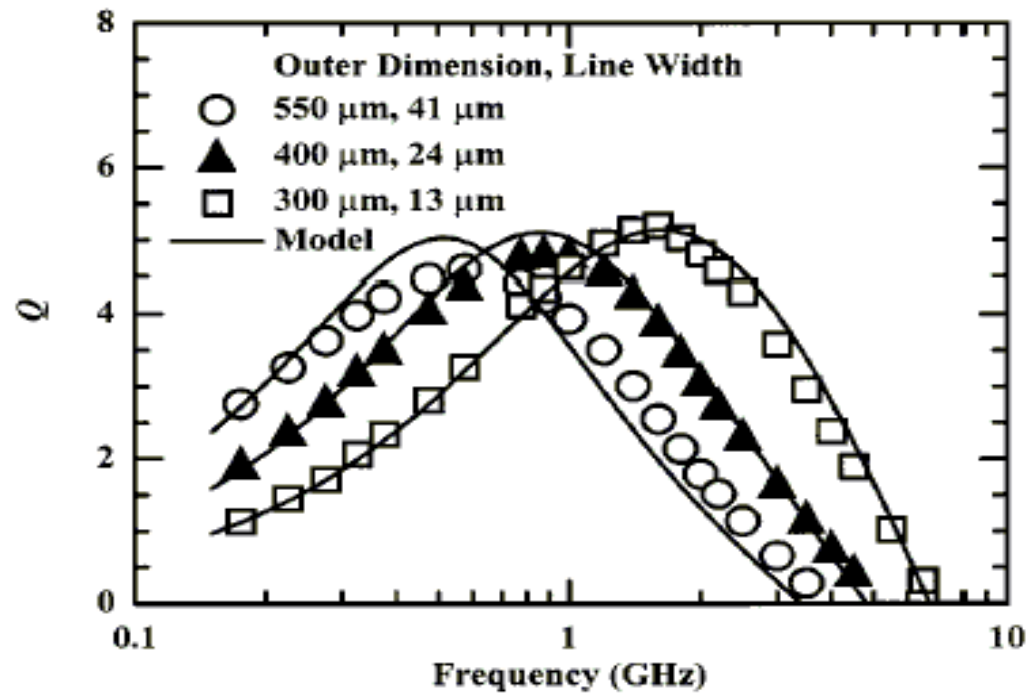
# 集成无源元件 — 电感

- 绝缘层厚度与衬底电阻率



# 集成无源元件 — 电感

- 电感线圈尺寸

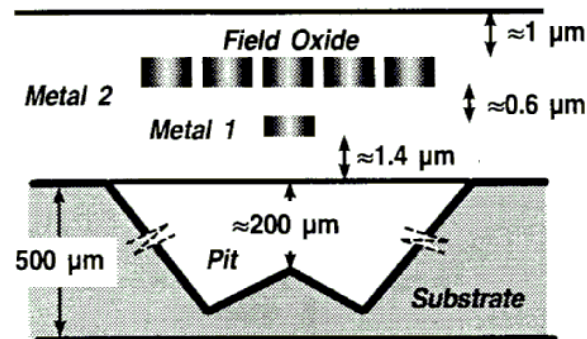
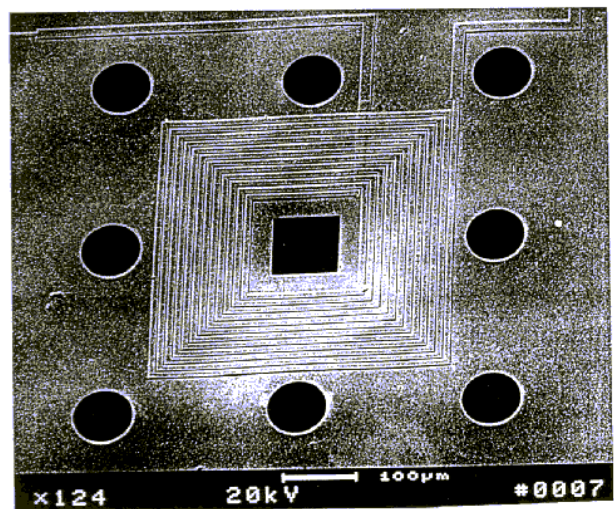
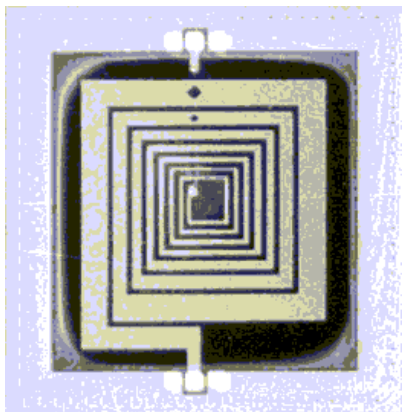




# 集成无源元件 — 电感

## ➤ 提高平面螺旋电感的Q 值

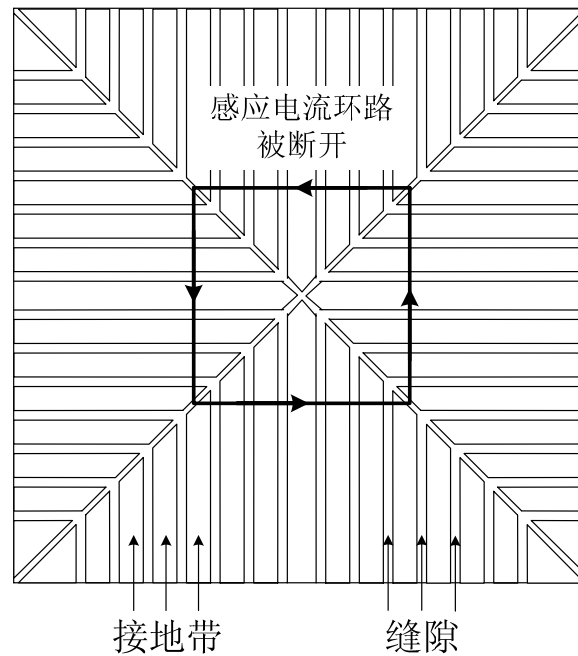
- 利用高导电率的导体
- 增加金属厚度
- 使用多层电感并联
- 使用厚绝缘层
- 优化电感几何尺寸
- 使用低损耗衬底或挖空衬底



# 集成无源元件 — 电感

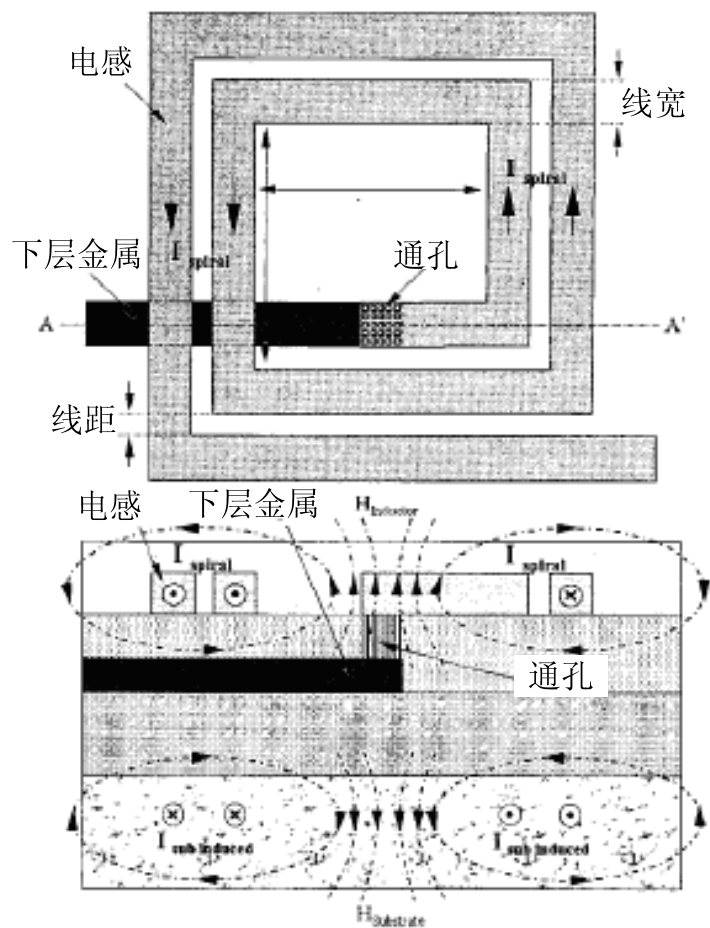
- 使用具有特定图形的地屏蔽层（**Patterned Ground Shield**）

接地带与电感中的电流方向相互垂直

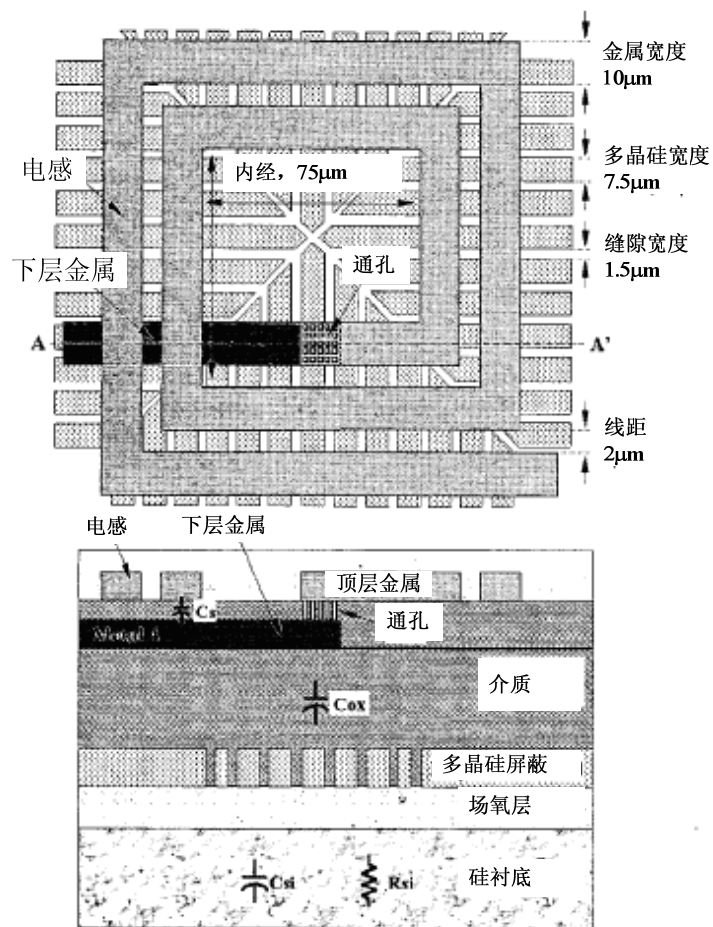




# 集成无源元件 — 电感



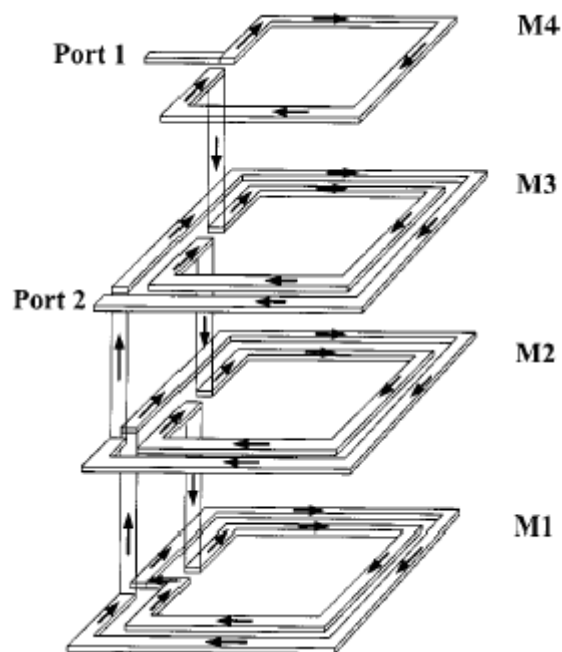
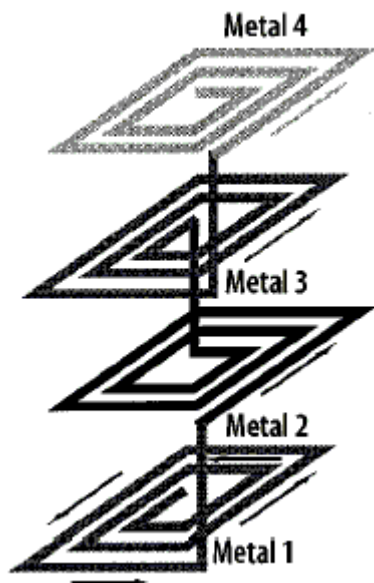
衬底涡流的产生及电感和衬底磁力线的相互作用



带有Patterned Ground Shield 的电感示意图

# 集成无源元件 — 电感

## ► 利用多层电感串联减小面积



# 集成无源元件 — 电感

## ► 层叠式电感计算

### — 电感值与层数

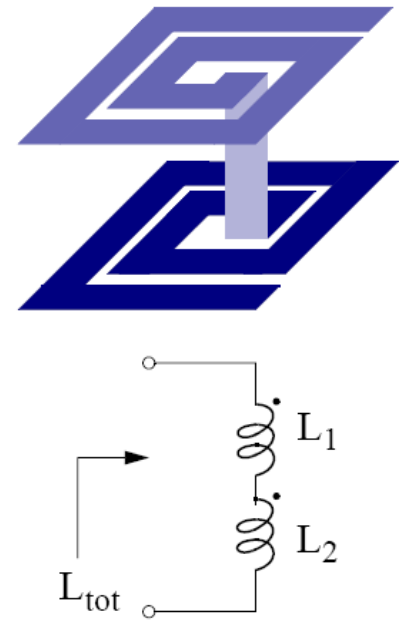
如果上下两层电感耦合紧密 (耦合系数  $k=1$ )，那么总电感值为

$$\begin{aligned} L_{tot} &= L_1 + L_2 + M_{12} + M_{21} \\ &= L_1 + L_2 + 2\sqrt{L_1 L_2} \end{aligned}$$

当  $L_1=L_2=L$  时，  $L_{tot} = 4L$

当  $n$  层电感分别相等(等于  $L$ )，且耦合紧密 ( $k=1$ )，则串联后的总感值为

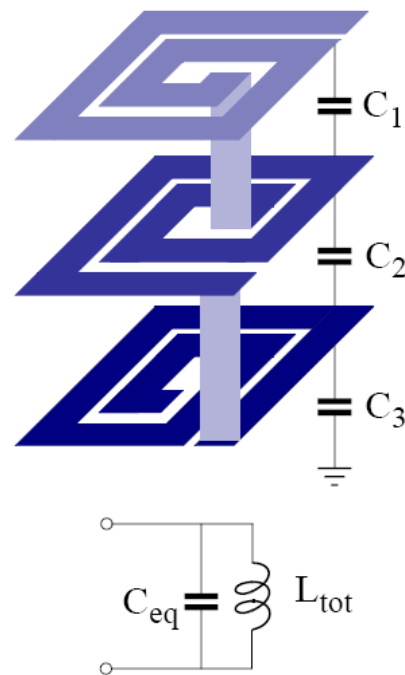
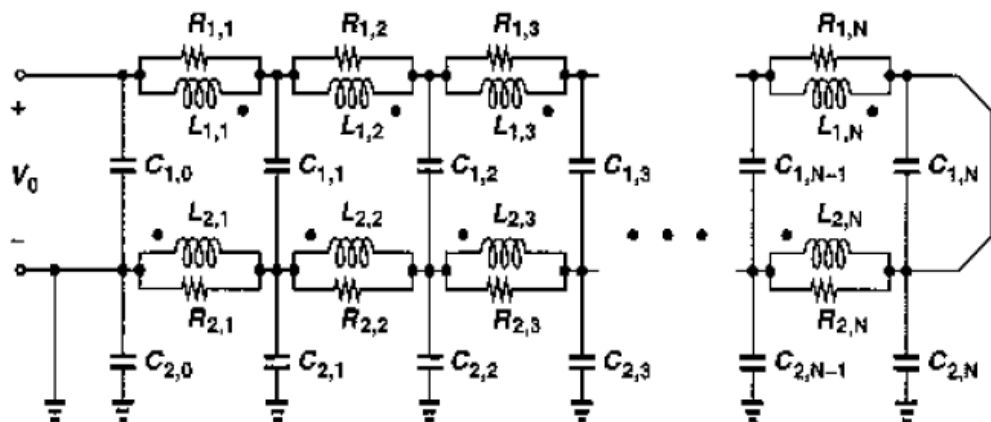
$$L_{tot} = n^2 L$$



# 集成无源元件 — 电感

## ► 层间电容与自谐振频率

串联层叠电感可以等效为电感 $L_{\text{tot}}$ 和电容 $C_{\text{eq}}$ 的并联， $C_{\text{eq}}$ 取决于层间电容的大小。为了提高电感的自谐振频率，需要减小 $C_{\text{eq}}$ 。



$n$ 层电感的等效并联电容为 
$$C_{\text{eq}} \approx \frac{1}{3n^2} \left( 4 \sum_{i=1}^{n-1} C_i + C_n \right)$$

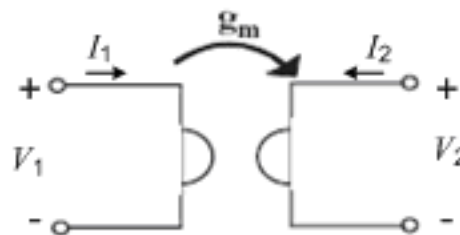
# 有源电感

## ➤ 回转器与有源电感

### 一回转器

$$I_1 = g_m V_2$$

$$I_2 = -g_m V_1$$



$$V_1 I_1 + V_2 I_2 = g_m V_1 V_2 - g_m V_1 V_2 = 0 \quad \Rightarrow \quad \text{理想回转器不消耗功率}$$

回转器具有把一个端口上的电压“回转”为另一端口上的电流的性质。这一性质使回转器具有将电容回转为电感的能力，为集成电路设计提供了用容易集成的电容实现不易集成的电感的可能性。

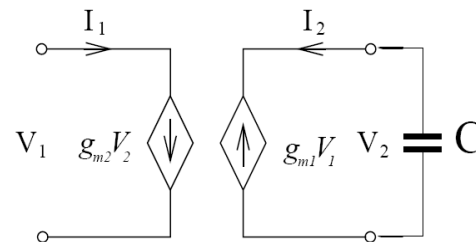
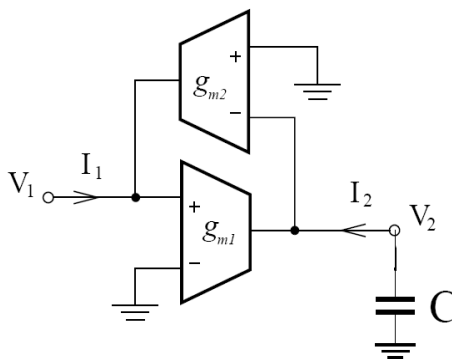
# 有源电感

## 一回转器+电容

$$Z_{in} = \frac{V_1}{I_1} = \frac{V_1}{g_{m2} V_2}$$

$$V_2 = g_{m1} V_1 \frac{1}{sC}$$

$$Z_{in} = \frac{sC}{g_{m1} g_{m2}} = sL \quad \Rightarrow \quad L = \frac{C}{g_{m1} g_{m2}}$$



在回转器输出端接一个电容 $C$ ，在回转器输入端相当于一个电感。

# 有源电感

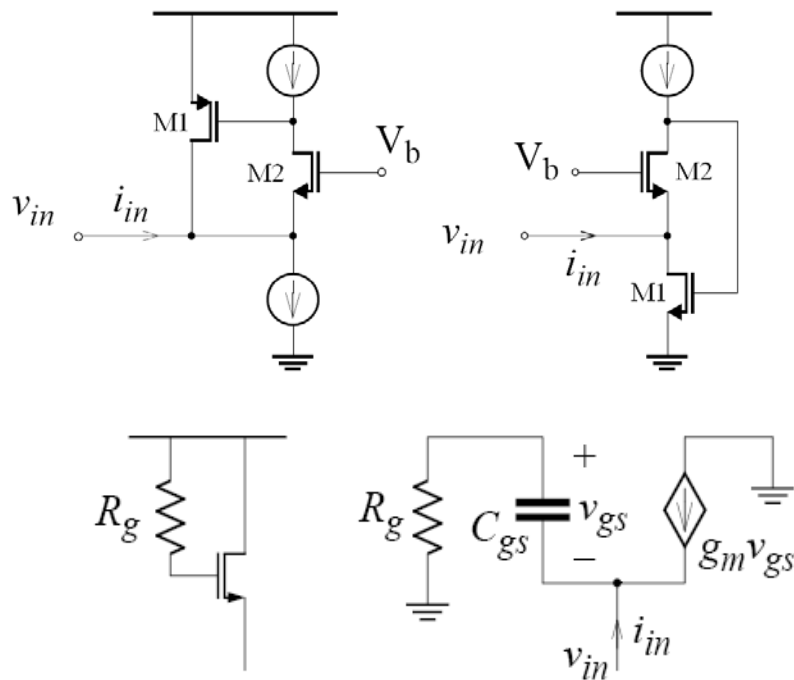
## 有源电感的实现

- 回转器加电容构成的电感无非是一正一反两个跨导加上一个电容，这可以用很简单的电路来实现，并且可用于较高的频率。

- 更为简单的有源电感可以用一个MOS管和一个电阻构成。

$$i_{in} = \frac{v_{in}}{R_g + \frac{1}{sC_{gs}}} - g_m v_{gs}$$

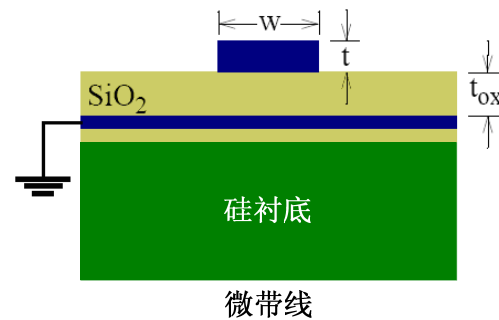
$$\begin{cases} R_g \gg 1/(sC_{gs}) \\ g_m \gg \omega C_{gs} \end{cases} \Rightarrow z_{in} \approx \frac{sC_{gs}R_g}{g_m} = sL \Rightarrow L \approx \frac{R_g C_{gs}}{g_m} \approx \frac{R_g}{\omega_T}$$



# 硅衬底上的传输线

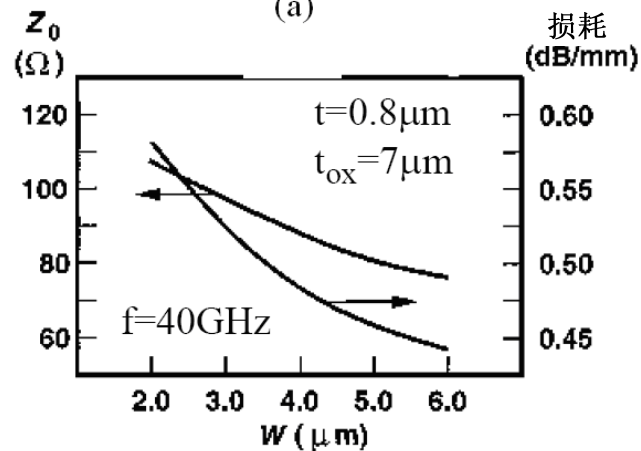
## ➤ 微带线

- 微带线由信号线和接地平面构成
- 用低层金属作为接地平面可以阻止电场进入衬底引起损耗
- 顶层金属距离衬底的距离随工艺中金属层数的增加而增加，因此所形成微带线的特征阻抗越来越大
- 增加信号线宽度可使特征阻抗与衰减常数同时减小



微带线

(a)



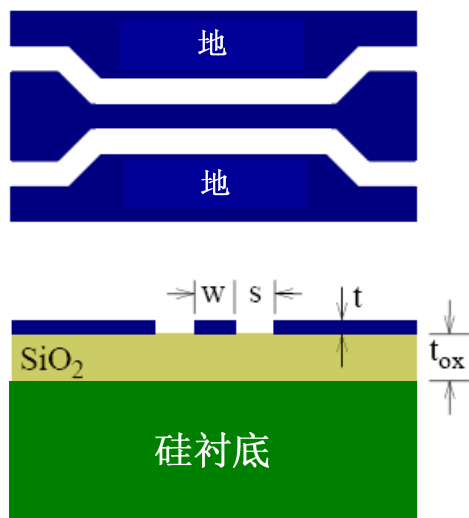
(b)



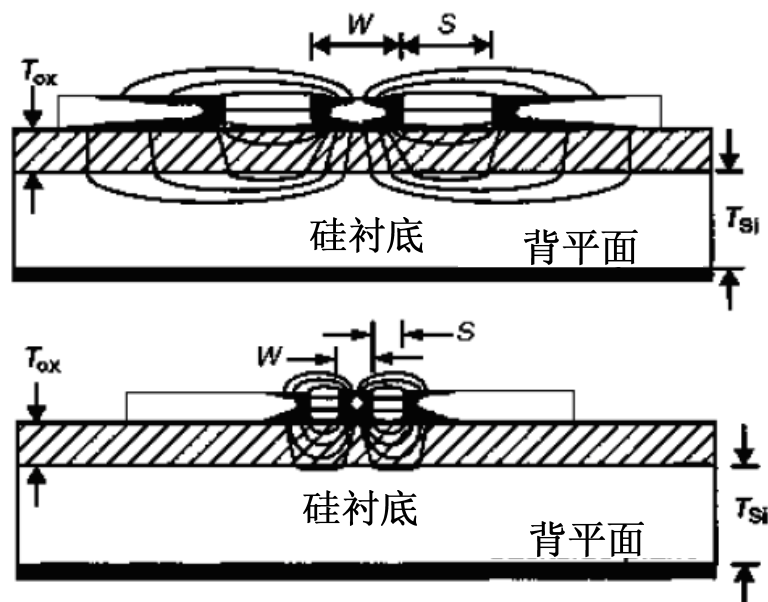
# 硅衬底上的传输线

## ► 共面波导

- 共面波导由位于同一平面上的信号线和其两边的接地平面构成
- 信号电场主要集中在信号线与接地平面之间，仅有部分电场进入衬底



(a)



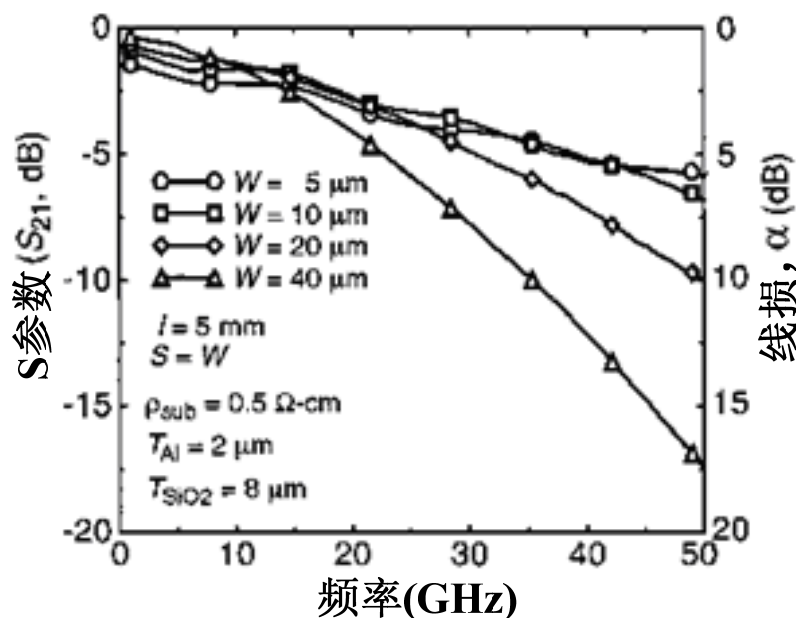
(b)

# 硅衬底上的传输线

- 对于固定的特征阻抗 $Z_0$ ， $W$ 和 $S$ 之比( $W/S$ )固定，减小 $W$ 必须同时减小 $S$ 。
- 当 $W$ 和 $S$ 同步减小时，于是一方面趋肤效应增大了导线电阻，导致导线损耗增大；另一方面导线与地平面耦合得更紧密，减小了衬底损耗。
- 因此，设计时需要根据工作频率优化尺寸，在金属导线损耗和衬底损耗之间折中，以使总损耗最小。

Table 1: 金属厚度为 $2\mu\text{m}$ 时给定阻抗和宽度对应的间距 $S$  ( $\mu\text{m}$ )

$W \setminus Z_0$	$40\Omega$	$60\Omega$	$90\Omega$
$5\mu\text{m}$	1.25	5	20
$10\mu\text{m}$	2.5	10	40
$20\mu\text{m}$	5	20	80
$40\mu\text{m}$	10	40	160

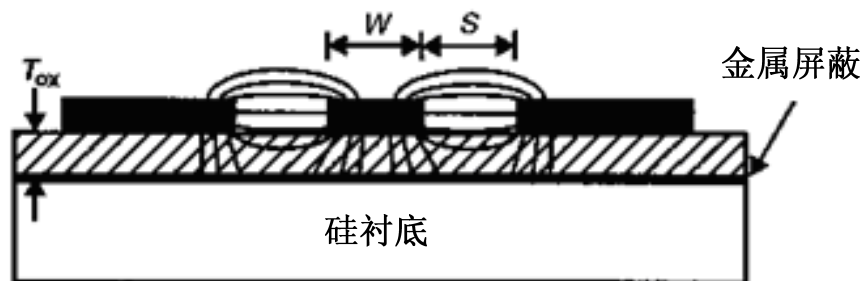


当 $W=S=20\mu\text{m}$ ， $t_{\text{ox}}=8\mu\text{m}$ 时，测得的损耗在 $10\text{GHz}$ 约为 $0.35\text{dB/mm}$ ，在 $50\text{GHz}$ 约为 $2\text{dB/mm}$ 。

# 硅衬底上的传输线

## ➤ 微带线和共面波导组合

将微带线和共面波导结合起来使用，衬底被完全屏蔽，衬底损耗进一步减小。



当  $W=S=20\mu\text{m}$ ,  $t_{\text{ox}}=8\mu\text{m}$  时

损耗约为  $0.2\text{dB/mm}$  @  $10\text{GHz}$

损耗约为  $0.5\text{dB/mm}$  @  $50\text{GHz}$

# 参考文献

---

- [1] Reinhold Ludwig, Pavel Bretchko, *RF Circuit Design: Theory and Applications*, 2002.5, Publishing House of Electronics Industry.
- [2] Thomas H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2002.6, Publishing House of Electronics Industry.
- [3] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001.
- [4] N. M. Nguyen and R. G. Meyer, “Si IC-compatible inductors and LC passive filters”, *IEEE J. Solid-State Circuits*, vol. 27, pp. 1028-1031, Aug. 1990.
- [5] H. M. Greenhouse, “Design of planar rectangular microelectronic inductors”, *IEEE Trans. Parts, Hybrids, Packaging*, vol. PHP-10, pp. 101-109, June 1974.
- [6] C. P. Yue and S. S. Wong, “Physical Modeling of Spiral Inductors on Silicon”, *IEEE Trans. Electron Devices*, vol. 47, pp. 560-568, March, 2000.
- [7] C. P. Yue and S. S. Wong, “On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RFIC’s”, *IEEE J. Solid-State Circuits*, vol. 33, pp. 743-752, May 1998.

# 参考文献

---

- [8] Ali M. Niknejad, *Analysis, Simulation, and Applications of Passive Devices on Conductive Substrates*, UC Berkeley doctoral thesis, 2000.
- [9] TSMC 0.18  $\mu\text{m}$  and 0.25 $\mu\text{m}$  RF CMOS Process Design Kit.
- [10] B. Razavi, “Prospects of CMOS Technology for High-Speed Optical Communication Circuits”, *IEEE J. Solid-State Circuits*, vol. 37, pp. 1135-1145, Sep. 2002.
- [11] B. Kleveland, C. Diaz, D. Vook, L. Madden, T. Lee and S. Wong, “Exploiting CMOS Reverse Interconnect Scaling in Multigigahertz Amplifier and Oscillator Design”, *IEEE J. Solid-State Circuits*, vol. 36, pp. 1480-1488, Oct. 2001.
- [12] A. Zolfaghari, A. Chan and B. Razavi, “Stacked Inductors and Transformers in CMOS Technology”, *IEEE J. Solid-State Circuits*, vol. 36, pp. 620-628, April 2001.
- [13] 邱关源主编, 《电路》(第四版), 高等教育出版社, 1999年6月