



计分项目	报告分数	课堂表现	总分
分值	70	30	100
得分			

姓名: 陈薇羽 应逸雯 学号: 12210460 12210159 实验班级: \_\_\_\_\_

## 组合逻辑电路的仿真

### 1. 实验目的

- 掌握全加器、译码器、数据选择器电路的特点及设计方法;
- 学会应用全加器、译码器及数据选择器设计组合逻辑电路;
- 掌握各种组合逻辑电路的仿真。

### 2. 实验器材

序号	名称	型号与规格	数量	备注
1	PC机		1	
2	电路仿真软件	NI Multisim 10	1	

### 3. 实验内容

#### 3.1 全加器的EDA仿真

##### a) 由74LS00D和74LS86N构造的一位全加器的仿真

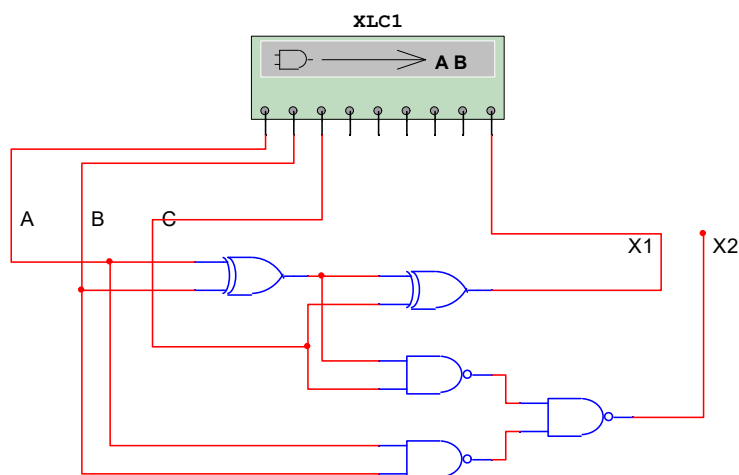


图1.1 一位全加器仿真图

b) 按照图1.2及1.3连线进行四位全加器74LS283及CD4008的功能仿真实验。

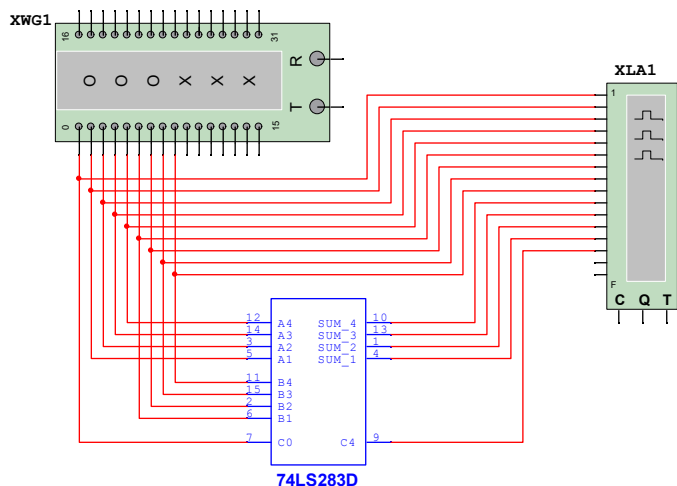


图1.2 74LS283功能仿真电路

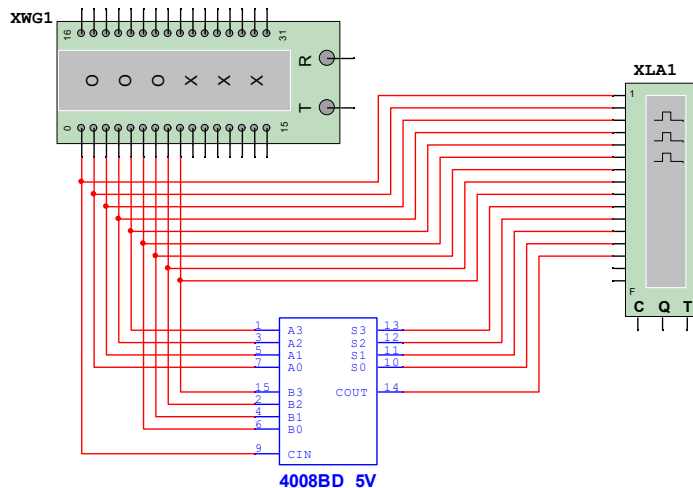


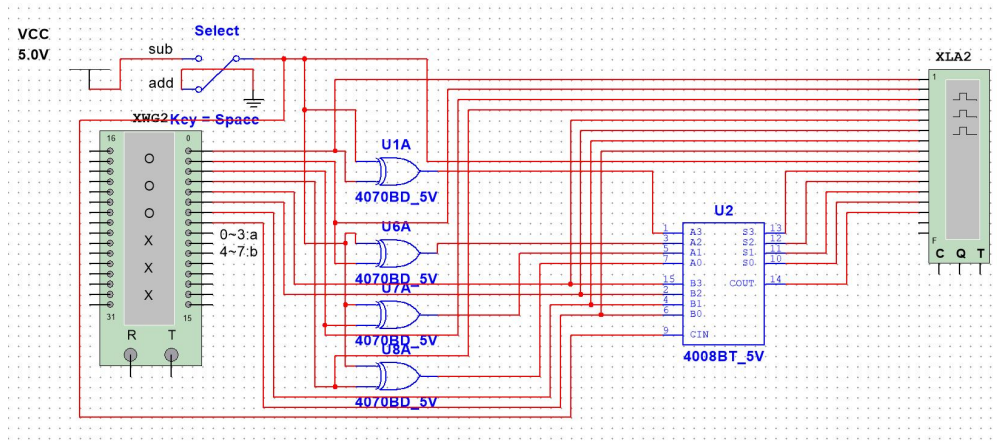
图1.3 CD4008功能仿真电路

c) 电路设计：

利用四位全加器CD4008和四异或门CC4070设计四位无符号数二进制加/减法器，画出仿真图。

设计思路：

二进制数减法可以使用补码，即对减数取反加一。所以可以使用CD4070异或门的其中一个输入来决定是否取反，并通过CIN的输入值来决定是否加一。其余部分与全加器相同，所以直接使用CD400。



已检验电路逻辑结果符合题目要求

### 3.2 译码器的EDA仿真

#### a) 变量译码器

变量译码器（又称二进制译码器），用于表示输入变量的状态，如2-4线、3-8线和4-16线译码器。若有  $n$  个输入变量，则有  $2^n$  个不同的组合状态，就有  $2^n$  个输出端供其使用。而每个输出所代表的函数对应于  $n$  个输入变量的最小项。以3-8线译码器74LS138为例进行分析，引脚图如图2.1所示。其中A2、A1、A0为地址输入端， $\bar{Y}_0 \sim \bar{Y}_7$  为译码输出端， $E_1$ 、 $\bar{E}_2$ 、 $\bar{E}_3$  为使能端。

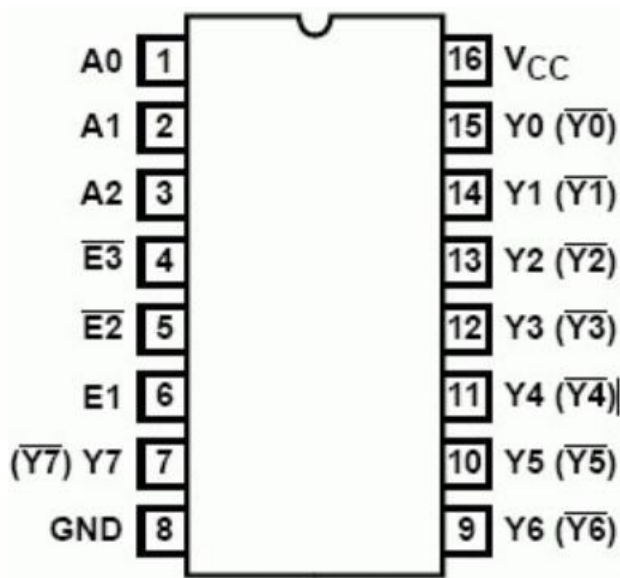


图2.1 74LS138引脚图

当  $E_1 = 1$ ， $\bar{E}_2 + \bar{E}_3 = 0$  时，器件使能，地址码所指定的输出端有信号（为0）输出，其他输出端均无信号（全为1）输出。当  $E_1 = 0$ ， $\bar{E}_2 + \bar{E}_3 = X$  时，或者  $E_1 = X$ ， $\bar{E}_2 + \bar{E}_3 = 1$  时，译码器被禁止，所有输出同时为1。因此器件要正常工作，使能端必须全部为有效状态。

二进制译码器实际上也是负脉冲输出的脉冲分配器。若利用使能端中的一个输入端输入数据信息，器件就成为一个数据分配器（又称多路分配器），若在  $E_1$  输入端输入数据信息， $\bar{E}_2 + \bar{E}_3 = 0$ ，地址码所对应的输出是  $E_1$  数据信息的反码；若从  $\bar{E}_2$  端输入数据信息，令  $E_1 = 1$ 、 $\bar{E}_3 = 0$ ，地址码多对应的输出就是  $\bar{E}_2$  端数据信息的原码。若数据信息是时钟脉冲，则数据分配器便成为时钟脉冲分配器。

由于每个输出所代表的函数对应于所有地址输入变量的最小项，译码器还能方便的实现各种逻辑函数。

按照下图2.2进行二进制译码器74LS138的功能仿真分析。按照图2.3进行二进制译码器74LS42（4-10线译码器）的功能仿真分析。

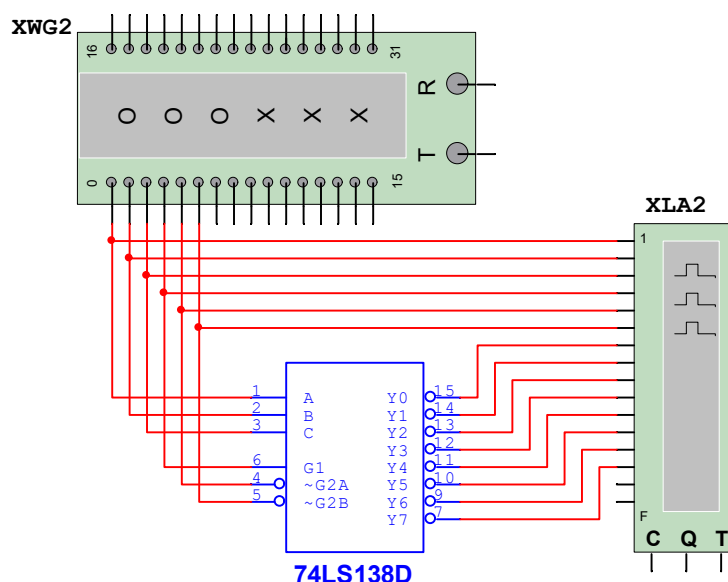


图2.2 74LS138功能仿真电路

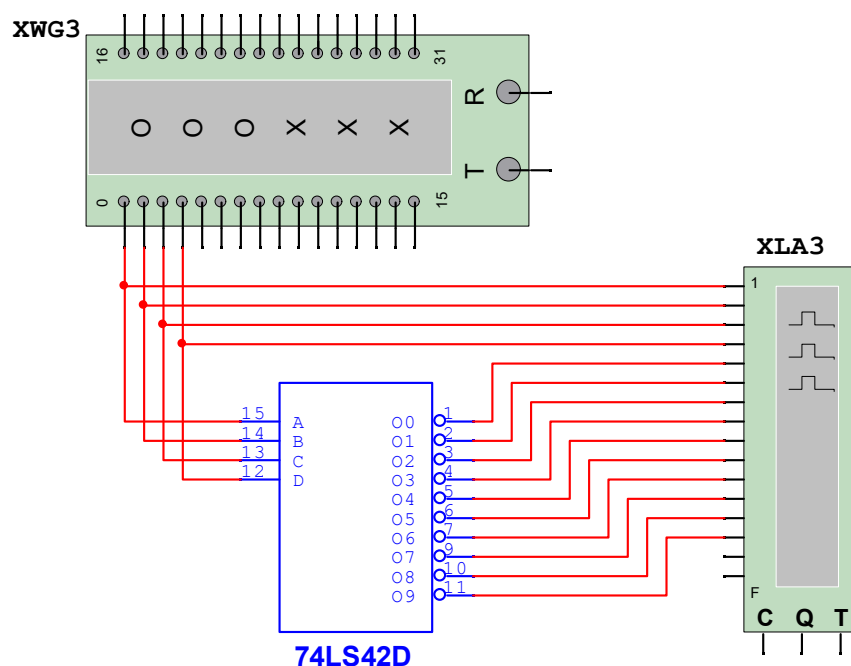
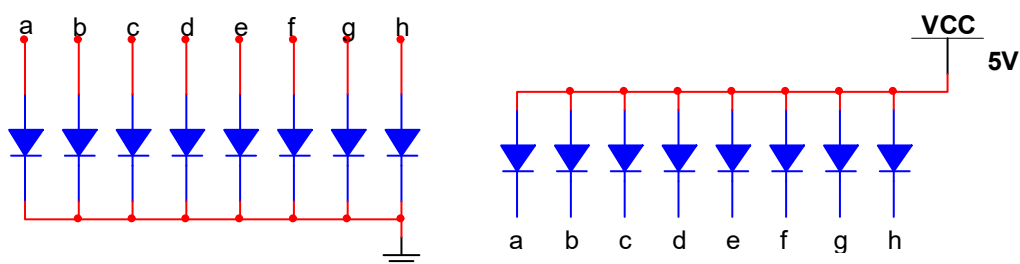


图2.3 74LS42功能仿真电路

## b) 数码显示译码器

LED数码管是目前最常用的数字显示器，下图所示分别为共阴管和共阳极电路。一个LED数码管可用来显示一位0~9十进制数和一个小数点，小型数码管每段发光二极管的正向压降随显示光（通常为红色、绿色、黄色、橙色）的颜色不同略有差别，通常为2~2.5V，每个发光二极管的点亮电流为5~10mA。LED数码管要显示BCD码所表示的十进制数字需要有一个专门的译码器，该译码器不但要完成译码功能，还要有相当的驱动能力。



BCD码七段译码驱动器型号有74LS47（共阳极）、74LS48（共阴极）、CC4511（共阴极）等，本实验采用CC4511 BCD码锁存/七段译码/驱动器，驱动共阴极LED数码管。按图2.4连接电路，测试其译码和驱动的功能。

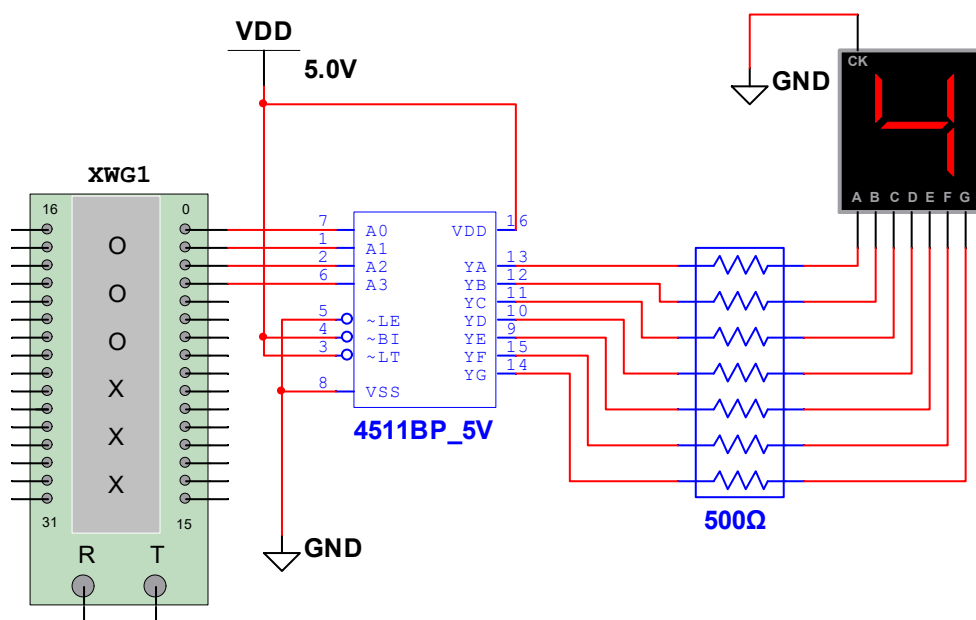


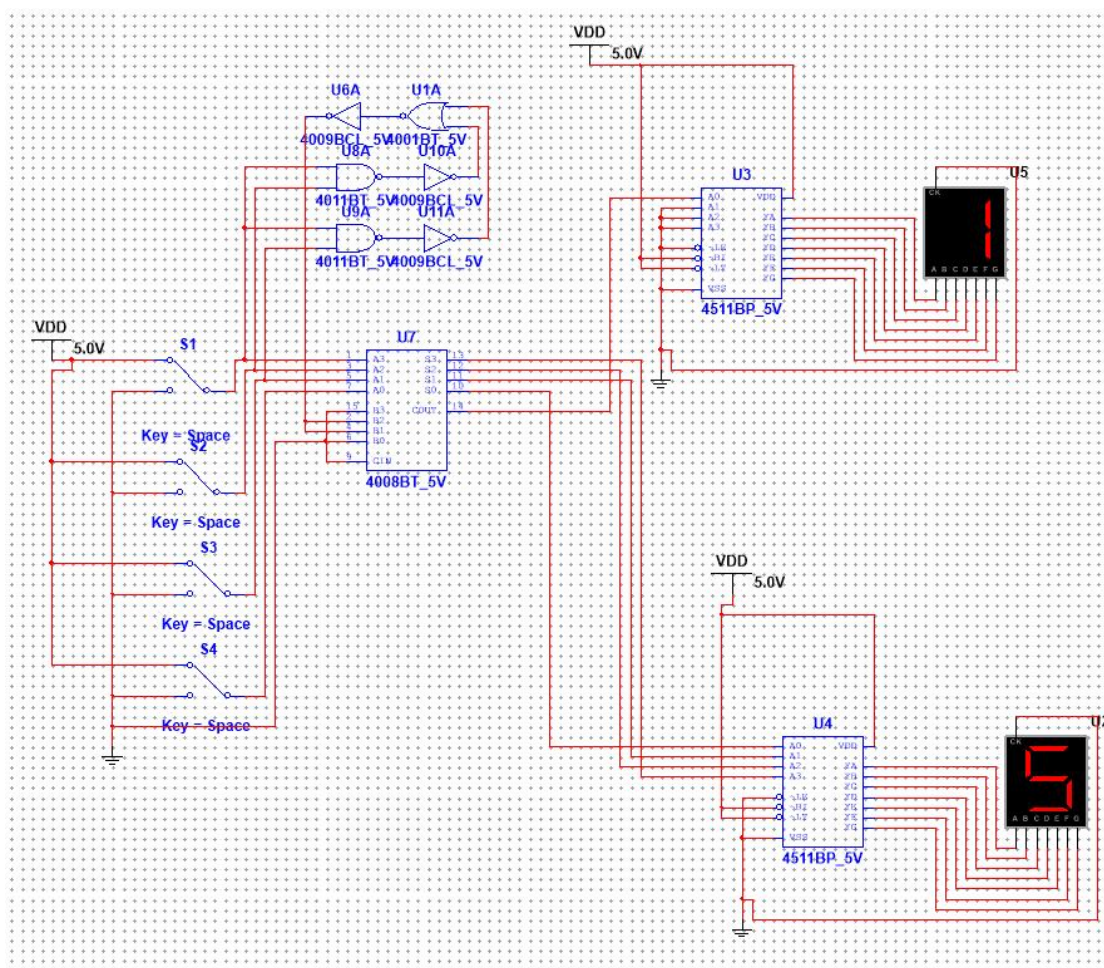
图2.4 CC4511驱动一位数码管

## c) 电路设计

- 设计一个将4位二进制数码转换成2位8421BCD码，并用2个7段数码管显示这两位BCD码的电路。

设计思路：

4位二进制数转换为10进制时，最多有两位，其中十位最大为1。对于十进制中的个位数，二进制表示方式与BCD表示方式是相同的。四位BCD码表示的最大十进制数为9，四位二进制码表示的最大十进制数为15，所以对于 $>9$ 的4位二进制码，只需给它+0110，就可以获得一位的进位并让SUM为BCD码的个位。



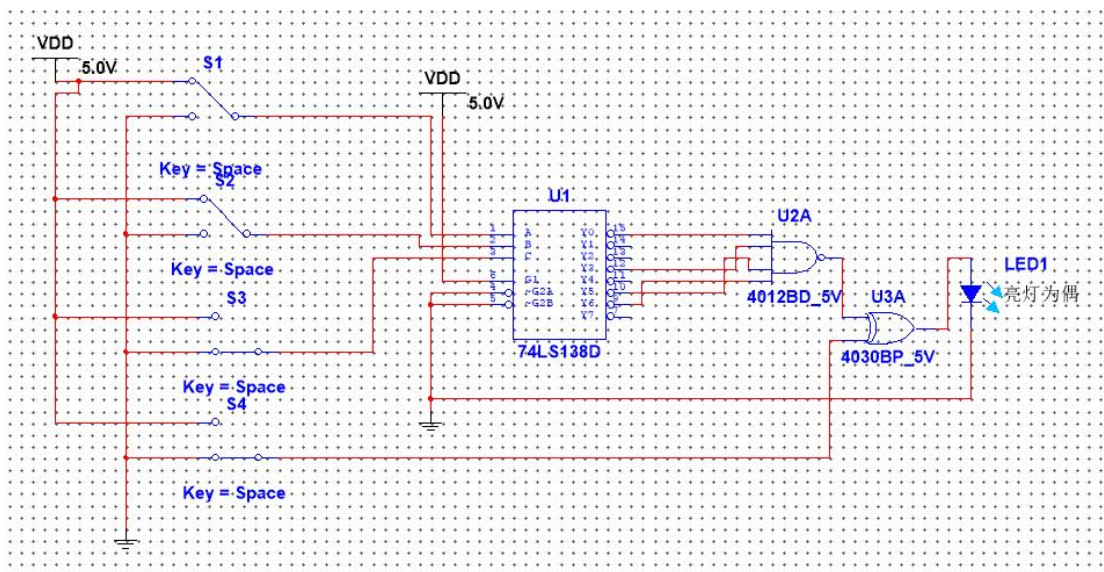
已检验电路逻辑结果符合题目要求

- 用3-8线译码器74LS138和最少的门电路设计一个奇偶校验电路，要求当输入的4个变量中有偶数个1时输出为1，否则为零。

设计思路：



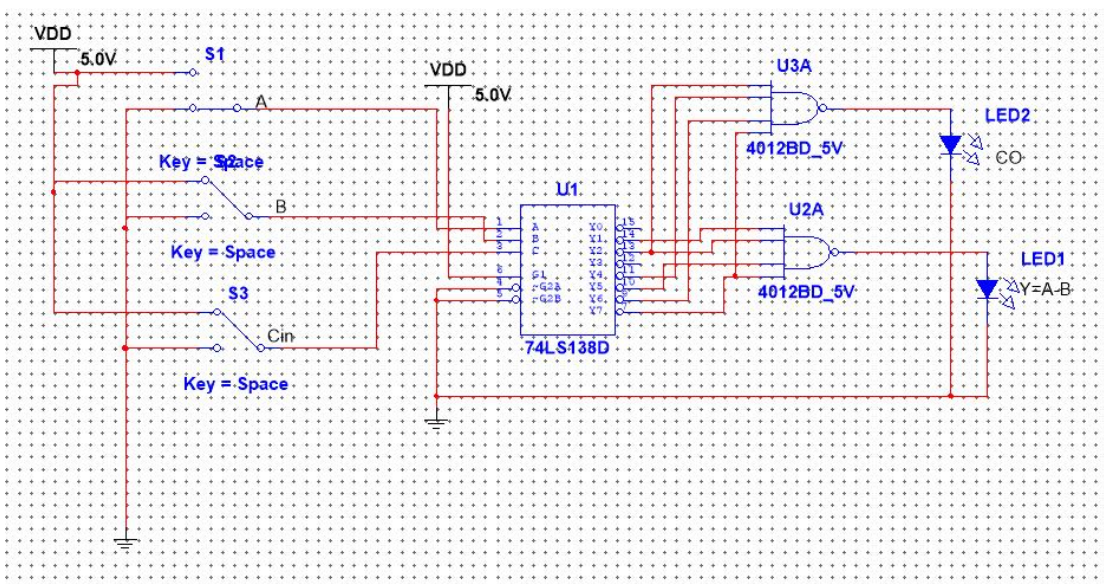
通过真值表找出其中三位为奇数的情况，让这种情况下输出为1，再与第四位异或。



已检验电路逻辑结果符合题目要求

- 试用一个3-8线译码器74LS138和必需的基本逻辑门电路设计一个全减器。

设计思路：通过真值表找出所有SUM为1和进位为1的情况即可。



已检验电路逻辑结果符合题目要求



### 3.3 数据选择器的EDA仿真

搭建数据选择器仿真电路如图3.1所示。

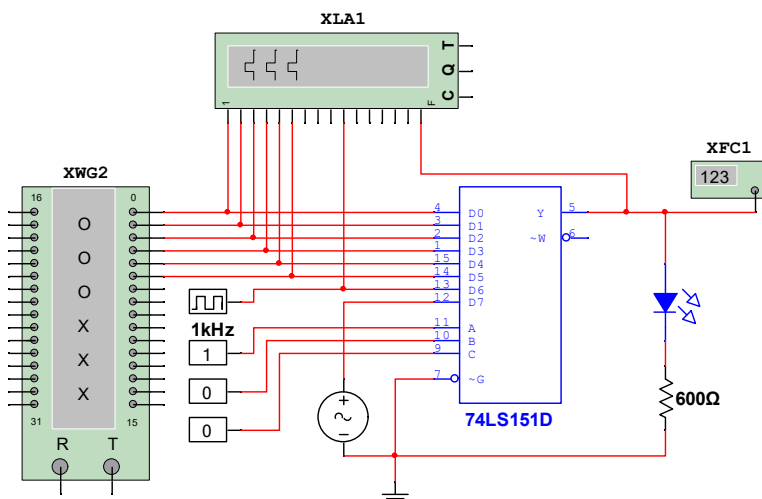
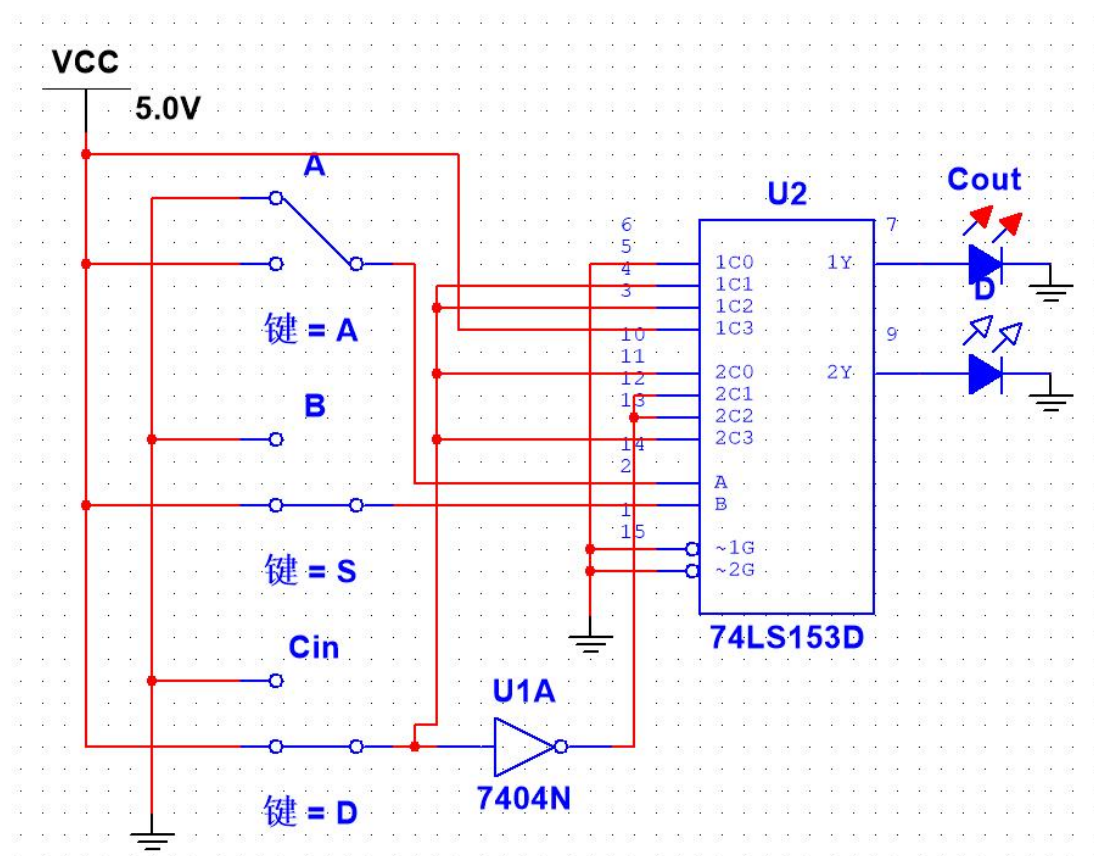


图3.1 数据选择器仿真电路

- a) 用双4选1数据选择器74LS153及必要的门电路设计一位全加器。



A, B为输入位, Cin为上一位的进位, Cout为本位的进位, D为本位结果

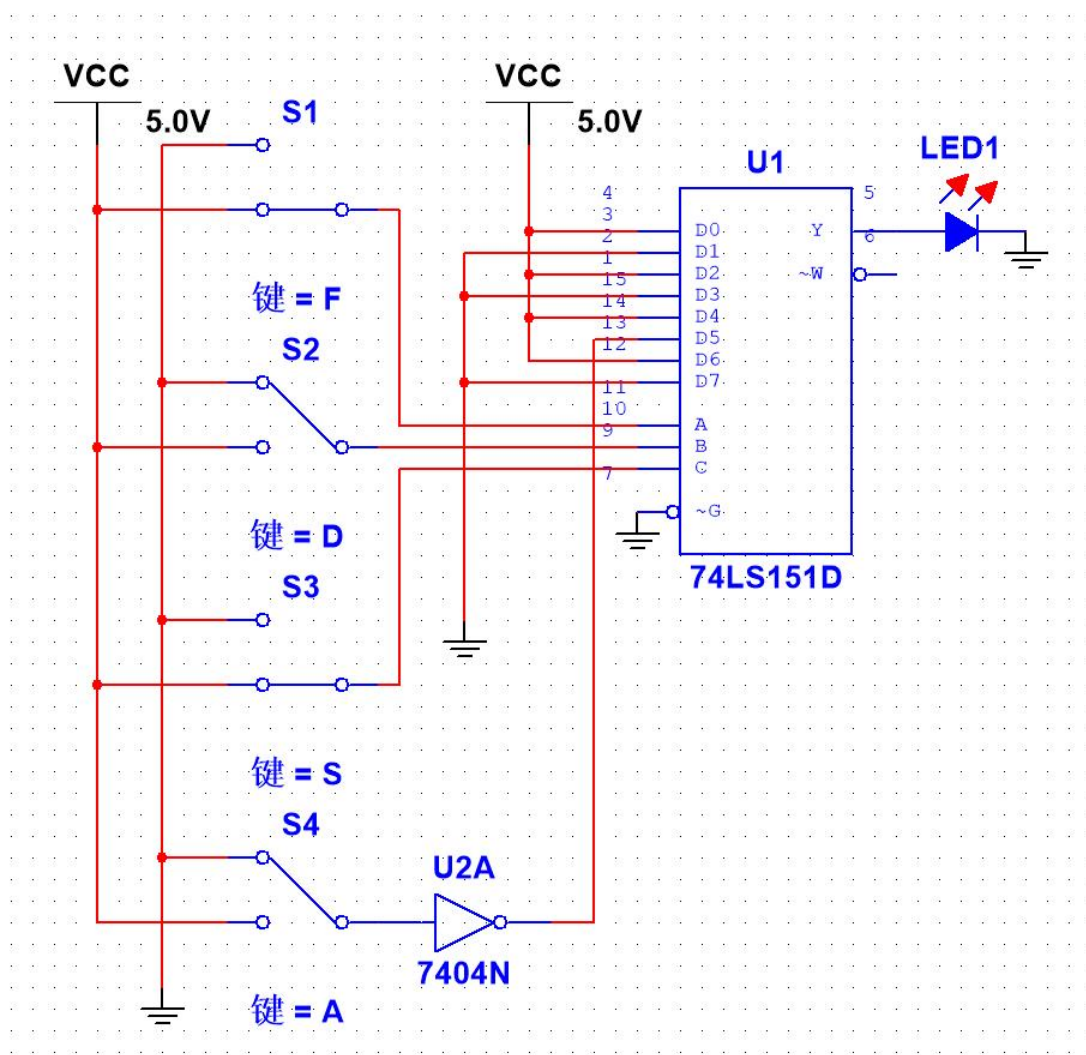


A	B	C <sub>H</sub>	C <sub>L</sub>	D
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

根据全加器的真值表，将最大项的输出两两对应连接。

已检验电路逻辑结果符合题目要求

- b) 用一片数据选择器74LS151和必要的门电路设计一个电路，输入为4位二进制数，当输入数据能被2或5整除时输出为1，否则为0。



S4S3S2S1为输入的二进制数

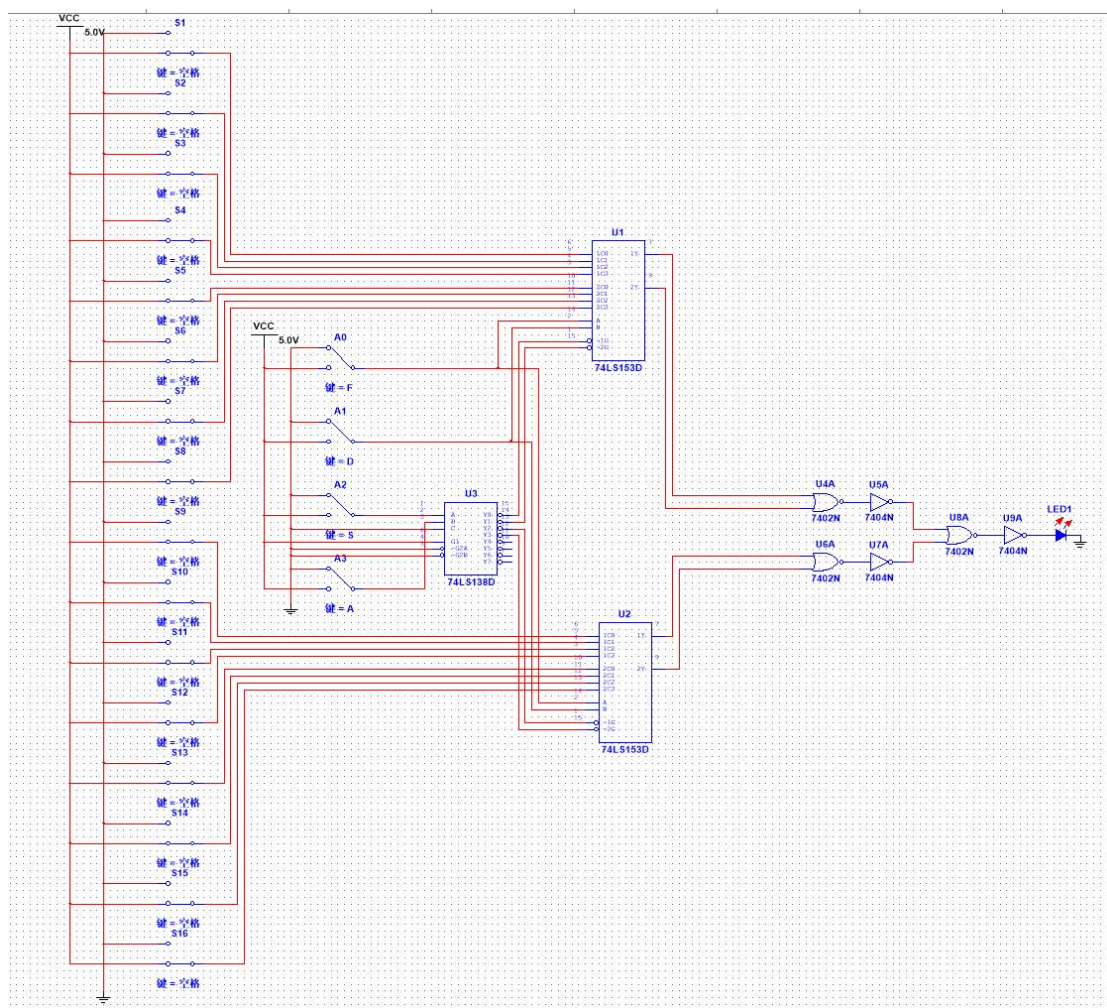


A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	Y		A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	Y
0	0	0	0	1		1	0	0	0	1
0	0	0	1	0		1	0	0	1	0
0	0	1	0	1		1	0	1	0	1
0	0	1	1	0		1	0	1	1	0
0	1	0	0	1		1	1	0	0	1
0	1	0	1	1		1	1	0	1	0
0	1	1	0	1		1	1	1	0	1
0	1	1	1	0		1	1	1	1	0

根据真值表，最大项两两对应输出。

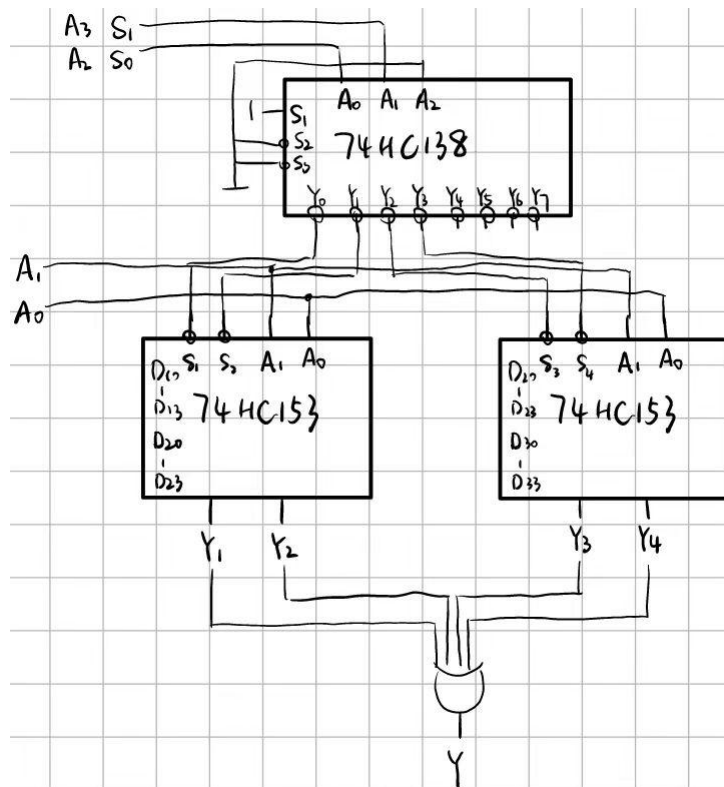
已检验电路逻辑结果符合题目要求

- c) 用两片双4选1数据选择器74LS153和一片3-8线译码器74LS138构成16选1数据选择器。



A3A2A1A0控制选择 $S_n$

A3A2控制译码器，A2A1直连，以enable数据选择器，数据选择器输入端连对应的输入。



已检验电路逻辑结果符合题目要求