



计算机组成与结构期末复习题

大连理工大学 软件学院

赖晓晨





第三章 总线

1、假设某系统总线在一个总线周期中并行传输4字节信息，一个总线周期占用2 个时钟周期，总线时钟频率为10MHz，则总线带宽是

_____。

- A. 10MB/s
- B. 20MB/s
- C. 40MB/s
- D. 80MB/s





第三章 总线

1、假设某系统总线在一个总线周期中并行传输4字节信息，一个总线周期占用2 个时钟周期，总线时钟频率为10MHz，则总线带宽是

_____ B _____。

- A. 10MB/s
- B. 20MB/s
- C. 40MB/s
- D. 80MB/s





总线

2、下列选项中的英文缩写均为总线标准的是_____。

- A. PCI、CRT、USB、EISA
- B. ISA、CPI、VESA、EISA
- C. ISA、SCSI、RAM、MIPS
- D. ISA、EISA、PCI、PCI-Express





总线

2、下列选项中的英文缩写均为总线标准的是_____D_____。

A. PCI、CRT、USB、EISA

B. ISA、CPI、VESA、EISA

C. ISA、SCSI、RAM、MIPS

D. ISA、EISA、PCI、PCI-Express





第四章 存储器

1、某计算机的Cache共有16块，采用2路组相联映射方式（即每组2块）。每个主存块大小32字节，按字节编址。主存129号单元所在主存块应装入到的Cache组号是_____。

- A. 0
- B. 2
- C. 4
- D. 6





1、某计算机的Cache共有16块，采用2路组相联映射方式（即每组2块）。每个主存块大小32字节，按字节编址。主存129号单元所在主存块应装入到的Cache组号是_____C_____。

A. 0

B. 2

C. 4

D. 6





1、某计算机的Cache共有16块，采用2路组相联映射方式（即每组2块）。每个主存块大小32字节，按字节编址。主存129号单元所在主存块应装入到的Cache组号是_____。

由于Cache共有16块，采用2路组相联，因此共有8组，0，1，2，...，7。并且主存的某一字块按模8映像到Cache某组的任一字块中，即主存的第0，8，16...字块可以映像到Cache第0组2个字块的任一字块中，而129号单元是位于第4块主存块中，因此将映射到Cache第4组2个字块的任一字块中。



2、某计算机主存容量为64KB，其中ROM区为4KB，其余为RAM区，按字节编址。现要用 $2K \times 8$ 位的ROM芯片和 $4K \times 4$ 位的RAM芯片来设计该存储器，则需要上述规格的ROM芯片数和RAM芯片数分别是_____。

- A. 1, 15
- B. 2, 15
- C. 1, 30
- D. 2, 30





2、某计算机主存容量为64KB，其中ROM区为4KB，其余为RAM区，按字节编址。现要用 $2K \times 8$ 位的ROM芯片和 $4K \times 4$ 位的RAM芯片来设计该存储器，则需要上述规格的ROM芯片数和RAM芯片数分别是 D 。

A. 1, 15

B. 2, 15

C. 1, 30

D. 2, 30





3、假定用若干个 $2k \times 4$ 位芯片组成一个 $8k \times 8$ 位存储器，则地址0B1FH所在芯片的最小地址是_____。

- A. 0000H
- B. 0600H
- C. 0700H
- D. 0800H





3、假定用若干个 $2k \times 4$ 位芯片组成一个 $8k \times 8$ 位存储器，则地址0B1FH所在芯片的最小地址是_____。^D

- A. 0000H
- B. 0600H
- C. 0700H
- D. 0800H





3、假定用若干个 $2k \times 4$ 位芯片组成一个 $8k \times 8$ 位存储器，则地址0B1FH所在芯片的最小地址是 D

用 $2K \times 4$ 位的芯片组成一个 $8K \times 8$ 位存储器，每行中所需芯片数为2，每列中所需芯片数为4，各行芯片的地址分配为：

第一行（2个芯片并联） 0000H~07FFH

第二行（2个芯片并联） 0800H~0FFFH

第三行（2个芯片并联） 1000H~17FFH

第四行（2个芯片并联） 1800H~1FFFH

于是地址0B1FH所在芯片的最小地址即为0800H。



4、下列有关RAM和ROM的叙述中，正确的是_____。

I RAM是易失性存储器，ROM是非易失性存储器

II RAM和ROM都采用随机存取的方式进行信息访问

III RAM和ROM都可用作Cache

IV RAM和ROM都需要进行刷新

A. 仅I和II

B. 仅II和III

C. 仅I, II, III

D. 仅II, III, IV





4、下列有关RAM和ROM的叙述中，正确的是 A。

I RAM是易失性存储器，ROM是非易失性存储器

II RAM和ROM都采用随机存取的方式进行信息访问

III RAM和ROM都可用作Cache

IV RAM和ROM都需要进行刷新

A. 仅I和II

B. 仅II和III

C. 仅I, II, III

D. 仅II, III, IV





5、输入输出系统

1、下列选项中能引起外部中断的_____。

- A. 键盘输入
- B. 除数为0
- C. 浮点运算下溢
- D. 访存缺页





1、下列选项中能引起外部中断的___A___。

- A. 键盘输入
- B. 除数为0
- C. 浮点运算下溢
- D. 访存缺页





2、单级中断系统中，中断服务程序执行顺序是_____。

I保护现场 II开中断 III关中断 IV保存断点
V中断事件处理 VI恢复现场 VII中断返回

- A. I→V→VI→II→VII
- B. III→I→V→VII
- C. III→IV→V→VI→VII
- D. IV→I→V→VI→VII





2、单级中断系统中，中断服务程序执行顺序是
 A 。

I保护现场 II开中断 III关中断 IV保存断点
V中断事件处理 VI恢复现场 VII中断返回

- A. I→V→VI→II→VII
- B. III→I→V→VII
- C. III→IV→V→VI→VII
- D. IV→I→V→VI→VII





3、假定一台计算机的显示存储器用DRAM芯片实现，若要求显示分辨率为 1600×1200 ，颜色深度为24位，帧频为85HZ，现实总带宽的50%用来刷新屏幕，则需要的显存总带宽至少约为_____。

- A. 245Mbps
- B. 979Mbps
- C. 1958Mbps
- D. 7834Mbps





3、假定一台计算机的显示存储器用DRAM芯片实现，若要求显示分辨率为 1600×1200 ，颜色深度为24位，帧频为85HZ，现实总带宽的50%用来刷新屏幕，则需要的显存总带宽至少约为D。

- A. 245Mbps
- B. 979Mbps
- C. 1958Mbps
- D. 7834Mbps





3、假定一台计算机的显示存储器用DRAM芯片实现，若要求显示分辨率为1600*1200，颜色深度为24位，帧频为85HZ，现实总带宽的50%用来刷新屏幕，则需要的显存总带宽至少约为D。

A. 245Mbps

B. 979Mbps



答：刷新所需带宽 = 分辨率 × 色深 × 帧频 =
 $1600 \times 1200 \times 24b \times 85HZ = 3916.8Mbps$ ，显存
总带宽的**50%**用来刷屏，于是需要的显存总带宽为
 $3916.8/0.5 = 7833.6Mbps \approx 7834Mbps$ 。



4、某计算机的CPU 主频为500MHz，CPI 为5（即执行每条指令平均需5个时钟周期）。假定某外设的数据传输率为0.5MB/s，采用中断方式与主机进行数据传送，以32 位为传输单位，对应的中断服务程序包含18条指令，中断服务程序的其他开销相当于2 条指令的执行时间。请回答下列问题，要求给出计算过程。

(1) 在中断方式下，CPU 用于该外设I/O 的时间占整个CPU 时间的百分比是多少？

(2) 当该外设的数据传输率达到5MB/s 时，改用DMA 方式传送数据。假定每次DMA 传送块大小为5000B，且DMA 预处理和后处理的总开销为500个时钟周期，则CPU 用于该外设I/O 的时间占整个CPU 时间的百分比是多少？（假设DMA 与CPU 之间没有访存冲突）





4、某计算机的CPU 主频为500MHz，CPI 为5（即执行每条指令平均需5个时钟周期）。假定某外设的数据传输率为0.5MB/s，采用中断方式与主机进行数据传送，以32 位为传输单位，对应的中断服务程序包含18条指令，中断服务程序的其他开销相当于2 条指令的执行时间。请回答下列问题，要求给出计算过程。

(1) 在中断方式下，CPU 用于该外设I/O 的时间占整个CPU 时间的百分比是多少？

答：(1)按题意，外设每秒传送**0.5MB**，中断时每次传送**4B**。中断方式下，**CPU** 每次用于数据传送的时钟周期为： **$5 \times 18 + 5 \times 2 = 100$** 。为达到外设**0.5MB/s** 的数据传输率，外设每秒申请的中断次数为： **$0.5\text{MB}/4\text{B} = 125000$** 。

1 秒钟内用于中断的开销： $100 \times 125000 = 12.5\text{M}$ 个时钟周期。

CPU 用于外设I/O 的时间占整个CPU 时间的百分比：

$12.5\text{M}/500\text{M} = 2.5\%$ 。



4、某计算机的CPU 主频为500MHz，CPI 为5（即执行每条指令平均需5个时钟周期）。假定某外设的数据传输率为0.5MB/s，采用中断方式与主机进行数据传送，以32 位为传输单位，对应的中断服务程序包含18条指令，中断服务程序的其他开销相当于2 条指令的执行时间。请回答下列问题，要求给出计算过程。

(1) 在中断方式下，CPU 用于该外设I/O 的时间占整个CPU 时间的百分比是多少？

答：当外设数据传输率提高到**5MB/s** 时改用**DMA**方式传送，每次**DMA**传送**5000B**，1秒钟内需产生的**DMA** 次数：
 $5\text{MB}/5000\text{B}=1000$ 。
CPU用于**DMA**处理的总开销： **$1000 \times 500=500000=0.5\text{M}$** 个时钟周期。
CPU 用于外设**I/O** 的时间占整个**CPU** 时间的百分比：
 $0.5\text{M}/500\text{M}=0.1\%$ 。



6、计算方法

1、一个C语言程序在一台32位机器上运行。程序中定义了三个变量xyz，其中x和z是int型，y为short型。当x=127，y=-9时，执行赋值语句z=x+y后，xyz的值分别是_____。

- A. X=0000007FH, y=FFF9H, z=00000076H
- B. X=0000007FH, y=FFF9H, z=FFFF0076H
- C. X=0000007FH, y=FFF7H, z=FFFF0076H
- D. X=0000007FH, y=FFF7H, z=00000076H





计算方法

1、一个C语言程序在一台32位机器上运行。程序中定义了三个变量xyz，其中x和z是int型，y为short型。当x=127，y=-9时，执行赋值语句z=x+y后，xyz的值分别是 **D** 。

- A. X=0000007FH, y=FFF9H, z=00000076H
- B. X=0000007FH, y=FFF9H, z=FFFF0076H
- C. X=0000007FH, y=FFF7H, z=FFFF0076H
- D. X=0000007FH, y=FFF7H, z=00000076H





3、假定有4 个整数，用8 位补码分别表示 $r1=FEH$ ， $r2=F2H$ ， $r3=90H$ ， $r4=F8H$ ，若将运算结果存放在一个8 位寄存器中，则下列运算会发生溢出的是 _____。

- A. $r1 \times r2$
- B. $r2 \times r3$
- C. $r1 \times r4$
- D. $r2 \times r4$





3、假定有4 个整数，用8 位补码分别表示 $r1=FEH$ ， $r2=F2H$ ， $r3=90H$ ， $r4=F8H$ ，若将运算结果存放在一个8 位寄存器中，则下列运算会发生溢出的是 **B**。

- A. $r1 \times r2$
- B. $r2 \times r3$
- C. $r1 \times r4$
- D. $r2 \times r4$





7、指令系统

1、某机器字长16位，主存按字节编址，转移指令采用相对寻址，由两个字节组成，第一字节为操作码字段，第二字节为相对位移量字段。假定取指令时，每取一个字节PC自动加1。若某转移指令所在主存地址为2000H，相对位移量字段的内容为06H，则该转移指令成功转移以后的目标地址是_____。

A. 2006H

B. 2007H

C. 2008H

D. 2009H





指令系统

1、某机器字长16位，主存按字节编址，转移指令采用相对寻址，由两个字节组成，第一字节为操作码字段，第二字节为相对位移量字段。假定取指令时，每取一个字节PC自动加1。若某转移指令所在主存地址为2000H，相对位移量字段的内容为06H，则该转移指令成功转移以后的目标地址是 C。

A. 2006H

B. 2007H

C. 2008H

D. 2009H





指令系统

- 1、某机器字长16位，主存按字节编址，转移指令采用相对寻址，由两个字节组成，第一字节为操作码字段，第二字节为相对位移量字段。假定取指令时，每取一个字节PC自动加1。若某转移指令所在主存地址为2000H，相对位移量字段的内容为06H，则该转移指令成功转移以后的目标地址

相对寻址 $EA=(PC)+A$ ，首先要要求的是取指令后PC 的值。转移指令由两个字节组成，每取一个字节PC自动加1，因此取指令后PC 值为2002H，故 $EA=(PC)+A=2002H+06H=2008H$



2、下列关于RISC 的叙述中，错误的是_____。

- A. RISC普遍采用微程序控制
- B. RISC大多数指令在一个时钟周期内完成
- C. RISC内部通用寄存器的数量相对CISC多
- D. RISC的指令数、寻址方式和指令格式相对CISC少





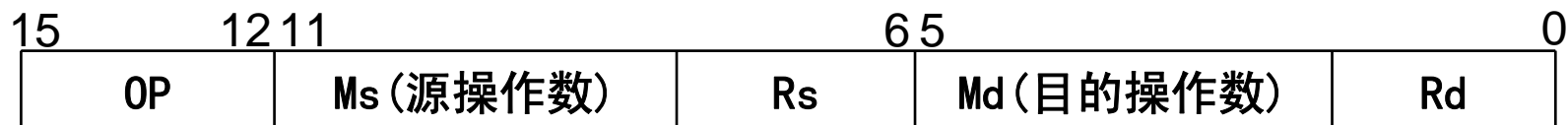
2、下列关于RISC 的叙述中，错误的是___A___。

- A. RISC普遍采用微程序控制
- B. RISC大多数指令在一个时钟周期内完成
- C. RISC内部通用寄存器的数量相对CISC多
- D. RISC的指令数、寻址方式和指令格式相对CISC少





3、某计算机字长为16位，主存地址空间大小为128KB，按字编址，采用定长指令格式，指令各字段定义如下：



转移指令采用相对寻址方式，相对偏移是用补码表示，寻址方式定义如下：

Ms/Md	寻址方式	助记符	含义
000B	寄存器直接	Rn	操作数= (Rn)
001B	寄存器间接	(Rn)	操作数= ((Rn))
010B	寄存器间接、自增	(Rn) +	操作数= ((Rn)), (Rn) + 1 → Rn
011B	相对	D (Rn)	转移目标地址= (PC) + (Rn)





请回答下列问题：

- (1) 该指令系统最多可有多少条指令？该计算机最多有多少个通用寄存器？存储器地址寄存器（MAR）和存储器数据寄存器（MDR）至少各需要多少位？
- (2) 转移指令的目标地址范围是多少？
- (3) 若操作码0010B表示加法操作（助记符为add），寄存器R4和R5的编号分别为100B和101B，R4的内容为1234H，R5的内容为5678H，地址1234H中的内容为5678H，5678H中的内容为1234H，则汇编语言为add（R4），（R5）+（逗号前为原操作数，逗号后为目的操作数）对应的机器码是什么（用十六进制表示）？该指令执行后，哪些寄存器和存储单元的内容会改变？改变后的内容是什么？





请回答下列问题：

(1) 该指令系统最多可有多少条指令？该计算机最多有多少个通用寄存器？存储器地址寄存器（MAR）和存储器数据寄存器（MDR）至少各需要多少位？

答：(1) 指令操作码占4位，则该指令系统最多可以有16条指令；指令操作数占6位，寻址方式占3位，于是寄存器编号占3位，该计算机最多可以有8个通用寄存器；主存容量128KB，按字编址，计算机字长为16位，划分为 $128KB/2B=2^{16}$ 个存储单元，故MDR和MAR至少各需16位；

六进制表示）？该指令执行后，哪些寄存器和存储单元的内容会改变？改变后的内容是什么？





请回答下列问题：

(1) 该指令系统最多可有多少条指令？该计算机最多有多少个通用寄存器？存储器地址寄存器（MAR）和存储器数据寄存器（MDR）至少各需要多少位？

(2) 转移指令的目标地址范围是多少？

(2) PC和Rn可表示的地址范围均为 $0 \sim 2^{16}-1$ ，而主存地址空间为 2^{16} ，故转移指令的目标地址范围是 $0 \sim 2^{16}-1$ 。

内容为5678H，地址1234H中的内容为5678H，5678H中的内容为1234H，则汇编语言为add (R4), (R5) + (逗号前为原操作数，逗号后为目的操作数) 对应的机器码是什么（用十六进制表示）？该指令执行后，哪些寄存器和存储单元的内容会改变？改变后的内容是什么？



(3) 汇编语句 $\text{add}(\text{R4}), (\text{R5}) +$ 对应的机器码为0010 0011 0001 0101B=2315H;

该指令执行后，累加寄存器ACC、寄存器R5、地址为1234H 的存储单元的内容会改变，改变后的内容分别为：

$(\text{ACC}) = ((\text{R4})) + ((\text{R5})) = 5678\text{H} + 1234\text{H} = 68\text{ACH};$
 $(\text{R5}) = (\text{R5}) + 1 = 5678\text{H} + 1\text{H} = 5679\text{H};$
 $(5678\text{H}) = (\text{ACC}) = 68\text{ACH}$

(3) 若操作码0010B表示加法操作（助记符为add），寄存器R4和R5的编号分别为100B和101B，R4的内容为1234H，R5的内容为5678H，地址1234H中的内容为5678H，5678H中的内容为1234H，则汇编语言为 $\text{add}(\text{R4}), (\text{R5}) +$ （逗号前为原操作数，逗号后为目的操作数）对应的机器码是什么（用十六进制表示）？该指令执行后，哪些寄存器和存储单元的内容会改变？改变后的内容是什么？





8、控制器

- 1、相对于微程序控制器，硬布线控制器的特点是_____。
- A. 指令执行速度慢, 指令功能的修改和扩展容易
 - B. 指令执行速度慢, 指令功能的修改和扩展难
 - C. 指令执行速度快, 指令功能的修改和扩展容易
 - D. 指令执行速度快, 指令功能的修改和扩展难





8、控制器

- 1、相对于微程序控制器，硬布线控制器的特点是 D 。
- A. 指令执行速度慢, 指令功能的修改和扩展容易
 - B. 指令执行速度慢, 指令功能的修改和扩展难
 - C. 指令执行速度快, 指令功能的修改和扩展容易
 - D. 指令执行速度快, 指令功能的修改和扩展难





3、冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU区分它们的依据是_____。

- A. 指令操作码的译码结果
- B. 指令和数据的寻址方式
- C. 指令周期的不同阶段
- D. 指令和数据所在的存储单元





3、冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU区分它们的依据是___C___。

- A. 指令操作码的译码结果
- B. 指令和数据的寻址方式
- C. 指令周期的不同阶段
- D. 指令和数据所在的存储单元





5、下列寄存器中，汇编语言程序员可见的是_____。

- A. 存储器地址寄存器 (MAR)
- B. 程序计数器 (PC)
- C. 存储区数据寄存器 (MDR)
- D. 指令寄存器 (IR)





5、下列寄存器中，汇编语言程序员可见的是 B。

- A. 存储器地址寄存器 (MAR)
- B. 程序计数器 (PC)
- C. 存储区数据寄存器 (MDR)
- D. 指令寄存器 (IR)





6、下列不会引起指令流水阻塞的是_____。

- A. 数据旁路
- B. 数据相关
- C. 条件转移
- D. 资源冲突





6、下列不会引起指令流水阻塞的是_____A_____。

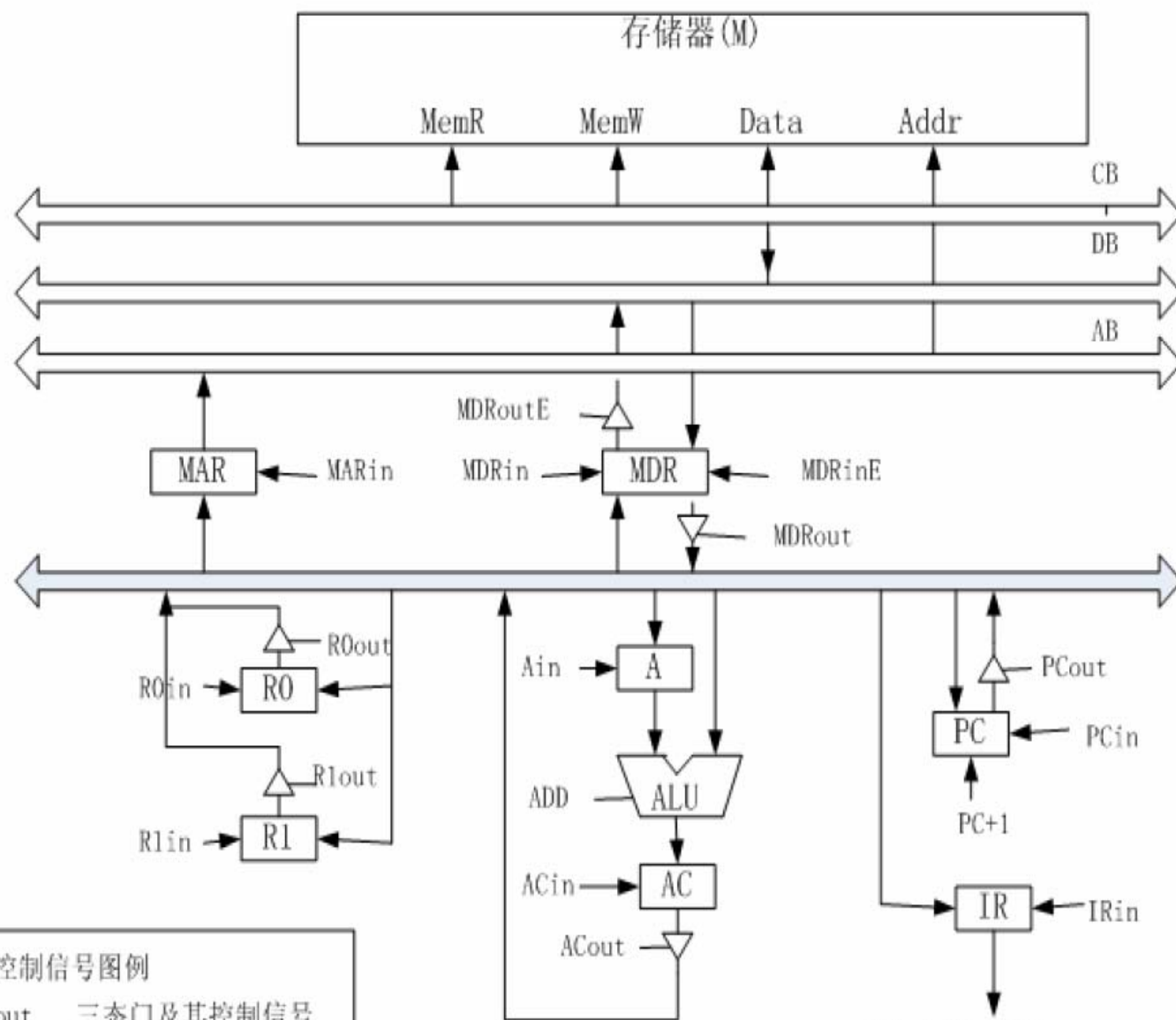
- A. 数据旁路
- B. 数据相关
- C. 条件转移
- D. 资源冲突





7、某计算机字长16位，采用16位定常指令字结构，部分数据通路结构如下图所示，图中所有控制信号为1 时表示有效、为0时表示无效，例如控制信号MDRinE为1表示允许数据从DB打入MDR，MDRin表示允许从内总线打入MDR。假设MDR 的输出一直处于使能状态。加法指令“ADD (R1), R0”功能为 $(R0) + ((R1)) \rightarrow (R1)$ ，即将R0中的数据与R1 的内容所指主存单元的数据相加，并将结果送入R1 的内容所指主存单元中保存。 □





控制信号图例

△ Xout 三态门及其控制信号

← Xin 寄存器输入控制信号

至指令译码部件



下表给出了上述指令取指和译码阶段每个节拍(时钟周期)的功能和有效控制信号，请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。 □

时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MDR)$ $PC \leftarrow (PC)+1$	MemR, MDRinE, PC+1
C3	$IR \leftarrow (MDR)$	MDRout, IRin
C4	指令译码	无





答:

时钟	功能	有效控制信号
C5	$MAR \leftarrow (R1)$	R1out, MARin
C6	$MDR \leftarrow M(MAR)$ $A \leftarrow (R0)$	MemR, MDRinE, R0out, Ain
C7	$AC \leftarrow (MDR) + (A)$	MDRout, Add, Acin
C8	$MDR \leftarrow (AC)$	Acout, MDRin

(1) 执行相加运算，需把存储器中的数据读出，为此首先送地址，将R1 的内容送MAR，控制信号是R1out、MARin。

(2) 启动读主存操作，读出的内容送入MDR，控制信号是MemR、MDRinE。还可同时把R0 的内容经内总线送入A，用到的控制信号是R0out、Ain。

(3) 执行加法运算，即A 的内容与MDR 的内容相加，结果保存到AC，控制信号是MDRout、Add、Acin。

(4) 要把AC 的内容写入主存，由于R1 的内容已经在MAR 中，地址已经有了，但需要把写入的数据（已经在AC 中）经内总线送入MDR，控制信号是ACout、MDRin。

(5) 给出写主存的命令，把MDR 的内容经DB 送存储器的数据线引脚，执行写操作，控制信号是MDRoutE、MemW。