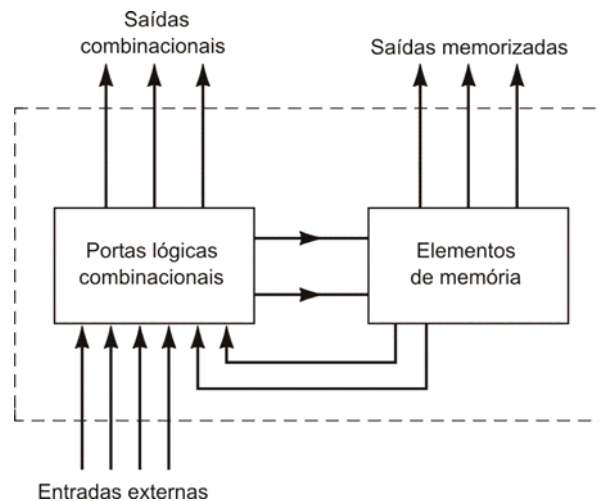


## AULA 6 – CIRCUITOS LÓGICOS SEQUENCIAIS – FLIP-FLOPS

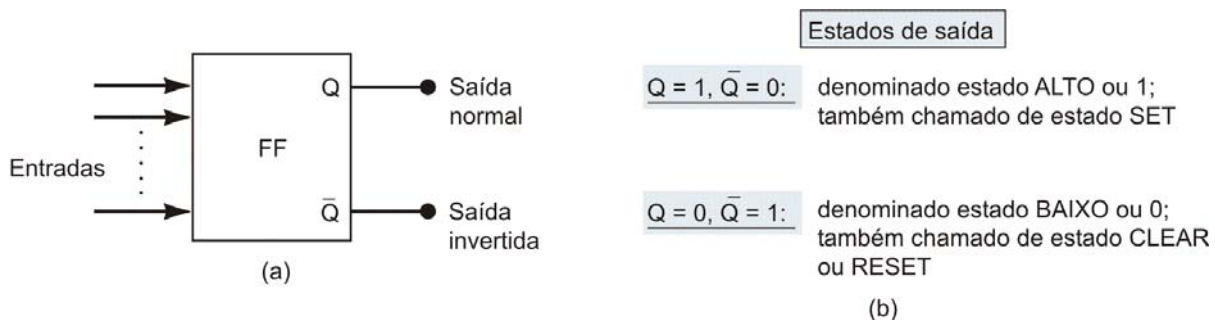
Até aqui estudamos os circuitos lógicos combinacionais, onde as saídas dos circuitos dependem exclusivamente dos níveis lógicos presentes nas entradas destes circuitos, a partir de agora iremos estudar circuitos lógicos sequenciais, onde as saídas dependem dos níveis lógicos presentes nas entradas e também da situação anterior ( memória ), os circuitos lógicos combinacionais não possuem esta funcionalidade:



Como podemos verificar na figura acima além dos circuitos lógicos combinacionais temos elementos de memória, onde as portas lógicas combinacionais armazenam valores na memória, bem como recebem em suas entradas estes valores armazenados resultando valores diferentes do que vimos até agora.

O elemento de memória fundamental é o flip-flop que é implementado a partir de portas lógicas, muito embora saibamos que as portas lógicas não têm a capacidade de armazenamento, algumas delas podem ser conectadas de forma que o armazenamento se estabeleça.

Abaixo podemos ver o símbolo genérico utilizado para a representação de um flip-flop, neste símbolo vemos duas saídas  $Q$  e  $\bar{Q}$  que são opostas entre si, a letra  $Q$  é usualmente utilizada para representação das saídas de um flip-flop, muito embora poderíamos ter  $X$  e  $\bar{X}$  ou mesmo  $A$  e  $\bar{A}$ :

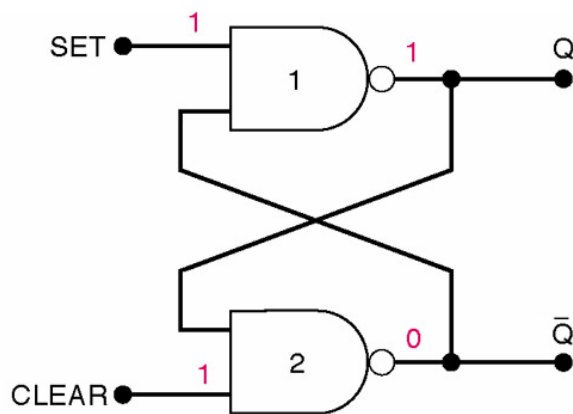
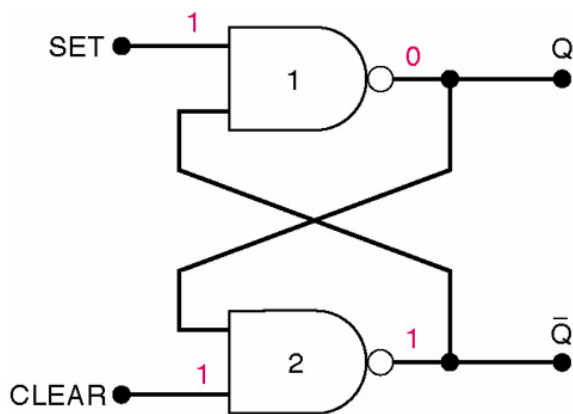


A saída  $Q$  é a saída normal então sempre que mencionarmos que um FF está no estado ALTO ou em estado SET, estamos querendo dizer que a saída  $Q$  é igual a “1”, por consequência a saída  $\bar{Q}$  será igual a “0”, a recíproca é verdadeira, se o FF está no estado BAIXO conhecido como estado CLEAR ou RESET,  $Q = 0$  e  $\bar{Q} = 1$ .

O FF pode ter uma ou mais entradas, estas entradas juntamente com o estado anterior é que irão definir o estado das saídas do FF. Também poderemos encontrar o termo latch ou multivibrador biestável para o FF.

### LATCH COM DUAS PORTAS NAND:

O FF mais simples pode ser construído a partir de duas portas NAND, dispostas conforme a figura que segue, temos as entradas SET ( leva a saída  $Q$  a nível lógico “1” ) e CLEAR ( leva a saída  $Q$  a nível lógico “0” ).



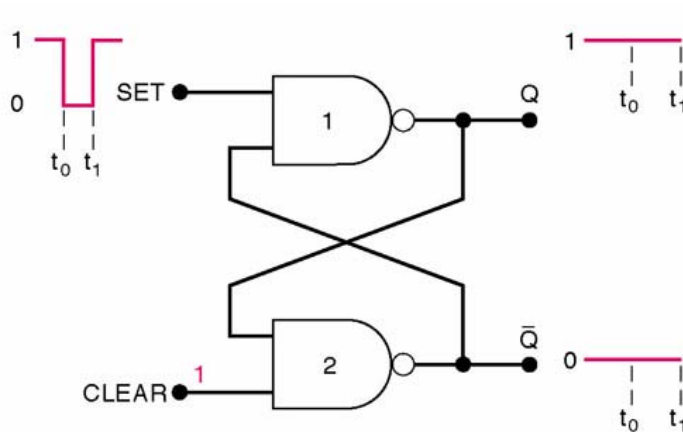
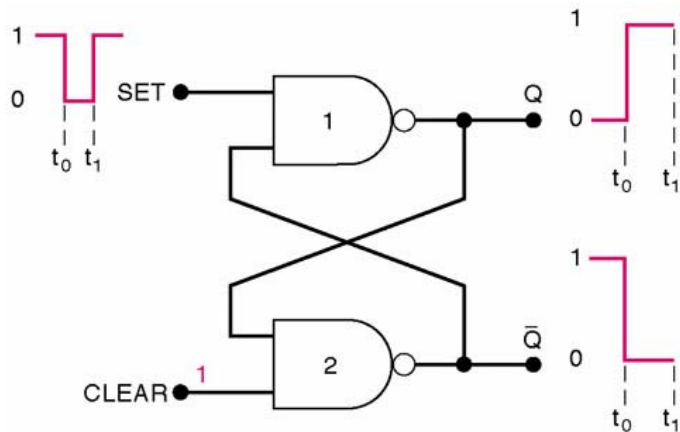
Em repouso as entradas SET e CLEAR estão sempre em nível ALTO, logo podemos ter duas situações quando ambas as entradas estiverem em repouso (  $SET=CLEAR=1$  ).

Uma das possibilidades é mostrada na figura da esquerda, as entradas da porta NAND n° 2 são 0 e 1 que proporciona  $\bar{Q} = 1$ , logo as entradas da porta NAND n° 1 são 1 e 1 que proporciona  $Q = 0$  ( FF “resetado” ). Outra possibilidade esta mostrada na figura da direita onde na entrada da porta NAND n° 2 temos 1 e 1 nas entradas que proporciona 0 na saída  $\bar{Q}$ , portanto temos 1 e 0 na porta NAND n° 1 que resulta 1 na saída  $Q$  ( FF “setado” ).

Na realidade iremos verificar mais a frente que a condição de saída irá depender do estado anterior deste FF.

#### SETANDO O FF:

Iremos agora analisar o que ocorre nas saídas do FF quando a entrada SET é momentaneamente pulsada em nível baixo, vejamos a figura abaixo:

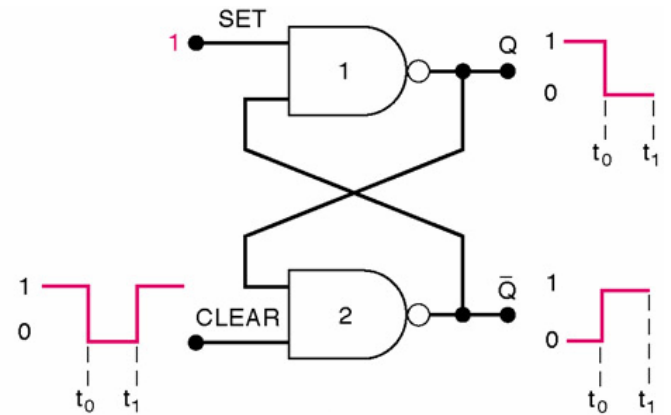
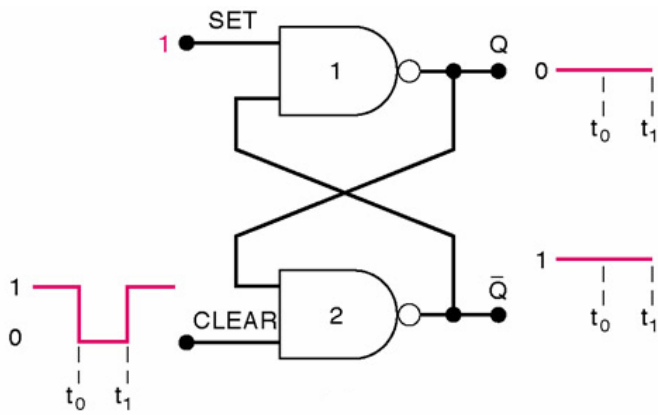


Devemos analisar duas situações, a primeira, da figura a esquerda, quando a saída  $Q$  estiver em nível “0” ao pulsar nível baixo na entrada SET, garantimos nível “1” na saída  $Q$  e por consequência nível “0” em  $\bar{Q}$ .

Na outra situação quando  $Q = 1$ , quando houver o pulso para nível “0” na entrada SET a saída  $Q$  irá para nível alto, mas como ela já estava neste nível lógico as saídas permanecem inalteradas.

#### RESETANDO O FF:

Agora iremos analisar o que ocorre quando a entrada CLEAR recebe um pulso para nível lógico baixo, aqui também teremos duas situações:



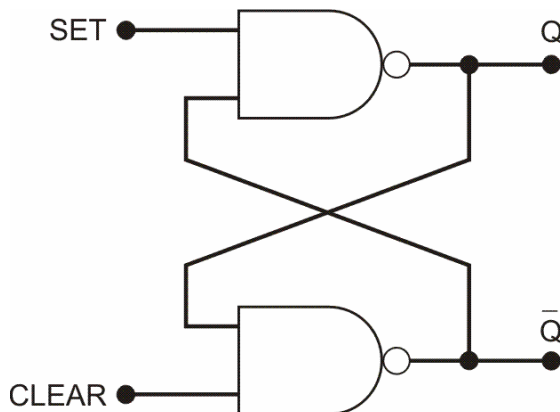
Se o FF estiver resetado ( $Q = 0$ ), ele permanecerá com as suas saídas inalteradas, vejamos na figura da esquerda, o pulso baixo na porta NAND n° 2 irá garantir  $\bar{Q} = 0$ , mas já estava neste estado, por consequência a porta NAND n° 1 terá 1 e 1 nas suas entradas mantendo  $Q = 0$ .

Quando  $Q = 1$ , teremos  $\bar{Q} = 0$  (figura da direita), o pulso baixo na porta NAND n° 2 levará  $\bar{Q}$  para nível 1, logo teremos 1 e 1 nas entradas da porta NAND n° 1 o que garante  $Q = 0$ .

### SETANDO E RESETANDO SIMULTANEAMENTE:

Se um FF receber um nível baixo em ambas as entradas (situação imprópria, ou o FF é setado ou resetado), teremos nível ALTO em ambas as saídas, quando as entradas retomarem o nível ALTO o estado resultante da saída dependerá de qual entrada retornou mais rapidamente para o nível ALTO, transições simultâneas produzirão resultado imprevisíveis.

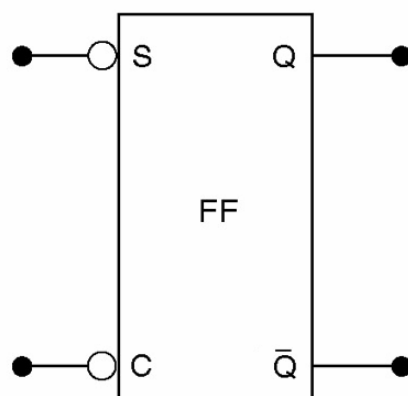
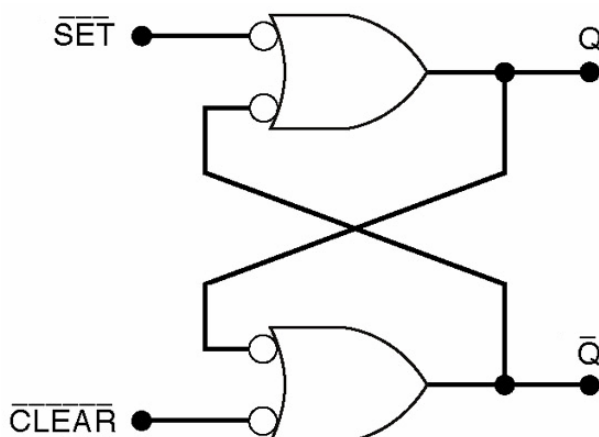
Em resumo podemos considerar que o FF com portas NAND opera conforme a descrição abaixo:



Set	Clear	Saída
1	1	Não muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida*

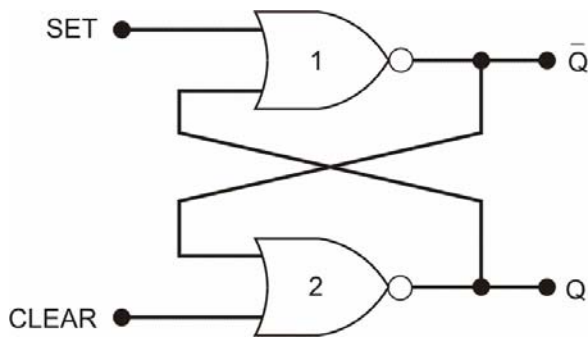
\*Produz  $Q = \bar{Q} = 1$

### REPRESENTAÇÃO ALTERNATIVA:



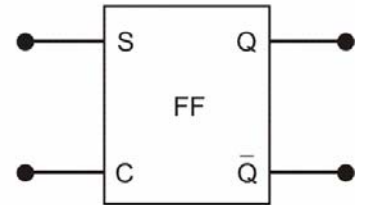
## LATCH COM PORTAS NOR:

Podemos também construir um FF com portas NOR, a diferença é que as entradas são acionadas por pulsos de nível ALTO e as saídas estarão invertidas:



Set	Clear	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

\*produz  $Q = \bar{Q} = 0$



Vejamos as condições para este FF:

SET = CLEAR = 0, este é o estado de repouso de um FF NOR, portanto as saídas permanecem inalteradas com os mesmos que estavam antes destas condições de entrada.

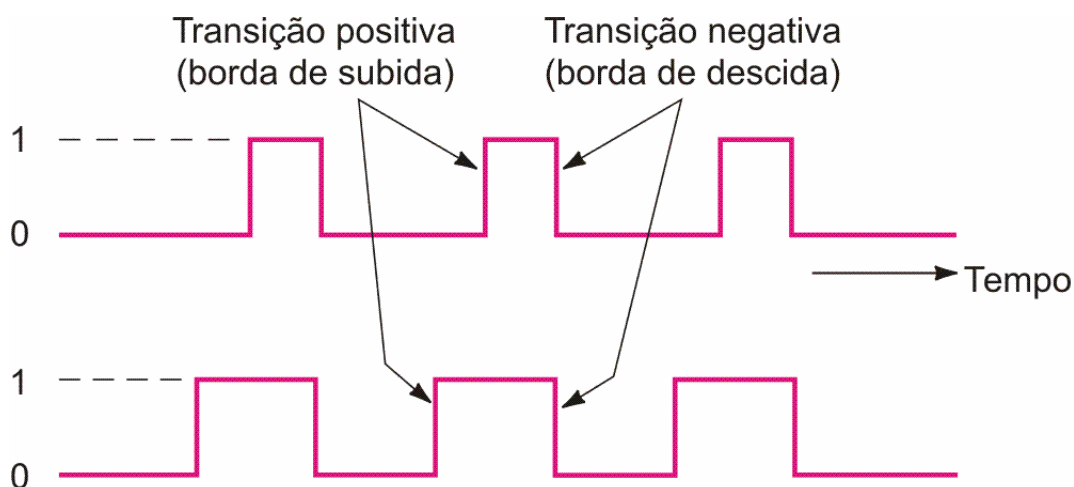
SET = 1, CLEAR = 0, A saída Q irá para o nível lógico "1"

SET = 0, CLEAR = 1, A saída Q irá para o nível lógico "0"

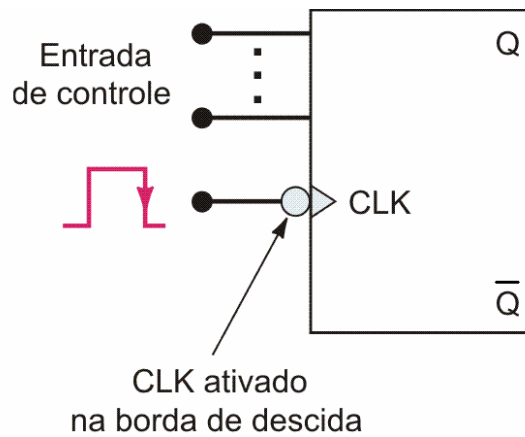
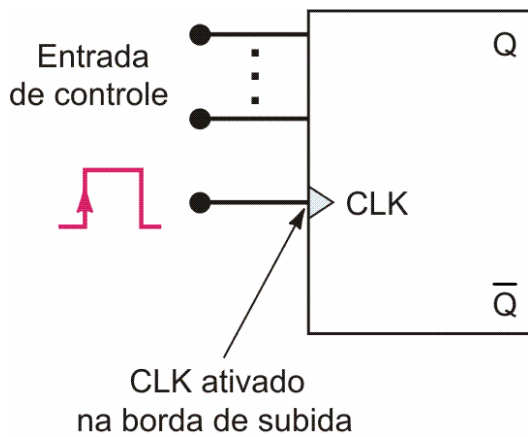
SET = CLEAR = 1, esta situação tenta ao mesmo tempo setar e resetar o FF e gera  $Q = \bar{Q} = 0$ , esta condição não deverá ser utilizada.

## SINAIS DE CLOCK E FFs COM CLOCK:

Os sistemas digitais podem operar em modo assíncrono ou no modo síncrono. Nos sistemas assíncronos, as saídas de circuitos lógicos podem mudar a qualquer momento em que uma ou mais entradas mudarem de estado, são mais difíceis de projetar e analisar. Um sistema síncrono tem um sinal de relógio ( clock ) responsável pelo sincronismo do circuito, é um sinal que tem normalmente a forma de onda quadrada, dependendo do circuito lógico podem ser utilizadas as transições do nível baixo para o nível alto ( chamada de borda de subida ) ou do nível alto para o nível baixo ( chamada de borda de descida ), este sinal de clock em um sistema síncrono é ligado em todos os componentes de forma que as saídas somente serão alteradas na transição ativa do clock. Na figura abaixo podemos entender as transições:



Existem vários tipos de FFs com clock, vamos verificar as principais características dos FFs com clock.



O triângulo significa que os FFs são ativados por borda e não por nível e o círculo ao lado do triângulo identifica que o FF é acionado por borda de descida.

O FF pode ter uma ou mais entradas de controle, estas entradas somente terão efeito sobre a saída Q quando houver clock, seja ele ativo por borda ou nível, por isso são chamadas entradas de controle síncronas.

Nas figuras acima, se não houver borda nas entradas de clock nenhuma alteração ocorre.

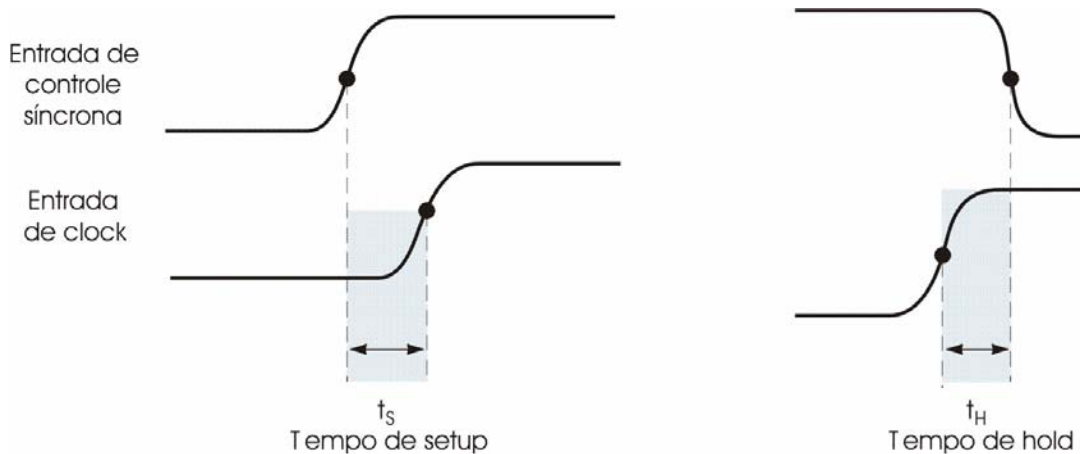
Podemos dizer que a entrada de controle deixa o FF pronto para mudar de estado, enquanto os sinais de clock determinam em que instante ocorrerá esta mudança.

### TEMPOS DE SETUP E HOLD:

Dois parâmetros de temporização devem ser observados quando estamos utilizando o FFs com clock, o tempo de preparação ( SETUP ) e o tempo de manutenção ( HOLD ).

O tempo de setup,  $t_s$ , é o tempo mínimo que precede a transição ativa do sinal de clock que o FF responde de forma confiável ( veja figura abaixo ).

O tempo de hold,  $t_H$ , é o intervalo de tempo que deve ocorrer imediatamente após a transição ativa do sinal de clock, durante o qual a entrada de controle tem que ser mantida no nível adequado, também existe um tempo mínimo adequado para que os FFs funcionem corretamente.



Para que os FFs respondam corretamente quando ocorrer as bordas ativas de clock, as entradas de controle devem estar estáveis ou pelo menos respeitar o tempo de setup (  $t_{s\min}$  ) antes da borda e o tempo de hold depois da borda (  $t_{H\min}$  ), em geral estes tempos são da ordem de nanosegundos medidos na faixa de 50% da transição.