

# AMPLIFICADORES OPERACIONAIS

## CONVERSORES A/D E D/A

### Relatório 09 de ELT 311

Wéríkson F. O. Alves - 96708

Universidade Federal de Viçosa (UFV), Viçosa, Brasil

e-mails: werikson.alves@ufv.br

## Resumo

Este relatório abordará o tema sobre os conversores A/D e D/A que utilizam amplificadores operacionais, com o objetivo de entender o seu funcionamento. Dessa forma, foram realizadas algumas simulações a fim de comprovar o seu funcionamento. Ao final, serão apresentados os resultados das simulações.

## Introdução

Na eletrônica existem dois tipos de sinais chamados digitais e analógico, sendo que o primeiro possui nível específicos para baixo e alta, e o segundo possui valores variados dentro de faixa com o passar do tempo. Portanto, este relatório fará uma análise sobre este tópico.

O conversor digital-analógico (D/A) recebe o número binário representando um valor e o converte em uma grandeza elétrica de tensão ou corrente. Essa grandeza é proporcional ao valor binário de entrada.

## Objetivos

Logo, o objetivo principal deste relatório é entender o funcionamento dos conversores A/D e D/A que utilizam amplificadores operacionais.

## Materiais e Métodos

- 06 resistores de 1 k $\Omega$ ;
- 01 resistores de 8 k $\Omega$ ;
- 06 resistores de 2 k $\Omega$ ;
- 06 Amp-op's 741.
- 04 resistores de 3,3 k $\Omega$ ;
- Interruptores;
- 01 resistor de 4 k $\Omega$ ;
- LEDs;

A simulação foi realizada no *software* QUCS.

## Parte teórica

### Conversor D/A Binário Ponderado

Observando a Figura 1, conclui-se que se as chaves estiverem abertas não haverá tensão chegando na porta do amp-op, estando em nível *float*. Aplicando LKT na entrada do amp-op, encontra-se a Equação 1, dessa forma, quando uma chave estiver ativa, a mesma deve ser substituída por "1" na equação e caso ela estiver desativada deve ser substituída por "0", sendo assim existiram 16 combinações diferentes possíveis de entrada.

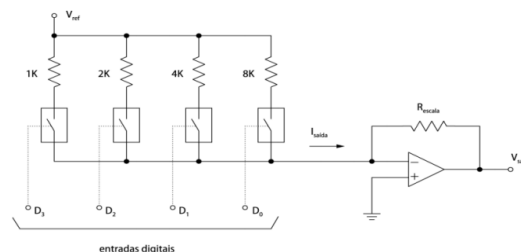


Figura 1: Conversor: Chaveamento de resistores com pesos binários.

$$V_o = -V_{ref} \left( \frac{D0}{8k} + \frac{D1}{4k} + \frac{D2}{2k} + \frac{D3}{1k} \right) R_{escala} \quad (1)$$

### Conversor D/A de escada R/2R

O conversor D/A de escada R/2R, mostrado na Figura 2, possui uma grande semelhança com o anterior, sendo esse modelo mais utilizado em circuitos integrados. Neste modelo são utilizados dois valores de resistências. Fazendo uma análise geral, é observado que as

chaves estão ativas, além disto este circuito também converte os valores de entrada binária possíveis de 0000 a 1111 para um dos 16 níveis de tensão de saída. Para este modelo de conversor D/A, a chave D0 é considerada o bit de entrada menos significativo (LSB) enquanto D3 é o bit mais significativo (MSB). Logo, para determinar a  $V_o$ , deve-se converter o valor da entrada binária para decimal, BIN, por meio da Equação 2, aplicando a mesma regra de chaves que o modelo anterior. Agora, considerando N o numero de entradas utilizadas, tem-se a Equação 3 que resulta no sinal  $V_o$ .

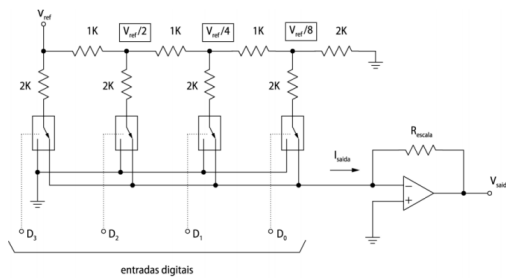


Figura 2: Conversor: D/A de escada R/2R.

$$BIN = (D0 \times 2^0) + (D1 \times 2^1) + (D2 \times 2^2) + (D3 \times 2^3) \quad (2)$$

$$V_o = \frac{BIN}{2^N} \times V_{ref} \quad (3)$$

### Conversor A/D de 1 Bit

Este modelo de conversor usa circuitos comparadores. Para um valor pre-estabelecido de referencia, a entrada é comparada a este valor e fornece uma tensão de saída igual à  $V_{sat} \approx V_{cc}$ , ou uma saída próximo de 0 V já que o terminal  $-V_{cc}$  está aterrado. Pela Figura 3, percebe-se que a entrada do circuito está conectada no terminal inversor do amplificador, logo se  $V_{bat} > V_{ref} \Rightarrow V_o \approx 0$  V, e se  $V_{bat} \leq V_{ref} \Rightarrow V_o \approx V_{cc}$ .

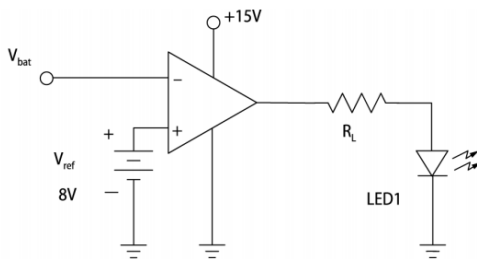


Figura 3: Conversor: A/D de 1 Bit.

### Conversor A/D de 3 Bits

Na figura 4 é apresentada uma combinação do conversor D/A de 1 Bit, sendo que este agora possui 3 bits de entrada e seu funcionamento é semelhante ao de 1 bit.

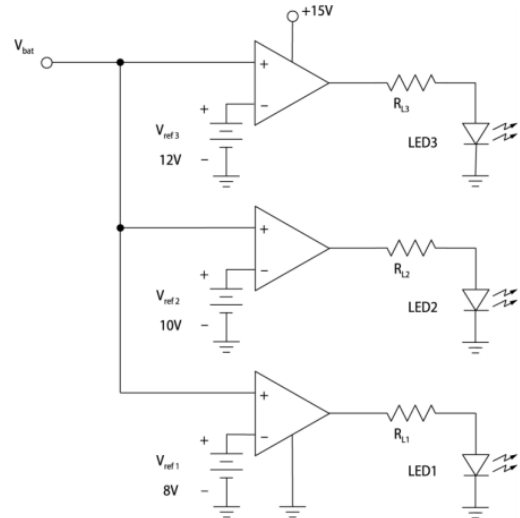


Figura 4: Conversor: A/D de 3 Bits.

## Parte Prática

### Conversor D/A Binário Ponderado

Primeiro, foi simulado o circuito da Figura 5 para cada combinação possível de entrada, obtendo a Tabela 1. Foram considerados  $V_{ref} = V_{CC} = 15$  V e  $R_{escala} = 1$  k $\Omega$ .

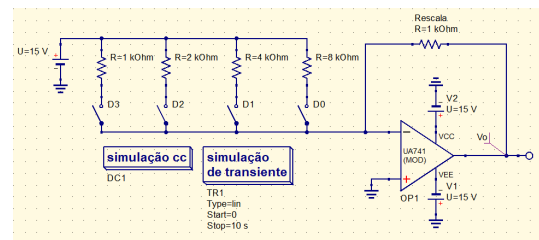


Figura 5: Conversor simulado: Chaveamento de resistores com pesos binários.

Tabela 1: Resultados do Conversor D/A binário ponderado.

D3	D2	D1	D0	$V_{oSim.}$	$V_{oTeo.}$
0	0	0	0	0,00	0,00
0	0	0	1	-1,87	-1,85
0	0	1	0	-3,75	-3,75
0	0	1	1	-5,62	-5,62
0	1	0	0	-7,50	-7,50
0	1	0	1	-9,37	-9,37
0	1	1	0	-11,20	-11,25
0	1	1	1	-13,10	-13,12
1	0	0	0	-13,50	-15,00
1	0	0	1	-13,50	-15,00
1	0	1	0	-13,50	-15,00
1	0	1	1	-13,50	-15,00
1	1	0	0	-13,50	-15,00
1	1	0	1	-13,50	-15,00
1	1	1	0	-13,50	-15,00
1	1	1	1	-13,50	-15,00

Por meio destes resultados, inicialmente os valores coincidem com os teóricos. Contudo, quando D3 foi acionado, o amp-op atingiu o valor de saturação, com isso seu valor de saída ficou fixo em 13,5 V.

### Conversor D/A de escada R/2R

Depois, foi simulado o circuito da Figura 6 para cada combinação de entrada, obtendo a Tabela 2. Foram considerados, novamente,  $V_{ref} = V_{CC} = 15$  V e  $R_{escala} = 1$  k $\Omega$ .

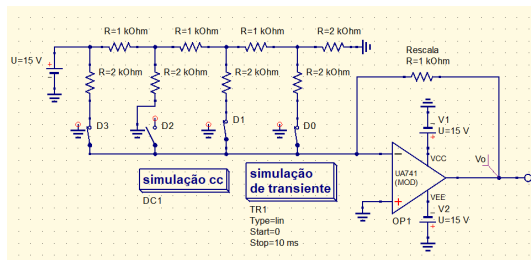


Figura 6: Conversor simulado: D/A de escada R/2R.

Conforme pode ser visto na Tabela 2 e foi estudado, essa tipologia resulta em valores próximos ao da tipologia anterior, contudo contendo mais precisão, ou seja, para a mesma quantidade de combinação foram obtidos mais valores específicos. Perceba que neste modelo também há saturação, sendo que a variação começa a ficar menor a medida que se aproxima de 13,5 V.

### Conversor A/D de 1 Bit

Em seguida, foi simulado o circuito da Figura 7, considerando  $V_{ref} = 8$  V e  $R_L = 3,3$  k $\Omega$ . Para esta simulação foi variado o valor de  $V_{bat}$ , obtendo a Tabela 3.

Tabela 2: Resultados Conversor D/A de escada R/2R.

D3	D2	D1	D0	$V_{oSim.}$ (V)	$V_{oTeo.}$ (V)
0	0	0	0	0,00	0,00
0	0	0	1	-0,94	-0,94
0	0	1	0	-1,87	-1,87
0	0	1	1	-2,81	-2,81
0	1	0	0	-3,75	-3,75
0	1	0	1	-4,69	-4,69
0	1	1	0	-5,62	-5,62
0	1	1	1	-6,56	-6,56
1	0	0	0	-7,50	-7,50
1	0	0	1	-8,43	-8,44
1	0	1	0	-9,37	-9,37
1	0	1	1	-10,30	-10,31
1	1	0	0	-11,20	-11,25
1	1	0	1	-12,20	-12,19
1	1	1	0	-13,10	-13,12
1	1	1	1	-13,50	-14,06

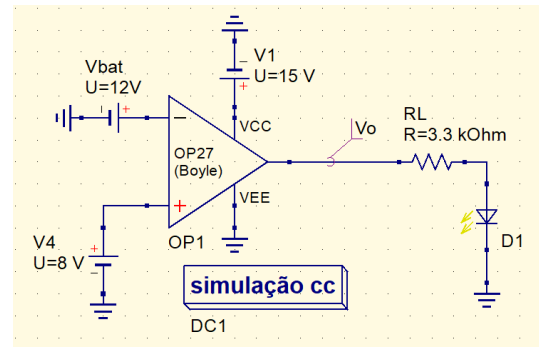


Figura 7: Conversor simulado: A/D de 1 Bit.

Tabela 3: Resultados Conversor A/D de 1 Bit.

$V_{bat}$ (V)	Saída (V)	Nível Lógico
0	14,20	1
1	14,20	1
2	14,20	1
3	14,20	1
4	14,20	1
5	14,20	1
6	14,20	1
7	14,20	1
8	14,20	1
9	1,51	0
10	1,51	0
11	1,51	0
12	1,51	0

Para esta próxima tipologia, devido a tensão fixa na porta não inversora ao variar o sinal  $V_{bat}$ , pela tabela 3, observa-se que em quanto o valor não atinge o 8 V o LED permanece acesso, e ao atingir e ultrapassá-lo o LED apaga.

### Conversor A/D de 3 Bits

Por último, foi simulado o circuito da Figura 8, considerando  $V_{ref1} = 8\text{ V}$ ,  $V_{ref2} = 10\text{ V}$ ,  $V_{ref3} = 12\text{ V}$  e  $R_{L1} = R_{L2} = R_{L3} = 3,3\text{ k}\Omega$ . O valor de  $V_{bat}$  foi variado, preenchendo a Tabela 4.

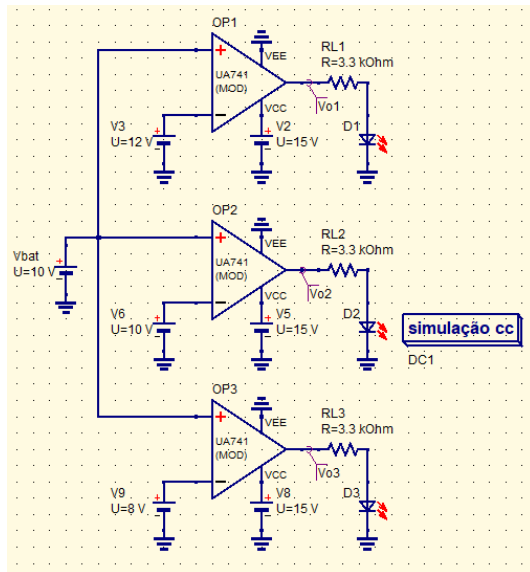


Figura 8: Conversor: A/D de 3 Bits.

Tabela 4: Nível lógico do conversor A/D de 3 Bits.

$V_{bat}(V)$	LED <sub>3</sub>	LED <sub>2</sub>	LED <sub>1</sub>
0	0	0	0
1	0	0	0
2	0	0	0
3	0	0	0
4	0	0	0
5	0	0	0
6	0	0	0
7	0	0	0
8	0	0	1
9	0	0	1
10	0	1	1
11	0	1	1
12	1	1	1
13	1	1	1
14	1	1	1
15	1	1	1

Por último, sendo esta tipologia a combinação da anterior, ao variar a  $V_{bat}$ , enquanto o valor  $V_{refN}$  o LED não é apagado, estando em nível lógico 1.

### Conclusão

Portanto, podemos concluir que o objetivo deste relatório foi atendido. Além disto, pudemos ver o funcionamento e conversão, por meio de topologias diferentes, do sinal digital para analógico.

### Referências

- [1] "All datasheet-lm741 datasheet (pdf)-fairchild semiconductor <https://www.alldatasheet.com/datasheet-pdf/pdf/53589/fairchild/lm741.html>."
- [2] R. L. Boylestad and L. Nashelsky, *Dispositivos eletrônicos e teoria de circuitos*, vol. 6. Prentice-Hall do Brasil, 1984.