



UNIVERSIDADE FEDERAL DO CEARÁ
Campus de Quixadá
 Prof. Thiago Werlley Bandeira da Silva
 QXD0005- Arquitetura de Computadores

Prova
2022.1

Nome: _____ Matrícula: _____

1. Considere agora um espaço de endereçamento de 4 Giga organizada com mapeamento direto.

- a) Como ficaria a divisão de bits para uma cache de 4096 posições que trabalhe com blocos de 16 palavras?

(Tag)	(Linha)	(Palavra)

- b) Quanto tem efetivamente de dados nessa cache, considerando palavras de 32 bits?

2. Considere um espaço de endereçamento de 2^{32} .

- a) Como ficaria a divisão de bits do endereço para uma cache associativa de 4096 posições e blocos de 16 palavras?

(Tag)	(Palavra)

- b) Qual o tamanho da memória associativa?

3. Considerando uma cache com 1024 posições com palavra de 32 bits, um espaço de endereçamento de 4 Gigabytes, responda as perguntas que seguem: 4 conjuntos associativos

- a) Quanto tem efetivamente de dados nessa cache?
 b) Considere 2 conjuntos ($S=2$). Qual tamanho de cada memória associativa?
 c) Considere 4 conjuntos ($S=4$). Qual tamanho de cada memória associativa?
 d) Como ficaria divisão do endereço de cache de 4 conjuntos com 2048 posições (bloco com 4 palavras de 32 bits)?

(Tag)	(Conjunto)	(Palavra)

4. Dado uma cache L1 4-Way (sendo 4-Way é igual a 4 linhas por cj) de 64 Kbytes e com processador Ultra Sparc III (assumir bloco de 32 palavras de 64 bits)? *Tamanho da linha da cache = $32 * 64 \text{ bits} = 2048 \text{ bits}$*

- a) Quantos conjuntos possui cache L1 4-Way?
 b) Como ficaria a divisão do endereço de cache com 2048 posições (blocos 16 palavras de 32 bits)?

(Tag)	(Conjunto)	(Palavra)

5. Considere um sistema de computação que possui uma memória principal, organizada em células de 1 byte cada e apenas uma memória cache externa, organizada com mapeamento direto, sendo cada linha de 32 bytes. Em um dado instante, o processador inicia uma acesso colocando no Endereço de Memória com um o endereço hexadecimal: 5D7A9F2. Sabendo-se que, neste sistema cada linha da cache tem atribuído 512 blocos da MP, pergunta-se:

- a) Qual deverá ser a largura do endereço de memória do sistema?

(Tag)	(Linha)	(Palavra)

b) Qual foi a linha acessada pelo processador?

6. A área de memória disponível para implementação de uma cache L2 é 512 Kbytes. Considerando que a memória a ser endereçada possui 64 Mbytes (2^{26}) e a cache deve trabalhar com blocos de 16 palavras de 32 bits calcule para a técnica totalmente associativa e conjunto associativa (4 conjuntos):

- Divisão de bits do endereço
- Aproveitamento efetivo da área da cache (relação entre dados e controle)
- Número de linhas da cache
- Quantidade e tamanho em Kbytes das memórias associativas (quando necessário)

7. Considere a memória cache mostrada na figura 12.4 e responda os itens a seguir. Obs. Considere que a cache está inicialmente zerada e que o dado contido em cada endereço da memória principal é igual ao valor do byte menos significativo do endereço.

Ex. O endereço 0x82000000 contém o dado igual a 0x00.

Ex. O endereço 0x8200004C contém o dado igual a 0x4C.

- a) Mostre o conteúdo da cache (apenas das linhas que mudarem) após a execução sequencial das instruções abaixo. Desconsidere os bits v e d.

```
1 LDR R0, =0x82000000
2 LDR R1, =0x82040024
3 LDR R2, =0x82040028
4 LDR R3, =0x8200008C
5 LDR R0, =0x82F00080
6 LDR R1, =0x82F0008E
7 LDR R2, =0x82F00018
8 LDR R3, =0x82F0004C
```

- b) Projete uma memória cache associativa de forma que não ocorra nenhum cache miss caso sejam repetidos os acessos do item anterior, na mesma ordem.

8. Considere a execução do código abaixo em um sistema com memória cache virtual, de mapeamento direto, de tamanho 1KB e com linhas de 64 bytes e resolva o que se pede:

```
.foo:
    mov    r0, #0x1000
    mov    r1, #0x20
    mov    r2, #0

.loop1:
    add    r2, r2, #1
    cmp    r2, r1
    bgt    .fim
    mov    r3, #0

.loop2:
    add    r3, r3, #1
    cmp    r3, r1
    bgt    .loop1
    ldr    r6, [r0], #4
    add    r7, r7, r6
    b      .loop2

.fim:
    bx    lr
```

- a) Mostre o conteúdo do campo cache-tag de todas as linhas da cache após a execução do código.
 - b) Indique o endereço inicial e o final contido em cada linha da cache após a execução do código.
 - c) Qual a taxa de cache miss ao final da execução, assumindo que a cache está inicialmente vazia?
 - d) Projete uma memória cache de mapeamento direto (informe o tamanho total da cache, a quantidade de linhas, o total de words por linha e quais bits do endereço correspondem aos campos cache-tag, set index e data index) capaz de armazenar todos os dados lidos pelo programa da questão anterior sem a necessidade de reposição de linhas.
9. Assuma que o código da questão 1 está sendo executado a partir do endereço virtual 0x4000. Mostre como seriam as PTEs L1 e L2 envolvidas no mapeamento de forma a atender as seguintes condições:
- As páginas com os endereços nos intervalos de [0x0000 a 0x3FFF] e [0x4000 a 0x7FFF] devem ser mapeadas para as molduras de página nos intervalos [0x08002000 a 0x08005FFF] e [0x08200000 a 0x08203FFF], respectivamente.
 - Cache e Write Buffer estão desabilitados e o domínio é igual a 5.
 - A tabela L2 está no endereço base 0x1C400
 - As páginas que contiverem a memória de programa deverão ter permissão somente de leitura para todos os modos, enquanto que as demais páginas deverão ter permissão read/write para todos os modos.