**信息科学与工程学院**

**2020－2021学年第一学期**

实 验 报 告

课程名称： 电子设计自动化

实验名称： 硬件实验一

专 业 班 级 通信工程 二班

学 生 学 号 201800121050

学 生 姓 名 孟麟芝

实 验 时 间 2020年10月10日

实验报告

## 【实验目的】

1.学习EDA软件的基本操作。

2.学习使用原理图进行设计输入。

3.初步掌握器件设计输入、编译、仿真和编程的过程。

4.学习实验开发系统的使用方法。

5.体会使用EDA进行逻辑描述的优点。

## 【实验仪器与器材】

1.EDA开发软件一套

2.微机一台

3.实验开发系统一台

4.打印机一台

## 【实验要求】

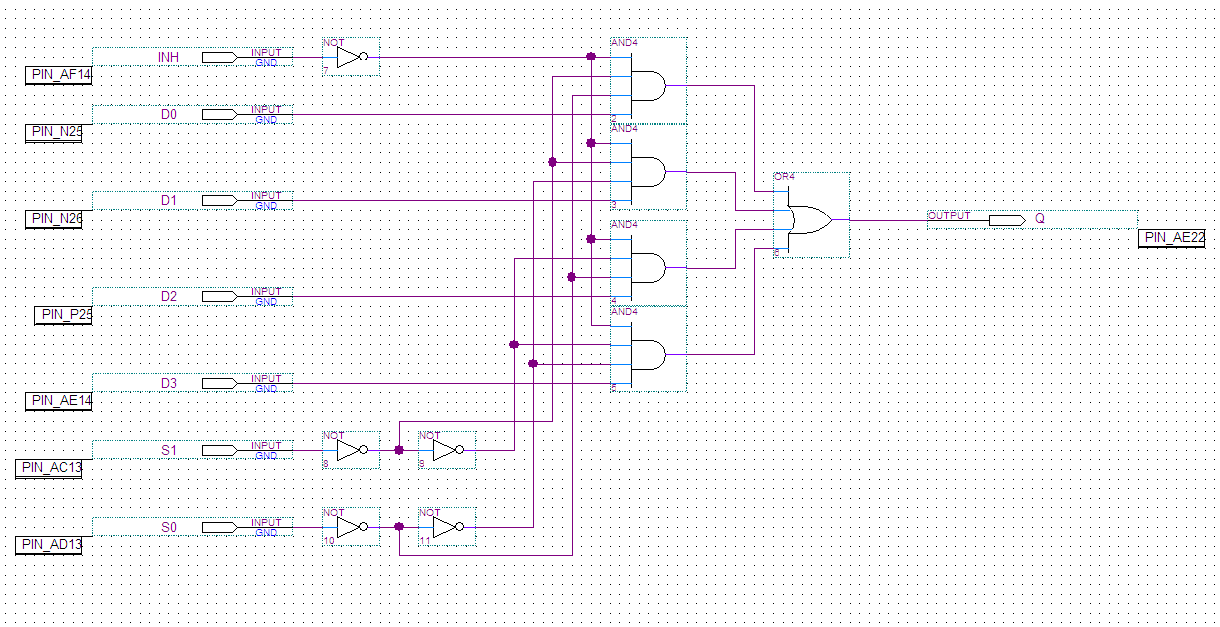
1.完成4选1数据选择器的原理图输入并进行编译；对设计的电路进行仿真验证；编程下载并在实验开发系统上验证设计结果。

2.用硬件描述语言编写4位二进制码比较器的源文件；对设计进行仿真验证；编程下载并在实验开发系统上进行硬件验证。

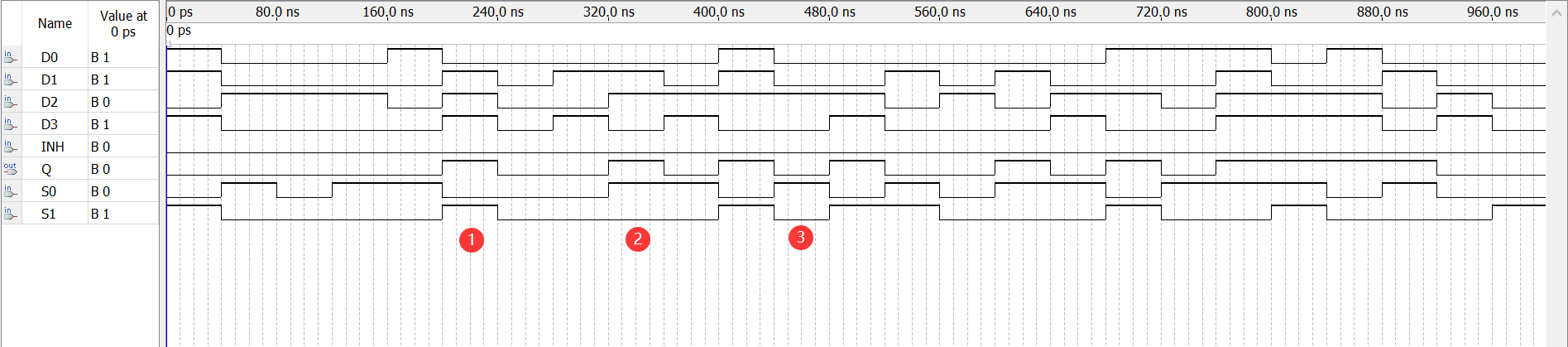
3.用硬件描述语言编写4位二进制数全加器的源文件；对设计文件进行编译；仿真设计文件。编程下载并进行实验验证。

## 【四选一数据选择器实验】

## 【实验原理图】



【仿真波形图】



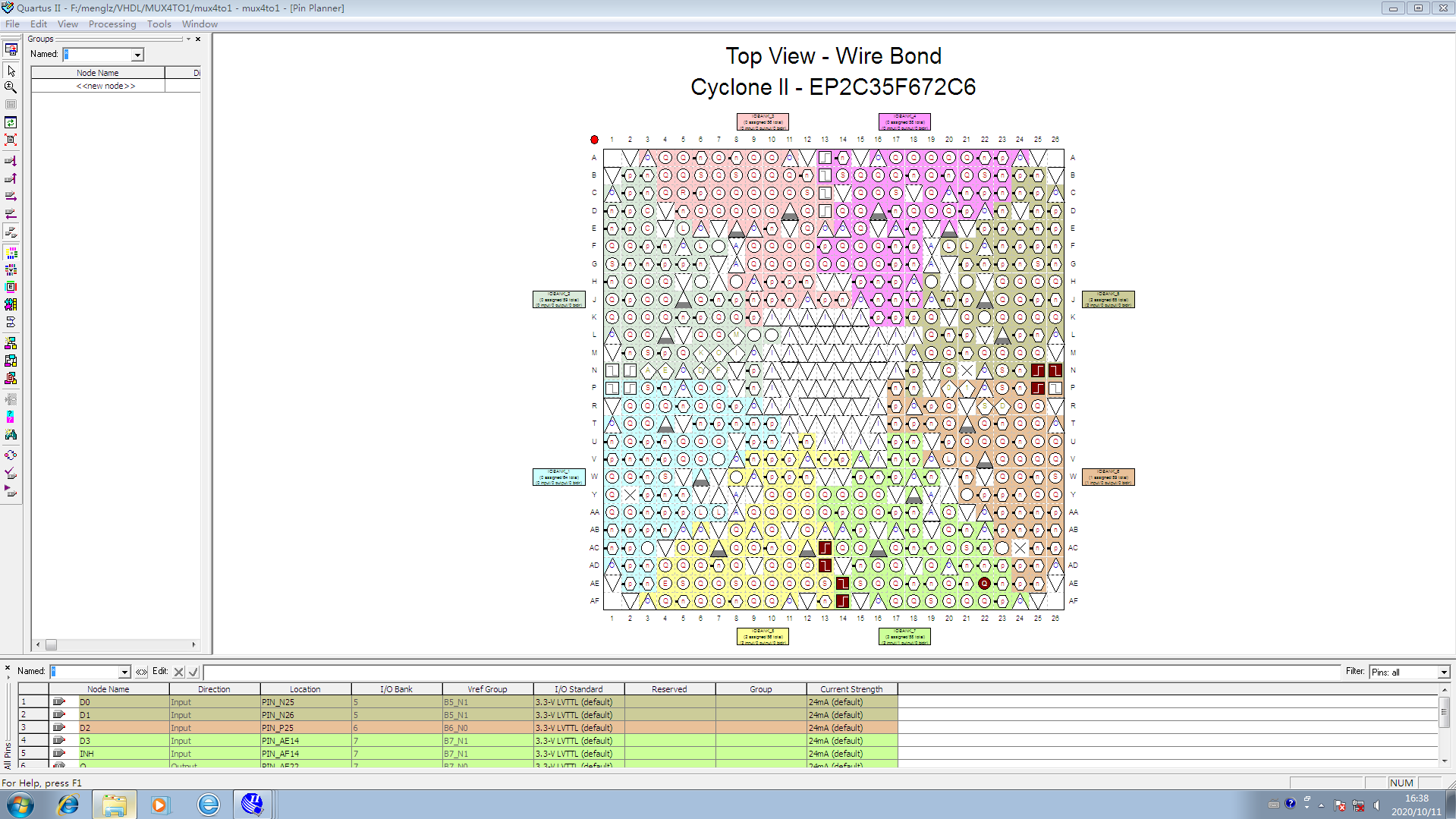
如图中所示，标号1处输出Q为高电平，这是因为S1S0=”10”，选通了第三个输入D2。

标号2处输出Q为高电平，这是因为S1S0=”01”，选通了第二个输入D1。

标号3处输出Q为低电平，这是因为S1S0=”01”，选通了第二个输入D1。

可见该电路能实现相应的功能。

【引脚分配图】



## 【四位比较器实验】

【实验源代码】

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

USE IEEE.STD\_LOGIC\_ARITH.ALL;

USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;

ENTITY COMPARER4 IS

    PORT (

        A3 : IN STD\_LOGIC;

        A2 : IN STD\_LOGIC;

        A1 : IN STD\_LOGIC;

        A0 : IN STD\_LOGIC;

        B3 : IN STD\_LOGIC;

        B2 : IN STD\_LOGIC;

        B1 : IN STD\_LOGIC;

        B0 : IN STD\_LOGIC;

        G : OUT STD\_LOGIC;

        M : OUT STD\_LOGIC;

        L : OUT STD\_LOGIC

    );

END ENTITY COMPARER4;

ARCHITECTURE BHV OF COMPARER4 IS

    SIGNAL INDATAA : STD\_LOGIC\_VECTOR(3 DOWNTO 0);

    SIGNAL INDATAB : STD\_LOGIC\_VECTOR(3 DOWNTO 0);

BEGIN

    INDATAA <= A3 & A2 & A1 & A0;

    INDATAB <= B3 & B2 & B1 & B0;

    P1 : PROCESS (A3, A2, A1, A0, B3, B2, B1, B0)

    BEGIN

        IF (INDATAA > INDATAB) THEN

            G <= '1';

            M <= '0';

            L <= '0';

        ELSIF (INDATAA = INDATAB) THEN

            M <= '1';

            L <= '0';

            G <= '0';

        ELSIF (INDATAA < INDATAB) THEN

            L <= '1';

            G <= '0';

            M <= '0';

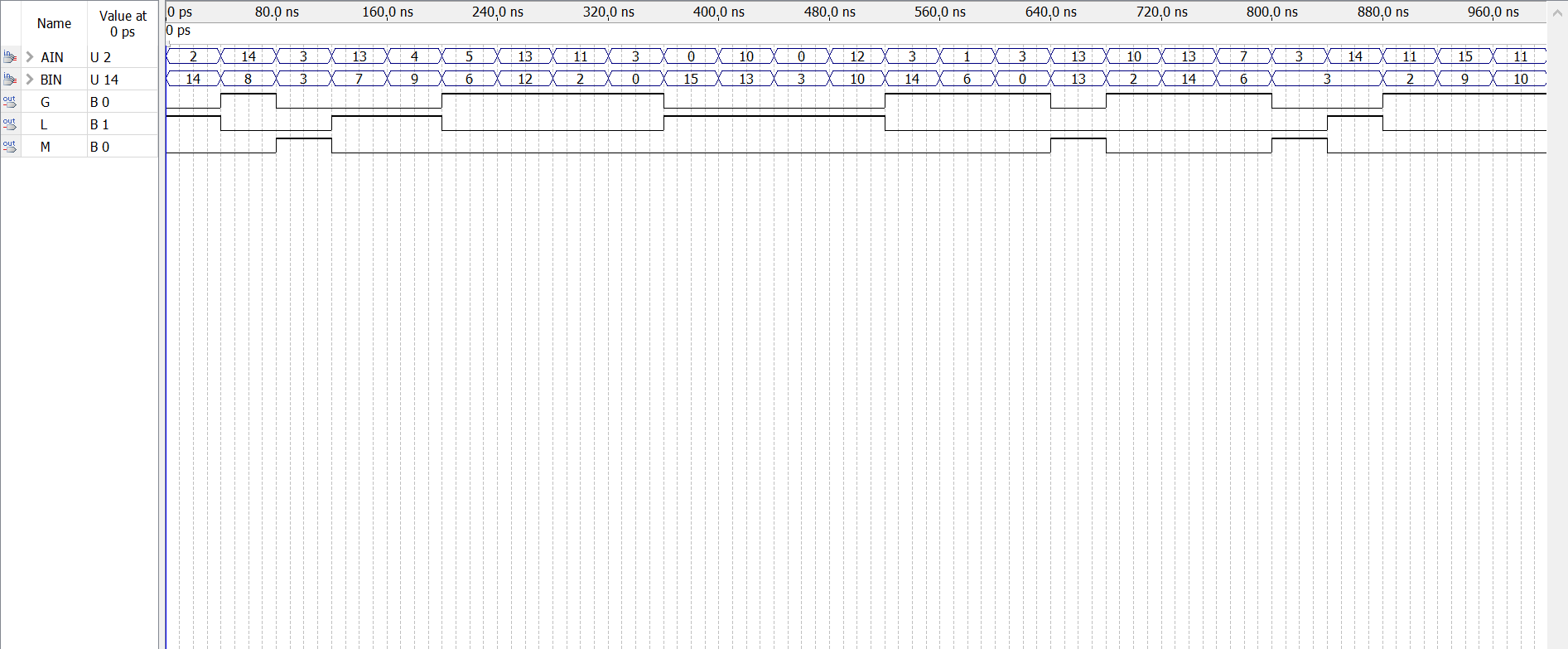
        END IF;

    END PROCESS P1;

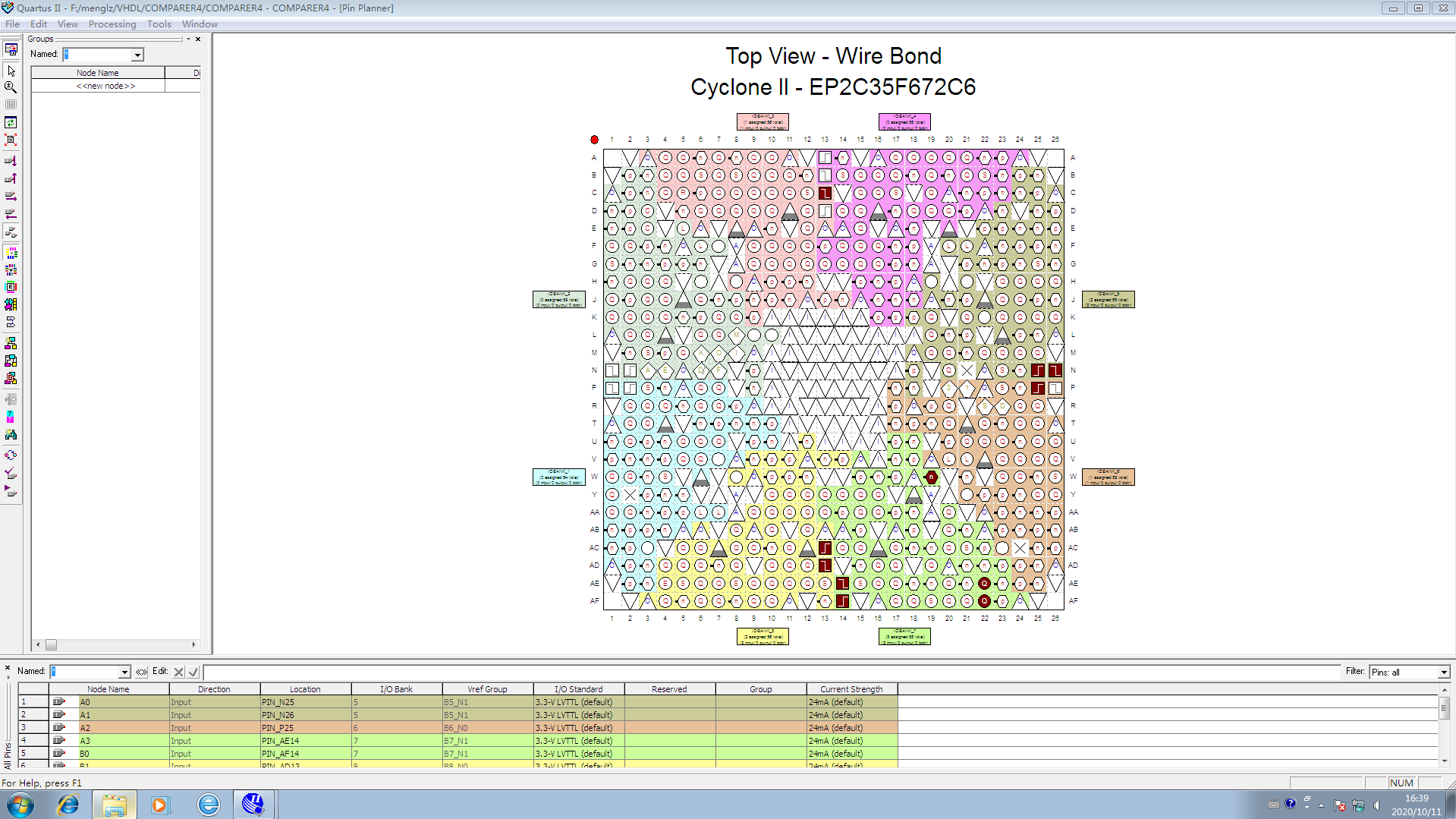
END BHV;

【仿真波形图】

本实验实现两个4位二进制码的比较器，输入为两个4位二进制码A3A2A1A0和B3B2B1B0，输出为M（A=B），G（A>B）和L（A<B），下图为仿真结果，可见电路能够实现相应的功能。



【引脚分配图】



## 【四位二进制全加器实验】

## 【实验源代码】

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;

ENTITY ADDER4 IS

     PORT (

          CIN : IN STD\_LOGIC;

          A : IN STD\_LOGIC\_VECTOR(3 DOWNTO 0);

          B : IN STD\_LOGIC\_VECTOR(3 DOWNTO 0);

          SUM : OUT STD\_LOGIC\_VECTOR(3 DOWNTO 0);

          COUT : OUT STD\_LOGIC);

END ENTITY ADDER4;

ARCHITECTURE ART OF ADDER4 IS

     SIGNAL S5 : STD\_LOGIC\_VECTOR(4 DOWNTO 0);

     SIGNAL A5, B5 : STD\_LOGIC\_VECTOR(4 DOWNTO 0);

BEGIN

     A5 <= '0' & A;

     B5 <= '0' & B;

     S5 <= A5 + B5 + CIN;

     SUM <= S5(3 DOWNTO 0);

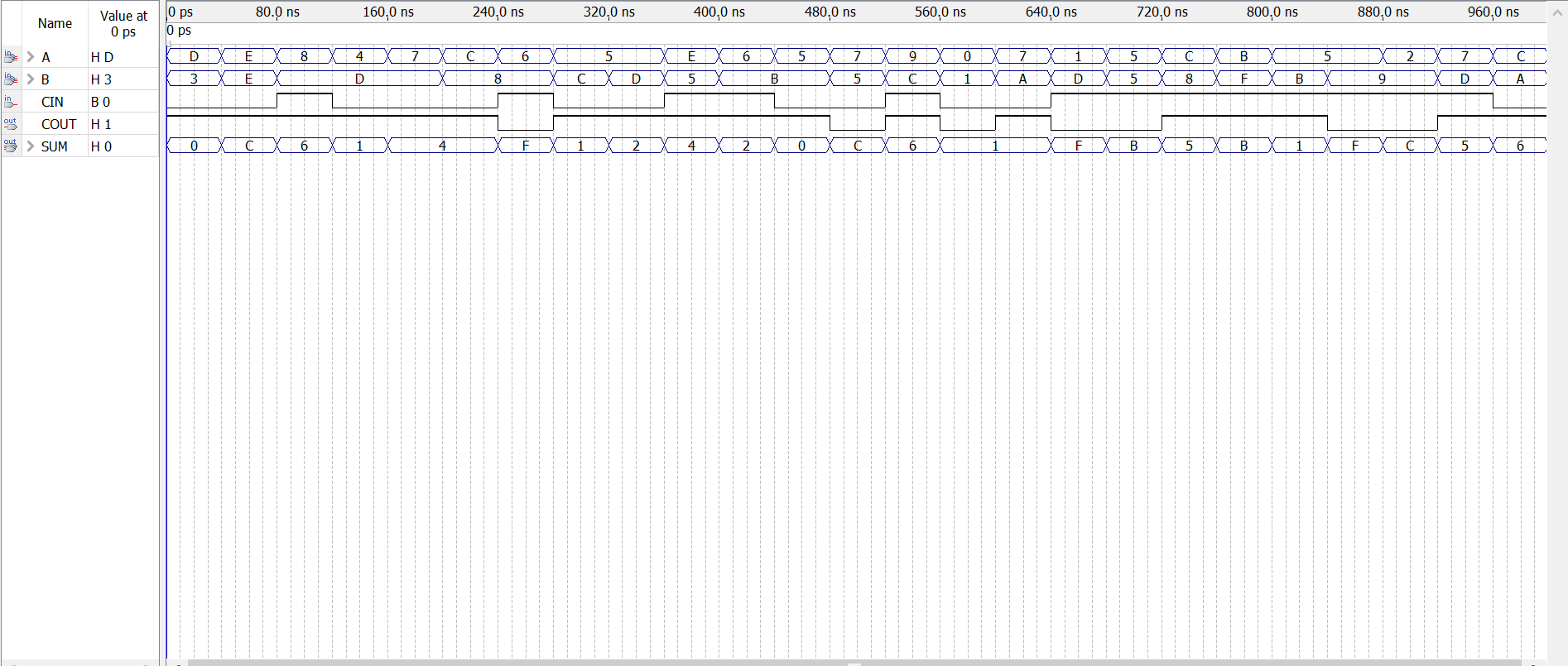
     COUT <= S5(4);

END ARCHITECTURE ART;

【仿真波形图】

该设计实现的是十六进制四位加法器的功能，例如A=0X0E，B=0X0E，CIN=0，则输出SUM=C，COUT=1。

其仿真波形如下，可见电路能够实现相应的功能。



【引脚分配图】

