**信息科学与工程学院**

**2020－2021学年第一学期**

实 验 报 告

课程名称： 电子设计自动化

实验名称： 硬件实验二

专 业 班 级 通信工程 二班

学 生 学 号 201800121050

学 生 姓 名 孟麟芝

实 验 时 间 2020年10月17日

实验报告

## 【实验目的】

1.学习EDA软件的基本操作。

2.学习层次化设计方法。

3.掌握组合逻辑电路设计方法。

4.体会使用VHDL语言进行逻辑电路描述的优点。

## 【实验仪器与器材】

1.EDA开发软件一套

2.微机一台

3.实验开发系统一台

4.打印机一台

## 【实验要求】

1.七段显示译码器设计(实验板上的数码管是共阳极的，低电平时点亮。)，输入使用波动开关，从“0000”至“1111”变化；输出用数码管显示(0,1,...9,A,b,C,d,E,F)。

2.8位二进制数加法器(用两个4位二进制数加法器实现层次化设计：元件例化，即在顶层调用。)，用数码管显示(0,1,...9,A,b,C,d,E,F)

3.七人表决器设计

## 【七段显示译码器实验】

## 【实验源代码】

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

ENTITY DECODER7 IS

    PORT (

        BIN\_IN : IN STD\_LOGIC\_VECTOR(3 DOWNTO 0); --输入四位BCD码

        SG\_OUT : OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0)); --0~7分别对应共阳极七段数码管的a,b,c,d,e,f,g,db

END;

ARCHITECTURE BHV OF DECODER7 IS

BEGIN

    PROCESS (BIN\_IN)

    BEGIN

        CASE BIN\_IN IS

            WHEN "0000" => SG\_OUT <= X"C0";

            WHEN "0001" => SG\_OUT <= X"F9";

            WHEN "0010" => SG\_OUT <= X"A4";

            WHEN "0011" => SG\_OUT <= X"B0";

            WHEN "0100" => SG\_OUT <= X"99";

            WHEN "0101" => SG\_OUT <= X"92";

            WHEN "0110" => SG\_OUT <= X"82";

            WHEN "0111" => SG\_OUT <= X"F8";

            WHEN "1000" => SG\_OUT <= X"80";

            WHEN "1001" => SG\_OUT <= X"90";

            WHEN "1010" => SG\_OUT <= X"88";

            WHEN "1011" => SG\_OUT <= X"83";

            WHEN "1100" => SG\_OUT <= X"C6";

            WHEN "1101" => SG\_OUT <= X"A1";

            WHEN "1110" => SG\_OUT <= X"86";

            WHEN "1111" => SG\_OUT <= X"8E";

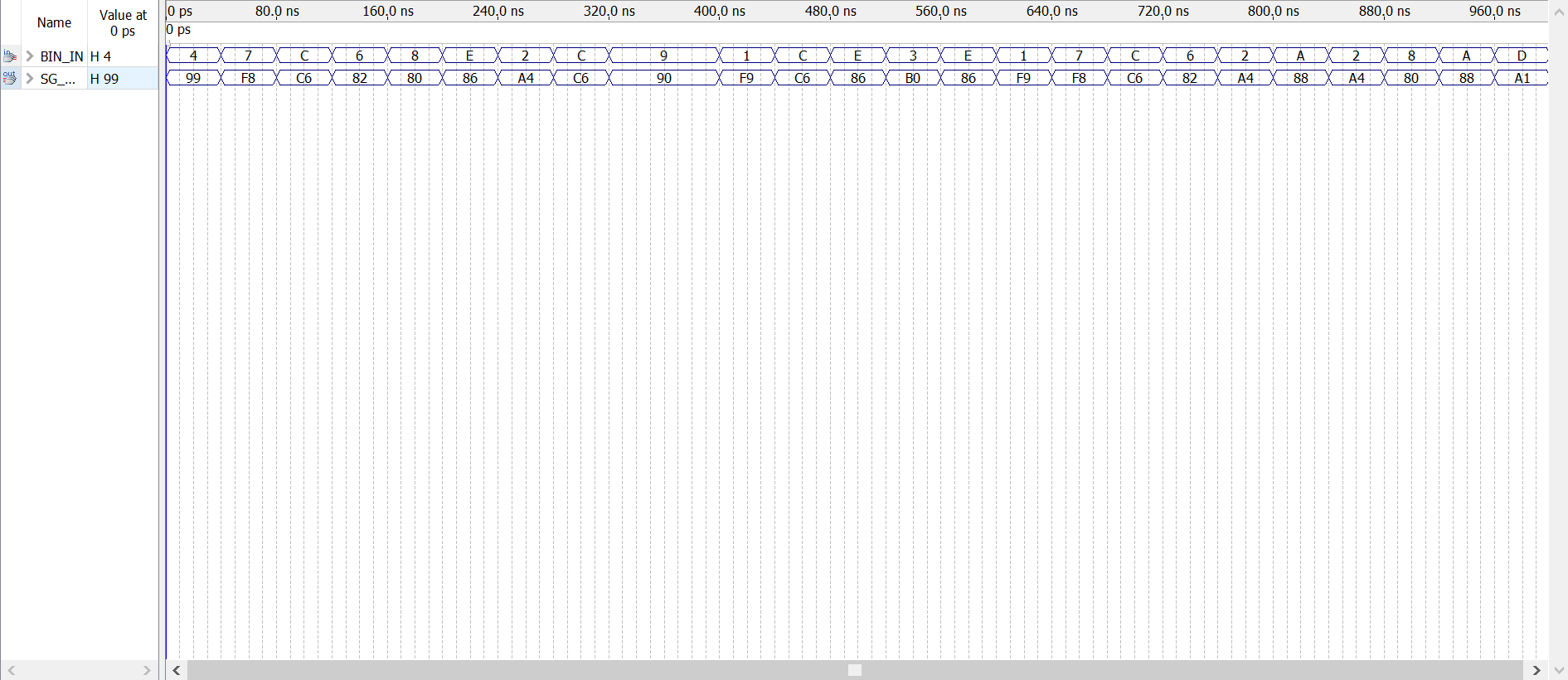
            WHEN OTHERS => NULL;

        END CASE;

    END PROCESS;

END;

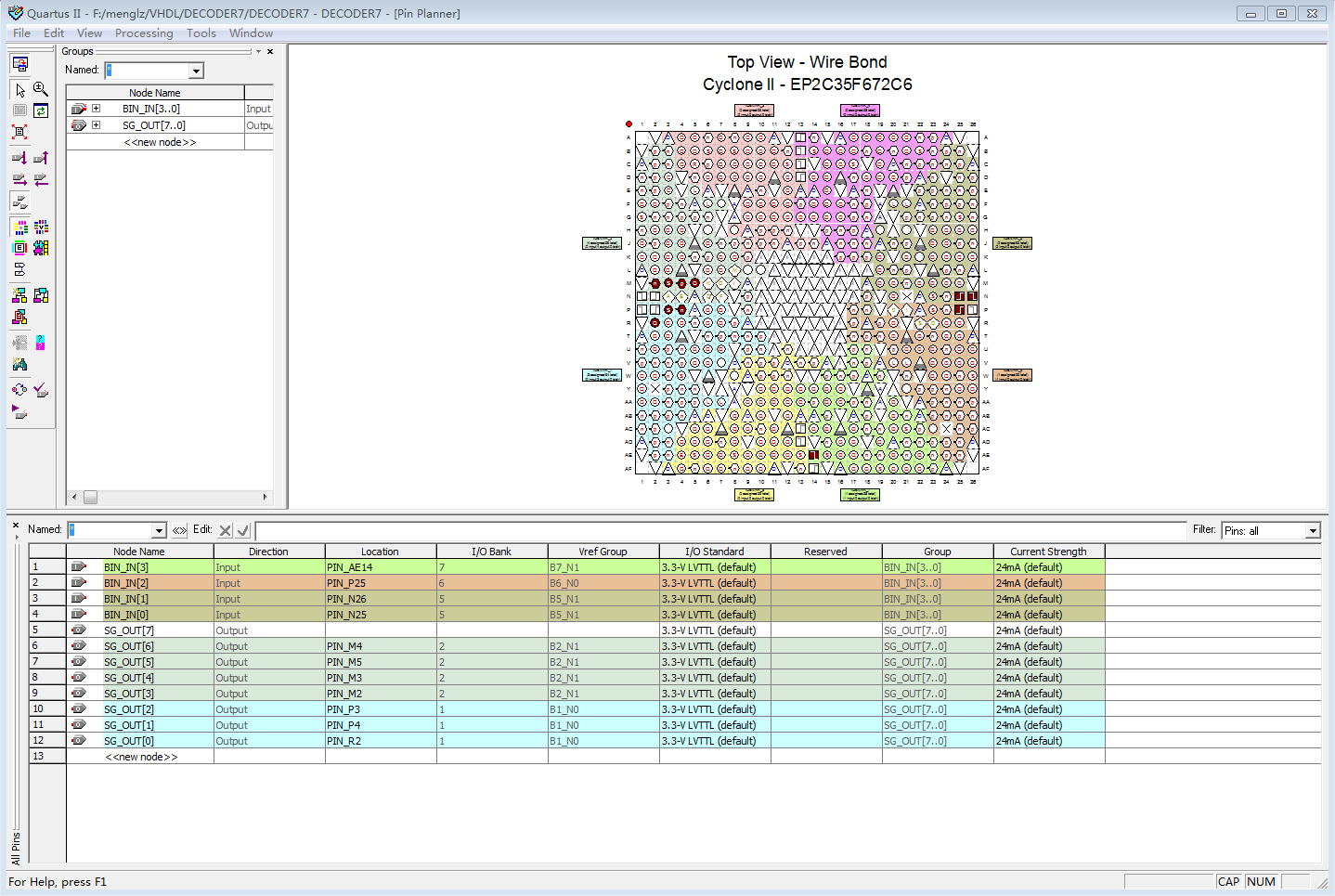
【仿真波形图】



该译码器为共阳极七段显示译码，其输出有八个，因为考虑了显示管有逗点。不过实验开发板上的显示管并没有逗点，所以在使用时忽略掉最高位即可。

【引脚分配图】

下图为引脚分配图，没有对无用的引脚进行分配。



## 【八位二进制数加法器实验】

【实验源代码】

1.顶层设计ADDER8\_DECODE源代码：

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;

ENTITY ADDER8\_DECODE IS

    PORT (

        CIN : IN STD\_LOGIC;

        AIN : IN STD\_LOGIC\_VECTOR(7 DOWNTO 0);

        BIN : IN STD\_LOGIC\_VECTOR(7 DOWNTO 0);

        SG\_OUT : OUT STD\_LOGIC\_VECTOR(23 DOWNTO 0));

END ENTITY ADDER8\_DECODE;

ARCHITECTURE BHV OF ADDER8\_DECODE IS

    COMPONENT ADDER8\_B IS

        PORT (

            CIN : IN STD\_LOGIC;

            A : IN STD\_LOGIC\_VECTOR(7 DOWNTO 0);

            B : IN STD\_LOGIC\_VECTOR(7 DOWNTO 0);

            SUM : OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0);

            COUT : OUT STD\_LOGIC);

    END COMPONENT ADDER8\_B;

    COMPONENT DECODER7 IS

        PORT (

            BIN\_IN : IN STD\_LOGIC\_VECTOR(3 DOWNTO 0);

            SG\_OUT : OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0));

    END COMPONENT DECODER7;

    SIGNAL DATA : STD\_LOGIC\_VECTOR(11 DOWNTO 0) := "000000000000";

BEGIN

    ADDER : ADDER8\_B PORT MAP(CIN => CIN, A => AIN, B => BIN, COUT => DATA(8), SUM => DATA(7 DOWNTO 0));

    DECODERLOW : DECODER7 PORT MAP(BIN\_IN => DATA(3 DOWNTO 0), SG\_OUT => SG\_OUT(7 DOWNTO 0));

    DECODERHIGH : DECODER7 PORT MAP(BIN\_IN => DATA(7 DOWNTO 4), SG\_OUT => SG\_OUT(15 DOWNTO 8));

    DECODERCOUT : DECODER7 PORT MAP(BIN\_IN => DATA(11 DOWNTO 8), SG\_OUT => SG\_OUT(23 DOWNTO 16));

END ARCHITECTURE BHV;

2.DECODER7源代码：

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

ENTITY DECODER7 IS

    PORT (

        BIN\_IN : IN STD\_LOGIC\_VECTOR(3 DOWNTO 0); --输入四位BCD码

        SG\_OUT : OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0)); --0~7分别对应共阳极七段数码管的a,b,c,d,e,f,g,db

END;

ARCHITECTURE BHV OF DECODER7 IS

BEGIN

    PROCESS (BIN\_IN)

    BEGIN

        CASE BIN\_IN IS

            WHEN "0000" => SG\_OUT <= X"C0";

            WHEN "0001" => SG\_OUT <= X"F9";

            WHEN "0010" => SG\_OUT <= X"A4";

            WHEN "0011" => SG\_OUT <= X"B0";

            WHEN "0100" => SG\_OUT <= X"99";

            WHEN "0101" => SG\_OUT <= X"92";

            WHEN "0110" => SG\_OUT <= X"82";

            WHEN "0111" => SG\_OUT <= X"F8";

            WHEN "1000" => SG\_OUT <= X"80";

            WHEN "1001" => SG\_OUT <= X"90";

            WHEN "1010" => SG\_OUT <= X"88";

            WHEN "1011" => SG\_OUT <= X"83";

            WHEN "1100" => SG\_OUT <= X"C6";

            WHEN "1101" => SG\_OUT <= X"A1";

            WHEN "1110" => SG\_OUT <= X"86";

            WHEN "1111" => SG\_OUT <= X"8E";

            WHEN OTHERS => NULL;

        END CASE;

    END PROCESS;

END;

3.ADDER4源代码

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;

ENTITY ADDER4 IS

     PORT (

          CIN : IN STD\_LOGIC;

          A : IN STD\_LOGIC\_VECTOR(3 DOWNTO 0);

          B : IN STD\_LOGIC\_VECTOR(3 DOWNTO 0);

          SUM : OUT STD\_LOGIC\_VECTOR(3 DOWNTO 0);

          COUT : OUT STD\_LOGIC);

END ENTITY ADDER4;

ARCHITECTURE ART OF ADDER4 IS

     SIGNAL S5 : STD\_LOGIC\_VECTOR(4 DOWNTO 0);

     SIGNAL A5, B5 : STD\_LOGIC\_VECTOR(4 DOWNTO 0);

BEGIN

     A5 <= '0' & A;

     B5 <= '0' & B;

     S5 <= A5 + B5 + CIN;

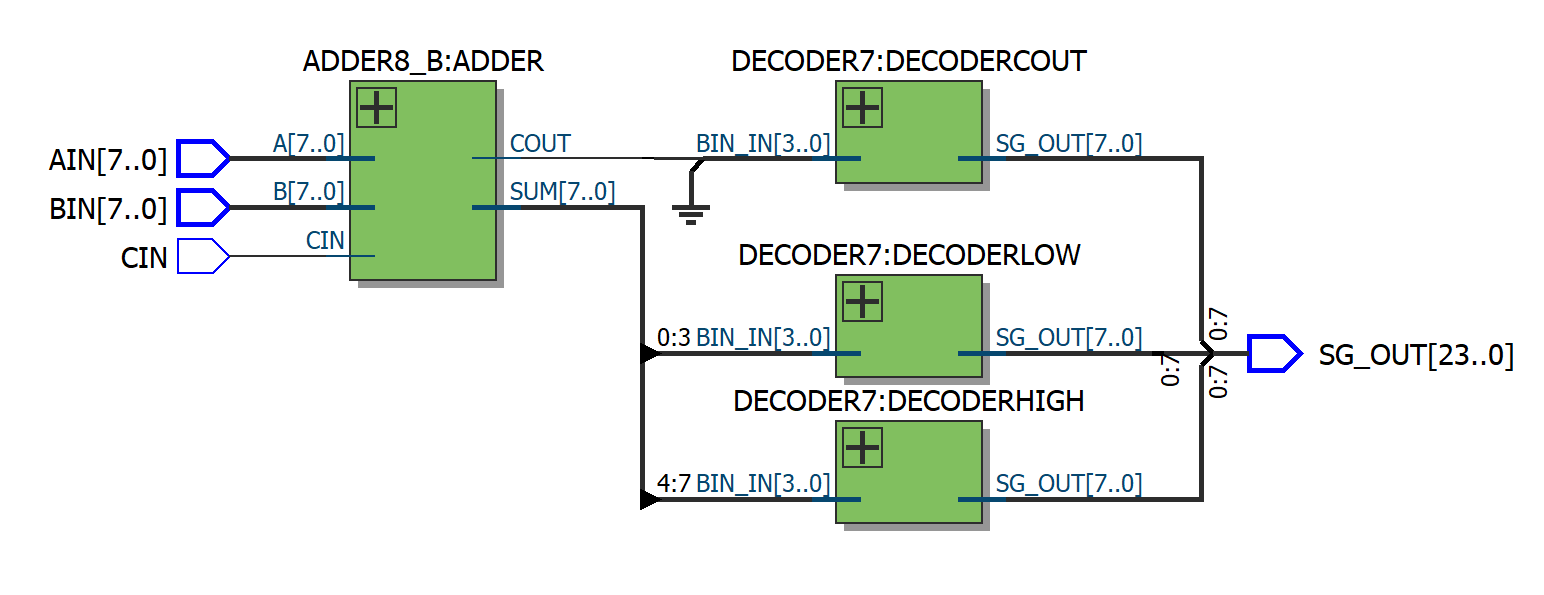
     SUM <= S5(3 DOWNTO 0);

     COUT <= S5(4);

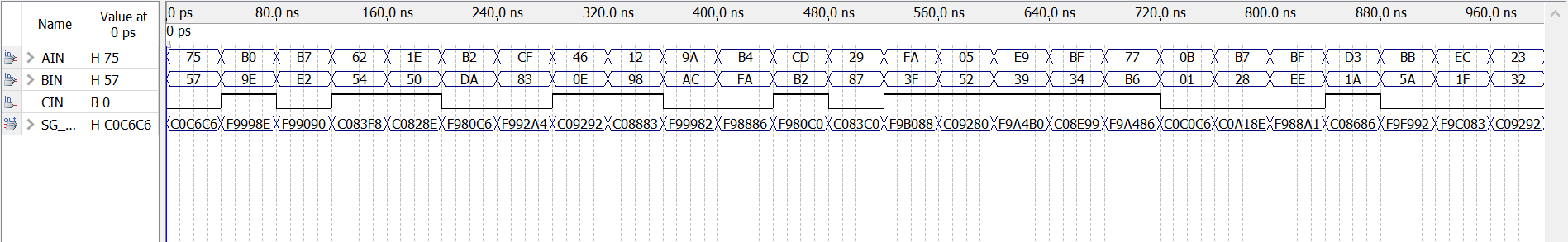
END ARCHITECTURE ART;

【仿真波形图】

本实验采用层次化设计的方法，将两个四位二进制加法器形成一个八位二进制加法器，并通过七段译码器进行译码显示，如下所示：

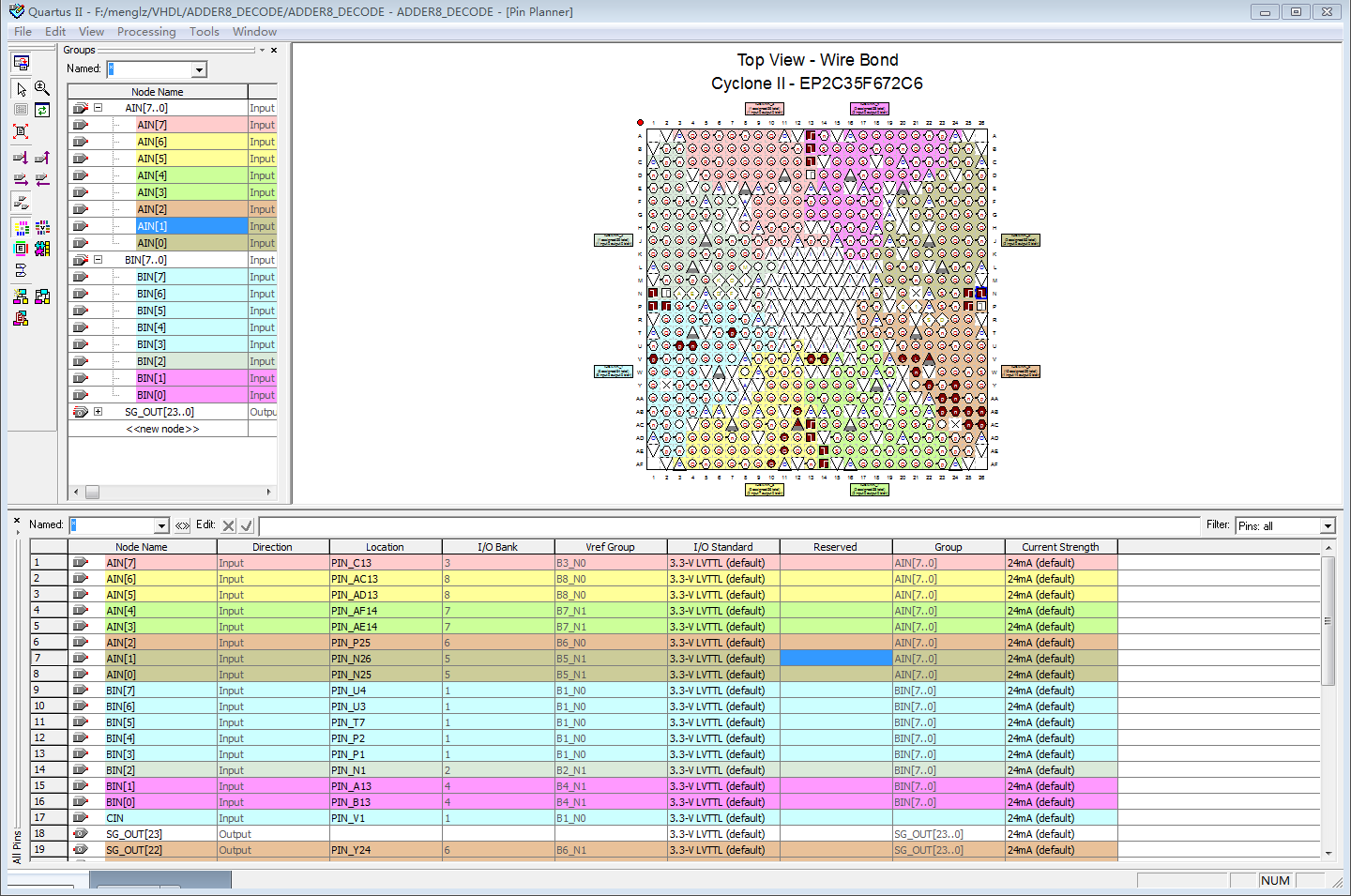


进行功能仿真，得到的波形如下图：



输出的译码结果共有24位，前8位显示进位位，中8位显示输出数据的高位，如0X75+0X57应为0XCC（无进位），译码以后为C0C6C6，C0代表0，C6代表0XC，后面也都是一样的，可见该电路能够实现功能。

【引脚分配图】



## 【七人表决器实验】

## 【实验源代码】

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;

ENTITY VOTER7 IS

    PORT (

        A, B, C, D, E, F, G : IN STD\_LOGIC;

        Y : OUT STD\_LOGIC);

END;

ARCHITECTURE BHV OF VOTER7 IS

BEGIN

    PROCESS (A, B, C, D, E, F, G)

        VARIABLE SUM : INTEGER RANGE 0 TO 7;

    BEGIN

        SUM := 0;

        IF A = '1' THEN

            SUM := SUM + 1;

        END IF;

        IF B = '1' THEN

            SUM := SUM + 1;

        END IF;

        IF C = '1' THEN

            SUM := SUM + 1;

        END IF;

        IF D = '1' THEN

            SUM := SUM + 1;

        END IF;

        IF E = '1' THEN

            SUM := SUM + 1;

        END IF;

        IF F = '1' THEN

            SUM := SUM + 1;

        END IF;

        IF G = '1' THEN

            SUM := SUM + 1;

        END IF;

        IF SUM >= 4 THEN

            Y <= '1';

        ELSE

            Y <= '0';

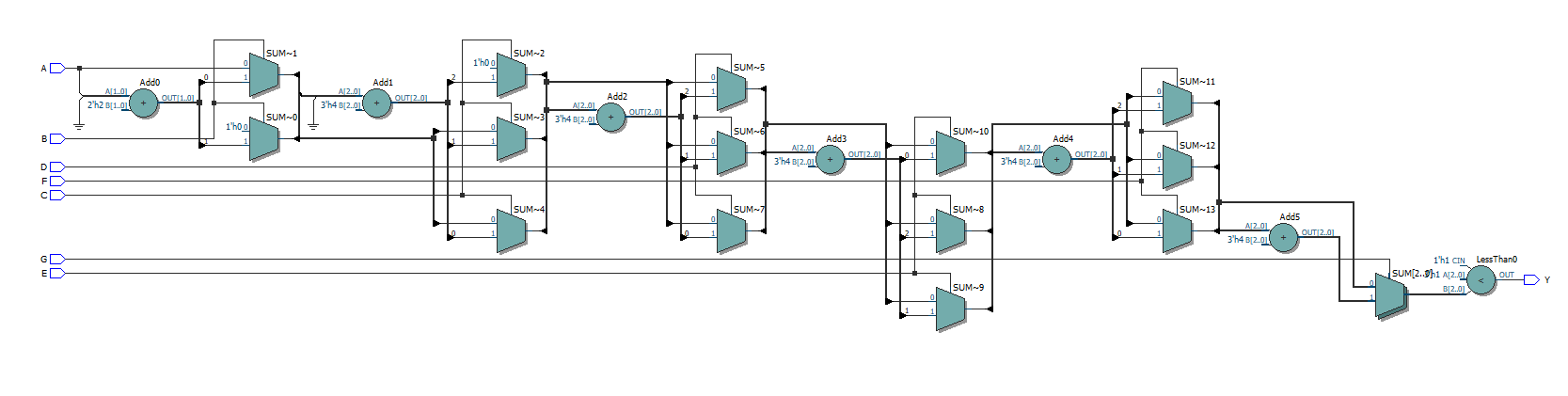
        END IF;

    END PROCESS;

END;

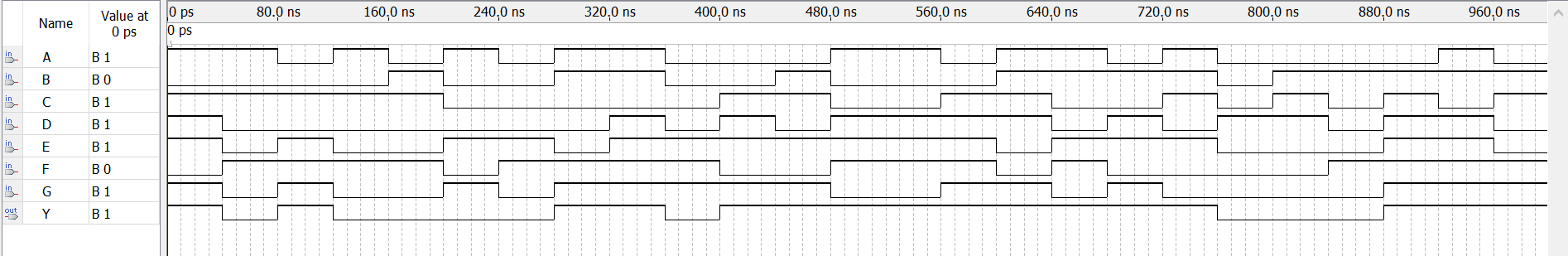
【仿真波形图】

该设计实现的是表决器的功能，若七人中有超过3人（不含3人）投出同意票，则表决结果置1，否则为0，若使用传统的画真值表的方法，该逻辑电路将会非常复杂，使用VHDL的程序化设计方法，大大简化了实现过程。



如上图所示，电路的逻辑其实是非常复杂的。

下面是仿真波形图，Y为输出，A~G为七个输入，可见可以实现功能。



【引脚分配图】

