

第4章 存储系统

4.2 选择题

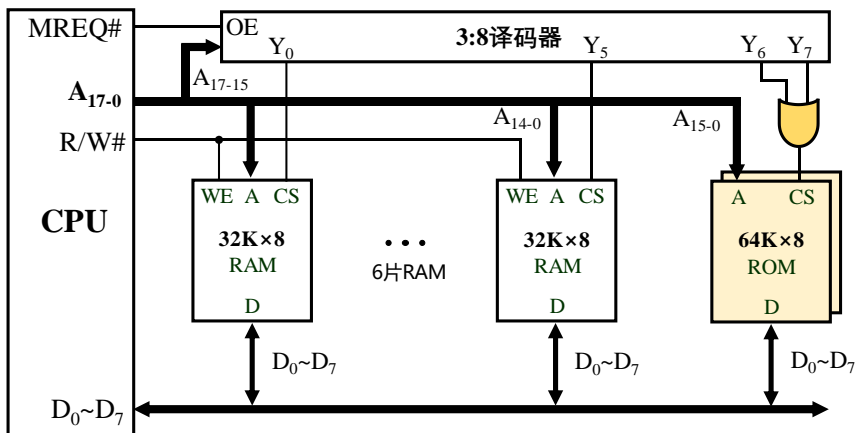
- (1) A (2) A (3) D (4) D (5) C
(6) B (7) D (8) B (9) B (10) A
(11) A (12) C (13) C (14) C (15) D
(16) B (17) D (18) A (19) D

4.4 地址寄存器为 14 位，数据寄存器为 16 位

4.5 可分别设计 128K×8 位、64K×16 位、32K×328 位的存储器。

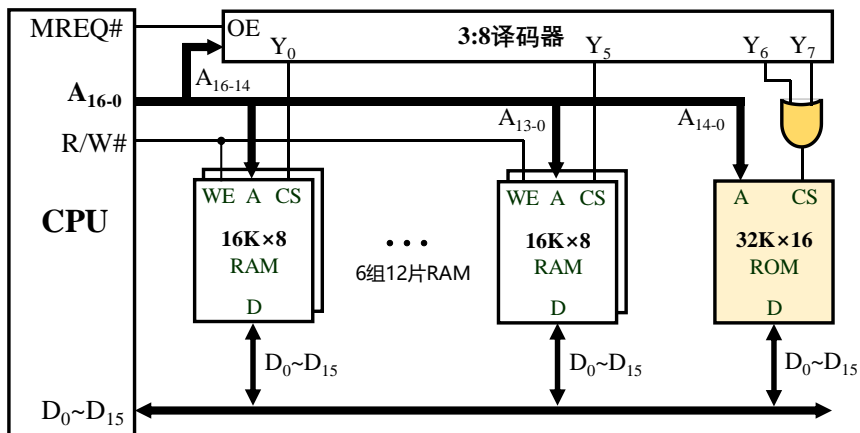
4.6

解：



4.7

解：



4.8

解：产生刷新信号的时间间隔为 $7.8125\mu\text{s}$ 。若采用集中刷新，存储器刷新一遍至少需要 256 个读写周期，CPU 的死时间是 $256 \times 0.5\mu\text{s} = 128\mu\text{s}$ 。

4.9

解：11 个。

4.10

答：采用异步刷新方式或分散刷新比较比较合适。刷新信号的产生周期为 $15.625\mu\text{s}$ 。

4.11

解：

(1) 全相联映射

cache 行	标志	数据
0	000000	87568536
1	000002	87792301
2	004001	9ABEFC0D
3	007FFF	4FFFFC68
4	3FFFFE	01BF2460

(2) 直接相联映射

cache 行	标志	数据
0000	00	87568536
0002	00	87792301
0001	01	9ABEFC0D
3FFF	01	4FFFFC68
3FFE	FF	01BF2460

(3) 组相联映射

cache 组	标志	数据
000	000	87568536
002	000	87792301
001	004	9ABEFC0D
0FFF	007	4FFFFC68
0FFE	3FF	01BF2460

4.12

解：

(1) 主存地址位数为 19 位，cache 地址位数为 13 位

(2)

标记(tag)	组索引(index)	块内偏移(offset)
8	4	7

4.13

解：(1) cache 命中率 = 98.7%

(2) 使用了 cache 后速度提高了 8.95 倍

4.14

解：(1)程序 A 中具有很好的空间局部性，不存在时间局部性；

而程序 B 空间局部性不佳，同样也不存在时间局部性；

(2)变量 sum 在循环中被多次使用，故具有良好的时间局部性。

(3)for 循环中的指令会被反复循环执行，因此具有较好的时间局部性，另外循环体中的机器指令序列通常会顺序执行，因此也具有一定的空间局部性。

4.15

解：VPN 的位数为 19 位，VPO 和 PPO 的位数均为 12 位，PPN 的位数为 11 位。

4.16

解：(1)失效页分别是 2、3、5、7

(2)

主存地址 ₁₀	主存地址 ₂	VPN	PPN	实存地址 ₂	实存地址 ₁₆
0	<u>000</u> 00 0000 0000	0	3	<u>11</u> 00 0000 0000	3072
3028	<u>010</u> 11 1101 0100	2	1	<u>01</u> 11 1101 0100	2004
1023	<u>000</u> 11 1111 1111	0	3	<u>11</u> 11 1111 1111	4095
2048	<u>010</u> 00 0000 0000	2	缺页		
4096	<u>110</u> 00 0000 0000	6	0	<u>00</u> 00 0000 0000	0
8000	<u>111</u> 11 0100 0000	7	缺页		

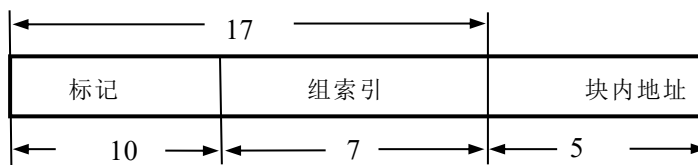
4.17

解：(1)虚拟地址的高 14 位表示的是虚页号，低 17 位表示的是页内偏移地址

故虚页号的高 12 位为 TLB 标记，低 2 位为 TLB 组索引。

(2) 高 5 位为物理页号，低 17 位表示页内偏移地址。

(3)则主存地址划分如下：



4.18

解：(1) A~G 的位数分别为 19、19、11、13、9、9、6

TLB 中标记字段 B 的内容是虚页号，表示该 TLB 项对应哪个虚页的页表项。

(2)映射的 cache 组号为 3，对应的 H 字段内容为 0 0000 1000B。

(3)因为缺页处理需要访问磁盘，而 cache 缺失只要访问主存，cache 缺失带来的开销小，而处理缺页的开销大。

(4)因为采用写穿策略时需要同时写快速存储器和慢速存储器，而写磁盘比写主存慢得多，所以 cache 可以采用写穿策略，而虚存则应采用写回策略。

4.19

解：

(1) 主存地址位数为 28。

(2) TLB 采用全相联映射。TLB 应采用 SRAM，读写速度快，但成本高。

(3)极简实现只需要在 cache 行中增加 1 位 LRU 位用于替换计数；另外每行还需要增加 1 位脏位，如果脏位为 1 则需要写回内存。

cache 总容量为 558 字节。有效位用来指出所在 cache 行中的信息是否有效。

4) 对应物理地址是 0040040H，cache 不命中。虚拟地址 0007 C260H 映射到 cache 第 3 组。