

信号调制度测量装置

摘要：本设计以 FPGA 为核心搭建了信号调制度测试装置。选择了实验效果较好的以数字处理为主核心的方案。设计主要包括 AD/DA 转换模块、正交下变频模块、DDS 集成模块、串口屏显示模块。系统采用将待测信号采样到 FPGA，利用 DDS 模块产生余弦波形，对采集的数据进行正交下变频，将变频后的信号通过 AD 采样到 FPGA，由 FPGA 对变频的信号进行滤波、FFT、选频、计算包络等处理后得到解调后的信号以及需要计算的参数，最后通过串口屏显示模块，将计算得到的调制度和原波形输出显示。

关键词：调制解调；DDS；正交下变频；FFT

Abstract: In this design, a signal modulation test device is built with FPGA as the core. The scheme with better experimental effect with digital processing as the core is selected. The design mainly includes AD/DA conversion module, quadrature down-conversion module, DDS integrated module, serial port screen display module. The system adopts the method of sampling the signal to be tested to the FPGA, using the DDS module to generate a cosine waveform, performing quadrature down-conversion on the collected data, sampling the frequency-converted signal to the FPGA through AD, and filtering, FFT, and selecting the frequency-converted signal by the FPGA. The demodulated signal and the parameters that need to be calculated are obtained after processing such as frequency and calculated envelope. Finally, the calculated modulation degree and the original waveform are output and displayed through the serial port screen display module.

Key words: Modulation and demodulation; DDS; Quadrature downconversion; FFT

一、方案论证与比较

系统主要由五个模块组成，放大器模块、正交下变频模块，DDS 模块、计算处理模块，串口屏显示模块。系统总体框图如图 1 所示。

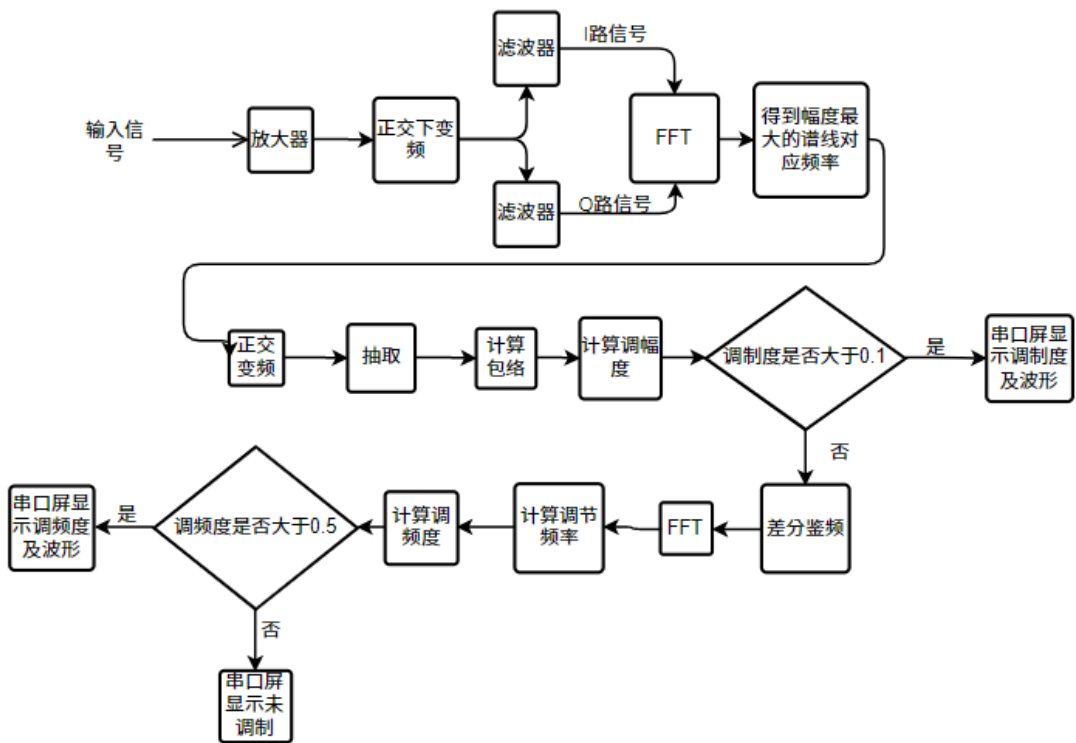


图 1 系统总体框图

下面就关键模块的设计方案进行讨论与分析。

1.1 放大器模块

方案一：采用多级运放级联设计放大器。但多级运放调试复杂，放大器的稳定性差，且难以实现放大器的增益的连续可调。

方案二：采用 AD603 压控放大器设计放大器，AD603 能提供由直流到 30MHz 的工作带宽，实际工作时可提供 20dB 以上的增益，无法传输 40Dbde 增益，只能通过级联方式实现，但电路较为复杂，电路干扰增强，不太容易实现。

方案三：采用 VCA810 程控放大模块，目的是放大输入信号并且连续可调，并

且达到题目要求的计算精度，即调幅度计算的绝对误差小于 0.1，调频度计算的绝对误差小于 0.3. 考虑到市面上的数字电位器虽然也能满足电压连续可调，但计算进度较低，于是采用 VCA810 程控放大。要使信号放大足够的倍数，方便后续的处理，手动调节使放大后的波形幅度达到 2V 左右，且波形没有失真。

综上考虑方案二的计算精度较高且电路设计简单，实现容易，故采用方案二对信号进行放大。

1.2 混频器模块

方案一：使用晶体三极管混频器。作为有源混频器，线性范围比较宽，可以变频增益，但实验中对线性范围的要求并不严格，且不需要变频增益。缺点在于晶体三极管混频器的动态范围小，组合频率干扰大。

方案二：使用模拟乘法器做混频，选用 AD835 作为乘法器。输入信号作为一路输入，由系统产生的余弦信号作为乘法器的另一路输入，输入信号与本振信号相乘即得到混频后的信号。该方案搭建的混频电路的端口隔离度和线性度较好。

最终根据我们的需要选择了模拟乘法器作为混频器模块，结构简单同时也能满足精度要求。

1.3 控制平台选择

方案一：采用单片机进行控制

采用单片机进行控制，STM32 系列单片机一款性价比高、功能强大。基于 arm Cortex-M 内核，其专为须要高性能、低成本和低功耗的嵌入式应用而设计，拥有最好的外设：1 μ S 双 12 位 ADC、4Mbit/s UART、18Mbit/s SPI 等在功耗和集成度上也有不错的表现。但它的缺点主要体现在 AD、EEPROM 等功能需要靠扩展，增加了硬件和软件负担，最致命的在于，其板载晶振频率低，无法实现高频测量。

方案二：采用 FPGA 或 CPLD 进行控制

采用现场可编程逻辑器件 FPGA 进行控制。利用板上丰富的引脚端口，可同时对 DDS 信号源模块，对于信号进行正交下变频处理非常方便。同时还具有频率稳定、采样率高、测量精度高等优点。

综合考虑，单独采用 FPGA 进行处理能够很好的满足题目要求，并且系统结构的搭建也比较简单，同时能保证比较高的测量精度用单片机作为控制单元，FPGA 作为频率测试单元能够满足题目要求，因此选用方案二。

二、理论分析与计算

2.1 系统原理

测量装置的主要原理是首先使用 ADC 采样（采样频率为 80MHz，采样区间为 10MHz 到 30MHz），在 FPGA 中通过下变频获得 I, Q 复信号，再通过滤波（采样率为 40MHz），接着进行大范围的 FFT 获取信号的最大值，找到最大滤值，再次进行下变频，在 4MHz 的频率水平上进行取包络处理，调幅度即为直流分量幅度与交流分量幅度的比值，即为第一问的处理方法。并通过对相位求 差分等方法，降低采样频率最终求出 mf ，并通过分析包络是否带有直流分量，确定信号的调制类型，然后计算求得并将结果通过串口屏展示。

2.2 放大器设计

实验中由于输入信号的波形较小，峰峰值为 100mV，为了满足之后信号处理所需要的精度，需要将输入信号放大处理，目标放大十到二十倍。

VCA810 的 3 号引脚增益控制端可以实现 $-40\text{db} \sim 40\text{db}$ 增益可调的。器件增益控制电压在 $\pm 5\text{ V}$ 电源下工作，在 -2 V 输入下，将 0 V 输入的 -40 dB 增益调整至 -2 V 输入时的 40 dB 。该 $40\frac{\text{dB}}{\text{V}}$ 增益控制精度在 $\pm 1.5\text{ dB}$ 以内。

VCA810 拥有两个共模抑制和共模输入范围较大的高阻抗输入端，这就使得器

件通过增益调节提供差分接收器操作。允许器件以地为参考通过增益调节输出信号。零差分输入电压提供 0 V 输出，具有较小的 DC 偏移误差。低输入噪声电压可在最高增益设置下确保良好的输出 SNR。

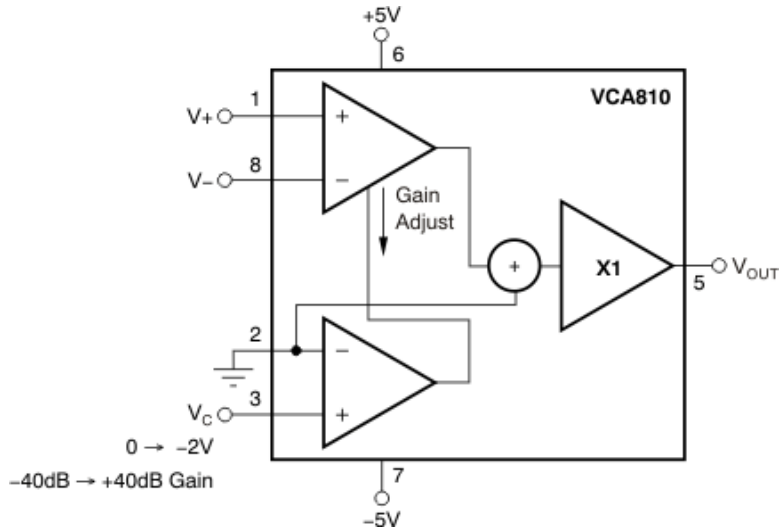


图 2 放大器示意图

2.3 DDS 信号源设计

DDS 信号源采用 AD9854 作为信号源。时钟源为高稳定度的晶体振荡器，内部产生 300M 的时钟频率，其输出用于提供 DDS 中各器件同步工作，频率控制字和相位控制字用于设定输出波形的频率和相位，还可以进行频移键控（FSK），二元相移键控（BPSK），脉冲调频（CHIRP），振幅调制（AM）等操作。本设计中就采用 DDS 产生的特定频率余弦信号作为本振信号与放大后的输入信号混频。

DDS 系统的最核心的一部分是相位累加器，相位累加器由 N 位加法器和 N 位相位寄存器构成，总体上是一个典型的反馈电路。每次当时钟脉冲过来时，累加器就会将频率控制字和相位寄存器输出的累加相位数据相加，把相加的结果送至相位寄存器数据输入端。上一个时钟作用后所产生的新相位数据作为反馈信号反馈到累加器的输入端，以使累加器在下一个时钟的作用下继续与频率控制数据相加。这样，相位累加器在参考时钟的作用下，进行线性相位相加。当累加器累

加到溢出后，就完成一个周期性的动作，这个周期就是 DDS 合成信号的一个频率周期。累加器的溢出频率就是 DDS 输出的信号频率，相位调制器这一部分是接收相位累加器的输入，在这里加上一个相位偏移值，主要用于信号的相位调制。波形存储器产生任意波形。

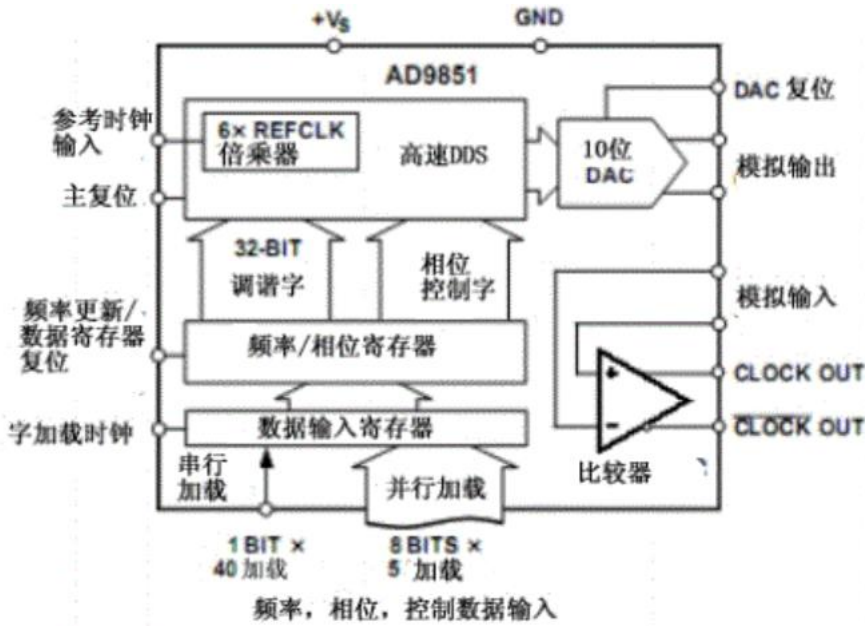


图 3 AD9851 内部结构框图

2.4 解调、计算调制度模块设计

由于调制信号乘上了一个高频载波，所以频谱被搬到了 10MHz 到 30MHz 的高频段，通过两次正交下变频后可以将信号频谱搬移到基带，在滤波取出高频分量。此时将得到的信号进行包络检波，若是 AM 调制，则包络检波的结果为一正弦波，调制度计算就可以采用 $(\text{包络最大值} - \text{包络最小值}) / (\text{包络最大值} + \text{包络最小值})$ 计算。若是 FM 调制，经过包络检波后得到的幅值基本没有变化，于是再做一次差分鉴频，就直接得到解调后的原信号。为了得到调频度，首先需要计算解调后原信号的幅值，从而得到调制的最大频偏，然后对解调信号做 FFT，分析频谱，可以找到原信号对应的谱线，谱线频率即为原信号频率。最后用最大频偏除以调制频率就得到调频度。当调频度大于 0.5 时就判断原信号是 FM 调制，反之则为无调制。

三、测试方案

5.1 测试仪器

表 1：测试仪器列表

序号	名称	型号规格
1	数字存储示波器	GDS-1022
2	数字合成函数信号发生器	F20
3	数字多用表	TH1951
4	稳压源	SS

5.2 测试方案

1. 仿真测试

通过 MATLAB 进行信号的调制仿真以及之后的正交下变频、滤波采样、计算包络、输出调制度以及解调波形等一系列完整仿真，初步检验系统设计的问题。

2. 信号测试

使用 AD9854 DDS 信号源输出正弦调幅波、正弦调频波，用 10MHz~30MHz 载波调制，通过按键对于频率进行步进 0.5MHz 测试和自动扫描测试，用示波器进行波形观察，将调制信号输入我们的信号调制度测试装置，通过 vivado 观察时域波形、频域频谱以及计算的调频调幅度。

四、结论

（1）设计创新点

本设计可根据不同的被测信号类型进行载波滤除，并测量调制度以及输出解调信号的波形。其主要创新点有以下三个：其一，采用下变频将被测信号分为 I, Q

两路正交信号，不仅减少了后续进行信号处理的工作量，而且便于同时提取出信号的包络和相位，从而同时满足调幅度、调频度的测量需要。并且后续的低通滤波处理应用简单的积化和差原理，滤除作用后信号的高频分量，直接得到频率降低数值为本地载频值的正弦信号。其二，采用 FFT 进行信号的频谱分析、求模、求最大值索引，作为指导 DDS 信号发生器，合成与处理过后的载频同频率的正弦信号，同样依据积化和差原理，再次通过低通滤波器，即可得到消除载波的直流信号。其三，整个测量装置基于一套处理程序，可通过波形检索出被测信号类型，极大地简化了测量流程。

（2）设计总结及场景展望

经过测试，对被测信号调制度的测量误差可以达到题目要求，对调幅度的测量误差；对调频度的测量误差，经过串口屏显示数据完整，并且输出的解调信号波形无明显失真。本设计可应用于各种调制信号的滤波解调，并能依据输出波形判断信号解调类型。调制与解调在信号处理领域起着很大的作用，本装置可方便地测量出信号的调制度及输出其解调波形，因而有着良好的应用前景。

五、参考资料及文献

- [1] 李栋. 数字 AM 系统 第二讲 多路复用、信道编码与调制[J]. 世界广播电视, 2001, 015 (7): 54-56
- [2] 樊昌信, 曹丽娜. 通信原理 [M]. 第 7 版. 北京: 国防工业出版社, 2012.
- [3] 苟玉玲, 曾湘洪. 基于 FPGA 中 DDS IP 核的设计应用 [J]. 软件, 2021, 42(01): 101-103.
- [4] DAC 的低通滤波器设计[N]. 电子报, 2021-07-18(002).