

## 摘要

本作品设计并制作了信号调制度测量装置，该装置能够识别并显示被测信号的调制方式（AM、FM 以及未调制），并能够测量和显示信号源输出的被测信号调制度以及 FM 调制信号的最大频偏。

本系统主要由 AX7Z010 FPGA 开发板、STM32F103 单片机组成。其中 FPGA 实现接收端模拟输入信号 A/D 采样、数字信号处理实现信号的解调、FFT 处理、CIC 滤波处理以及抽取操作，最后计算得出信号调制方式以及调制度等参数。单片机部分，我们使用 USART 串口在单片机与 FPGA 间通信，判断 FPGA 传回数据并处理后发送到串口屏上显示。

关键词：AM 解调、FM 解调、AX7Z010 FPGA 开发板、STM32F103 单片机、数字下变频

## 一、 方案论证

### 1.1 方案比较与选择

#### ①FM 调制度计算方案

方案一：在解调 ADC 采样的 FM 信号后，经过数字下变频后得到 I、Q 两路信号，再对这两路信号进行反正切处理得到  $k_f A_m \sum m[n]$ ，最后做差分解调出原信号。但是这样做会导致相位模糊。

方案二：先做差分再做反正切，相位差分就可以用两信号共轭相乘实现，最后再做反正切即可得到调制信号，这样效果较好，不会有明显的相位模糊。

综上所述，我们选择方案二。

#### ②第二次数字下变频之后的滤波与抽取方案

方案一：使用多次 FIR 低通滤波器加抽取方案。但是 FIR 滤波器需要用到乘法操作，在 FPGA 中实现较为麻烦。且如果后续抽取使得采样率变化在 10 倍以上时，实现一个前置的抗混叠滤波器是较为困难的。

方案二：使用三级级联 CIC 滤波器加抽取方案。在降采样中，CIC 滤波器也有着低通滤波器的特性，且 CIC 滤波器的实现仅需要加减操作，使得其在 FPGA 中较容易实现，占用资源较少，更加经济。而且在采样率变换较大的场景下，CIC 滤波器有其优越性。而本次设计中我们需要进行 20 倍降采样，所以 CIC 滤波器更加合适。

综上所述，我们选择方案二。

### 1.2 总体方案描述

首先对接受模拟信号进行采样率为 80MHz 的 A/D 采样，由于我们所使用 FPGA 开发板上的 ADC 模块型号为 AN9238，其最大采样率为 65MHz，所以我们通过等效采样的方法实现 80MHz 的采样，其具体原理如下：我们通过 40MHz 时钟控制，在其上升沿时采样 AD1 通道，在下降沿时采样 AD2 通道，最后通过 80MHz 的系统时钟将两路采样数据整合起来，实现 80MHz 采样效果。然后使用 DDS 信号发生器产生频率为 20MHz 的两路正交信号，与采样的数字信号分别相乘，将 10MHz-30MHz 范围的信号频谱搬移到 -10MHz-10MHz。再经过 FIR 低通滤波器并且两倍抽取，降采样到 40MHz。接着将信号进行 FFT 处理并取模，找到模值最大频率分量。以此最大频率分量作为参考设计 DDS 发生器，将信号频谱进一步搬移至零频，得到基带信号。接着经过 CIC 滤波器，将采样率降至 2MHz。对调幅信号的基带信号进行求模，得到包络，按照公式进行

计算即可得到幅度调制度。对调频信号的基带信号进行共轭相乘后，再经过反正切函数取出其相位并得到最大频偏，对反正切函数后的信号进行 FFT，得到调制频率，两者相除即可得到频率调制度。

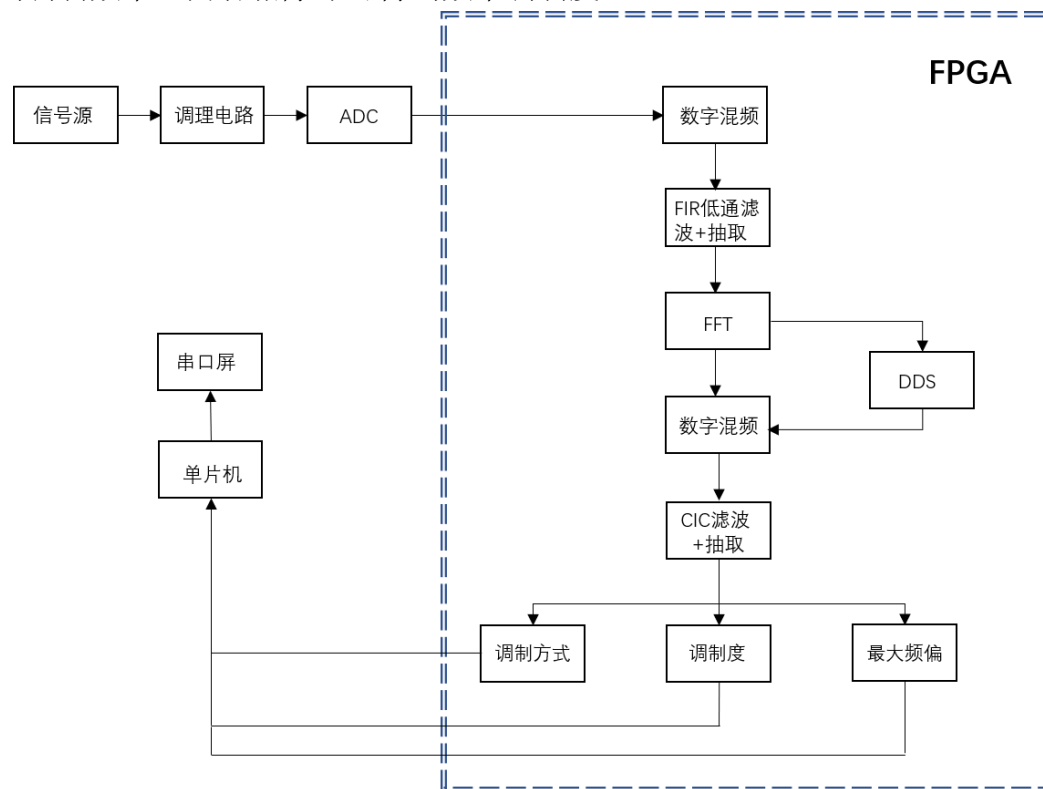


图 1-1 总体方案框图

## 二、理论分析与计算

### 2.1 数字正交下变频分析

以 FM 调制信号为例，设经过调理电路的调制信号为  $f_{FM}(t) = U_m \cos(\omega_c t + m_f \sin \omega_m t)$ ，其经过 A/D 采样后数字信号为  $f_{FM}(nT_s) = U_m \cos(\omega_c nT_s + m_f \sin \omega_m nT_s)$ ，其中  $T_s$  为采样周期。与 DDS 信号发生器产生的 20MHz 正交信号相乘，两信号分别为  $\cos \omega_0 nT_s$  和  $\sin \omega_0 nT_s$ （本题中  $\omega_0$  设置为 20MHz）。相乘后输出 I、Q 两路信号，并经过 FIR 低通滤波器。可得  $I = A_I \cos((\omega_c - \omega_0)t + m_f \sin \omega_m t)$ ， $Q = A_Q \sin((\omega_c - \omega_0)t + m_f \sin \omega_m t)$ 。最后对 I、Q 两路进行复数 FFT 分析，得到幅值最大的频率分量  $\omega_{\max}$ ，以此频率分量参考设计 DDS 数字信号发生器，将频谱搬移至零频。频谱搬移过程如下图所示：

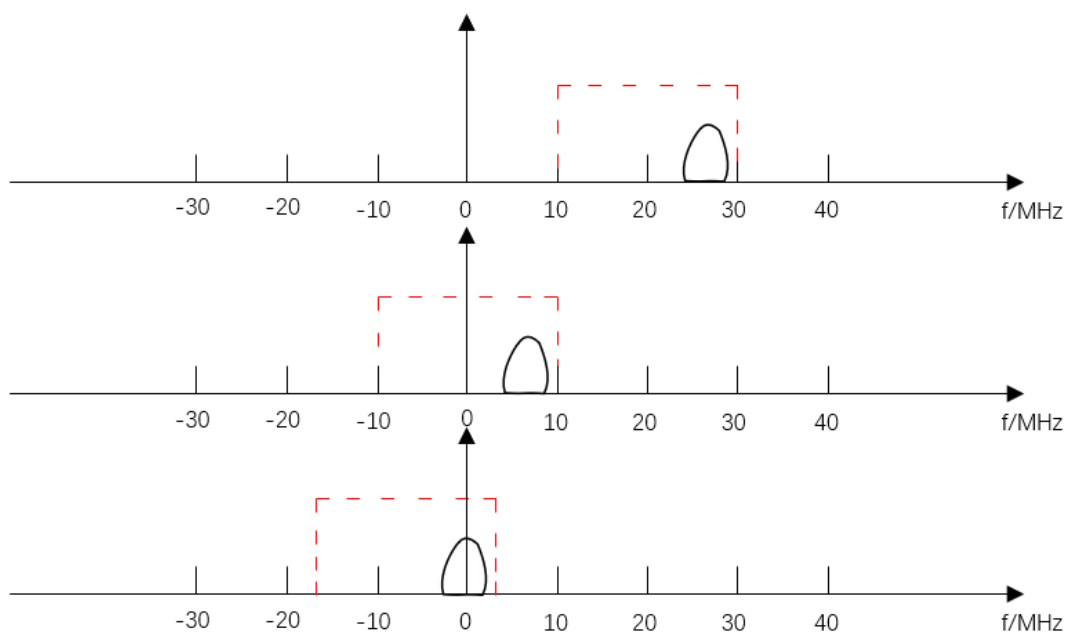


图 2-1 数字正交下变频示意图

## 2.2 调制信号分析与调制度计算

### ① AM 调制：

设调制信号为  $s(t) = A_s \cos \omega_s t$ ，载波信号为  $U_c \cos \omega_c t$ ，幅度调制度为  $m_a$ ，则 AM 调制的已调信号为  $f_{AM}(t) = U_m (1 + A_s \cos \omega_s t) \cos \omega_c t$ 。由学习所得知识可以知道  $m_a = A_s/2$ ，而  $f_{AM \max} = U_m (1 + A_s)$ ， $f_{AM \min} = U_m (1 - A_s)$ 。所以  $A_s = (f_{AM \max} - f_{AM \min}) / (f_{AM \max} + f_{AM \min})$ ，由此可以计算出幅度调制度  $m_a$ ，一般情况下的 AM 调制信号的波形如下图所示：

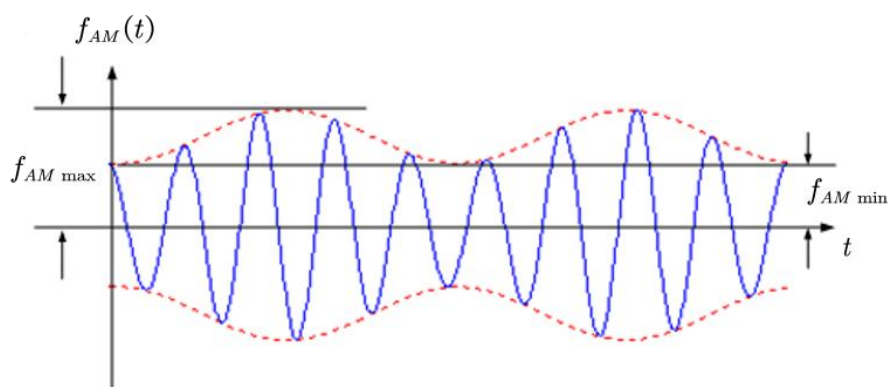


图 2-2 AM 调制波形图

### ② FM 调制：

FM 调制是通过载波信号频率的变化来表示基带信号，基带信号的幅度与 FM 调制信号的瞬时角频偏呈线性关系。因此，若基带信号为  $m(t)$ ，

则顺时角频率偏移 $d\varphi(t)/dt = K_f m(t)$ ，其中 $K_f$ 为调频灵敏度。

若设 $m(t) = A_m \cos \omega_m t$ ,

则 $d\varphi(t)/dt = K_f A_m \cos \omega_m t$ ，最大角频偏即为 $K_f A_m$

$$\varphi(t) = K_f A_m \int \cos \omega_m t dt = (K_f A_m / \omega_m) \sin \omega_m t = m_f \sin \omega_m t$$

调频信号 $S_{FM}(t) = A \cos[\omega_c t + m_f \sin \omega_m t]$ ，调制度 $m_f = K_f A_m / \omega_m$ 。

在解调时 ADC 采样得到 FM 信号为 $S_{FM}[n] = A \cos[\omega_c n + k_f A_m \sum m[n]]$ ，经过数字下变频， $I[n] = A \cos[k_f A_m \sum m[n]]$ ， $Q[n] = A \sin[k_f A_m \sum m[n]]$ 。可以将 $Q[n]$ 除以 $I[n]$ 再做反正切，得到 $k_f A_m \sum m[n]$ ，再做差分解调出原信号。但是这样做会导致相位模糊，于是我们决定先做差分再做反正切。经过数字下变频后 $S'_{FM}[n] = I[n] + jQ[n] = A \cos[k_f A_m \sum m[n]] + jA \sin[k_f A_m \sum m[n]] = A e^{k_f A_m \sum m[n]}$ 。此时相位差分就可以用两信号共轭相乘实现， $S'_{FM}[n] * S'^{*}_{FM}[n-1] = A e^{k_f A_m \sum m[n]} * A e^{-k_f A_m \sum m[n-1]} = A^2 e^{k_f A_m m[n]}$ ，最后再做反正切即可得到调制信号。

### 三、电路与程序设计

#### 3.1 FPGA 处理系统框图

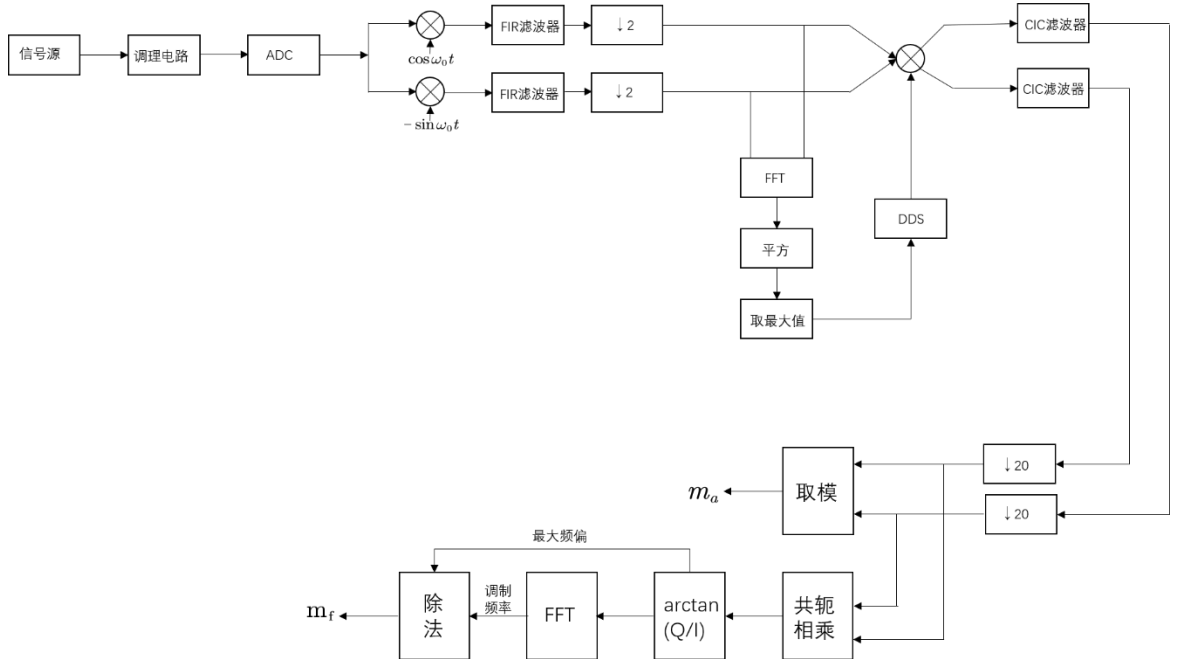


图 3-1 FPGA 处理流程图

### 3.2 系统软件设计

#### ①ADC 模块

ADC 模块采用 AN9238 芯片，AN9238 最大采样率为 65MHz，精度为 12 位。AN9238 的原理设计框图如下：

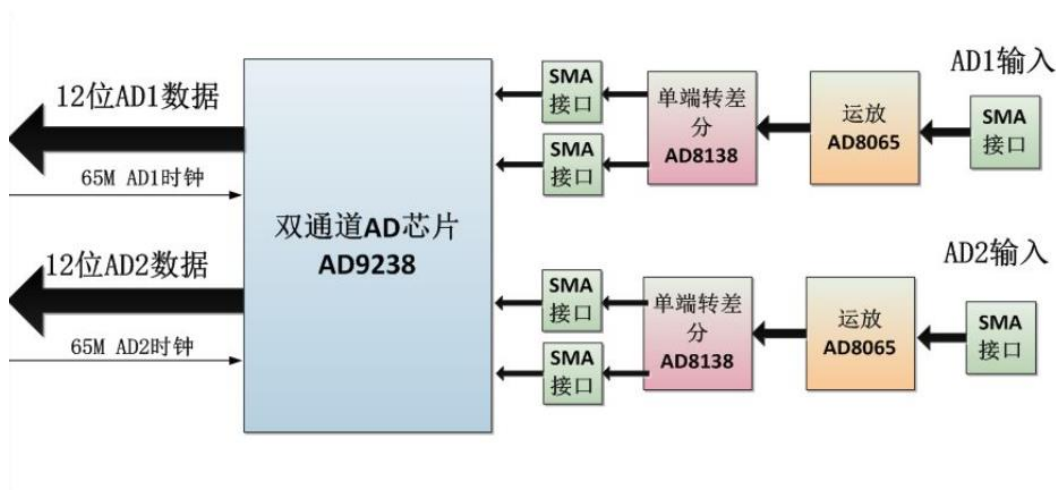


图 3-2 AD9238 原理框图

上述流程图是 AN9238 工作在 65MHz 时钟时的实际工作过程。本次比赛中，我们设置 AD1 时钟、AD2 时钟为 40MHz，使通道 AD1 在时钟上升沿采样，通道 AD2 在时钟下降沿采样，最后在 80MHz 系统时钟的作用下，将两次采样的数据拼在一起，实现 80MHz 的等效采样。设计过程如下：

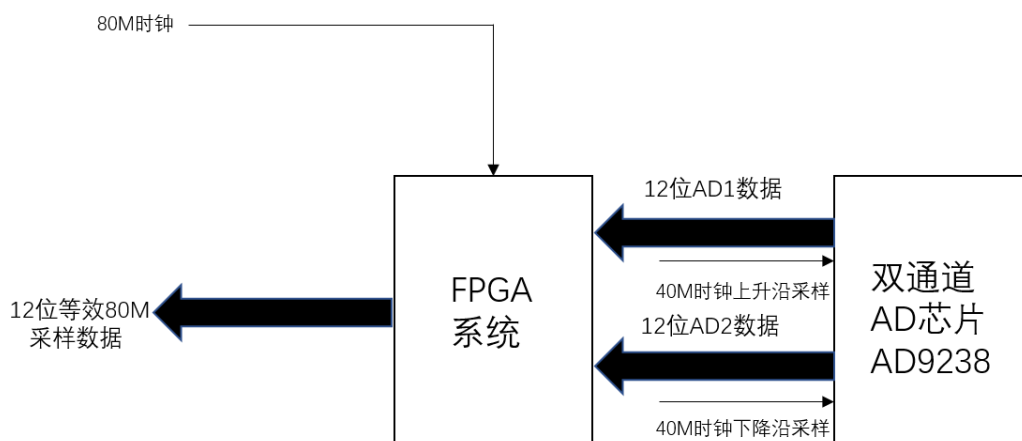


图 3-3 等效采样实现框图

#### ②数字正交下变频模块

根据数字正交下变频原理，通过 FPGA 对 ADC 采集的数据进行处理，将频谱搬移。利用 Vivado 中的 CORDIC、FIR FILTER 等 IP 核，可以较好的实现数字正交下变频的功能。

### ③ FFT 模块

将数字正交下变频并经过 FIR 低通滤波后的 I、Q 两路数据组成为复数后，直接调用 PL 端中的现成 FFT IP 核进行 1024 点 FFT 运算。将所得结果实部平方与虚部平方相加，得到最大值所对应的频率值，将最大频率值作为参考设计 DDS 信号发生器，以进行进一步的混频。

### ④ CIC 滤波器模块

CIC 滤波器不需要乘法运算，易于 FPGA 硬件实现。但单级 CIC 滤波器的第一旁瓣电平衰减固定为 13.46dB，且与滤波器的阶数无关。这个值不满足通常的阻带衰减要求，解决方法就是通过级联 CIC 滤波器来达到更大的阻带衰减。所以我们使用三级级联 CIC 滤波器。在本次比赛中，我们进行 20 倍抽取来使采样率从 40MHz 降为 2MHz，同时滤除高频信号。如果采样率较高的话，每个周期采样的点数较多，影响后续的 FFT 操作。级联 CIC 滤波器的流程图如下所示：

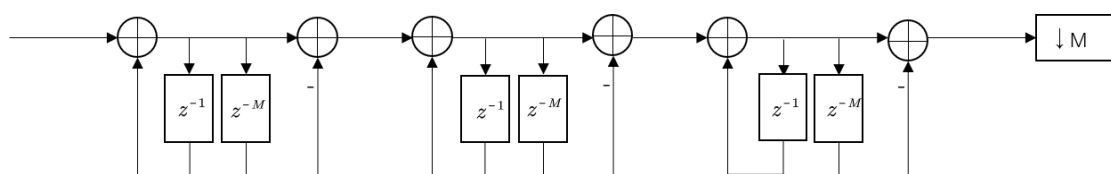


图 3-4 三级级联 CIC 滤波器流程图

### ⑤ 单片机与 FPGA、串口屏的通信

单片机与 FPGA 之间通过 USART 串口进行通信，波特率为 115200。单片机从 FPGA 收到信号的调制类型、调制度和最大频偏，并将调制度和最大频偏转换成浮点型。之后单片机也通过 USART 串口与串口屏进行通信，波特率为 115200，将转换后信号的调制类型、调制度和最大频偏发送到串口屏显示。

#### 四、测试方案与测试结果

测试时，我们点击串口屏上的“开始”，FPGA 就会对输入信号进行处理，并且每隔 2s 通过单片机发送一个结果显示在屏幕上。结束时点击屏幕上的“结束”即可停止测试。测试结果如下：

(1) 调制频率为 1kHz ~ 3kHz 的 AM 调制信号

载频/MHz	调制频率/kHz	实际调幅度	测试调幅度	调幅度误差
10	2	0.4	0.40	0
10	2	0.6	0.60	0

(2) 调制频率为 3kHz ~ 5kHz 的 FM 调制信号

载频/MHz	调制频率/kHz	实际调频度	测试调频度	调频度误差	实际最大频偏/kHz	测试最大频偏/kHz
10	4	1.5	1.73	0.23	6	7.01
10	4	2.5	2.77	0.27	10	11.65

(3) 调制频率为 5kHz ~ 10kHz 的已调波信号（AM 或者 FM）或未调制信号

载频/MHz	调制频率/kHz	实际调制方式	显示调制方式	实际调制度	测试调制度	调制度误差	实际最大频偏/kHz	测试最大频偏/kHz
25	8	AM	AM	0.4	0.40	0	\	\
25	8	AM	AM	0.6	0.60	0	\	\
25	8	FM	FM	3	3.21	0.21	24	25.87
25	8	FM	FM	5	5.19	0.19	40	41.58
25	8	未调制	未调制	\	\	\	\	\
15	6	AM	AM	0.5	0.50	0	\	\
15	6	FM	FM	4	4.25	0.25	24	25.06
15	6	未调制	未调制	\	\	\	\	\

上述测试输入信号均满足任务要求，且进行了多次测量，结果都较好，能够满足题目的误差要求，且解调出的波形无明显失真。