

信号调制度测量装置

摘要：调制度测量可采用模拟的方法，该技术传统但技术落后，本次使用使用数字信号处理技术，并利用 FPGA 来实现。该装置调用 FPGA 的 IP 核，利用 ADC 模块进行采样，下变频。采用 FFT 对采样信号进行频谱分析，抽取并进行检波和鉴频，算出调幅度和调频度，输出解调信号，并显示调幅度，调频度以及调幅方式。

关键词：ADC, DDS, LPF, FFT, 求模，调幅度，调频度

1. 设计方案工作原理

1.1 预期目标与系统原理

调制度是已调波的一个重要参数，反映了载波的幅度、频率或相位受低频调制信号控制的程度。

本系统期望实现处理 10Mhz 到 30Mhz 的已调信号，并将调制度和调制方式显示在屏幕上。

该测量装置的原理是利用 FFT 进行频谱分析调制信号，包络检波，并分析调制方式，算出调幅度和调频度以及最大频偏。已调波的最大或最小瞬时振幅与调幅期间载波振幅的差值，与调幅期间载波振幅之比，即为调幅度

$$m_a = \frac{I_{max} - I_0}{I_0} = \frac{I_0 - I_{min}}{I_0} = \frac{I_F}{I_0} \quad (\text{本系统要求 } 0.2 < m_a \leq 1)$$

设测量时间内最大载波振幅 U_{max} , 最小载波振幅 U_{min} 则测量时间内的调幅度为

$$m_a = \frac{U_{max} - U_{min}}{U_{max} + U_{min}}$$

调频波参数的测量，主要是指最大频偏 Δf_{\max} 及调频系数 m_f 的测量。

设载波信号为： $u_a(t) = U_a \sin \alpha t$

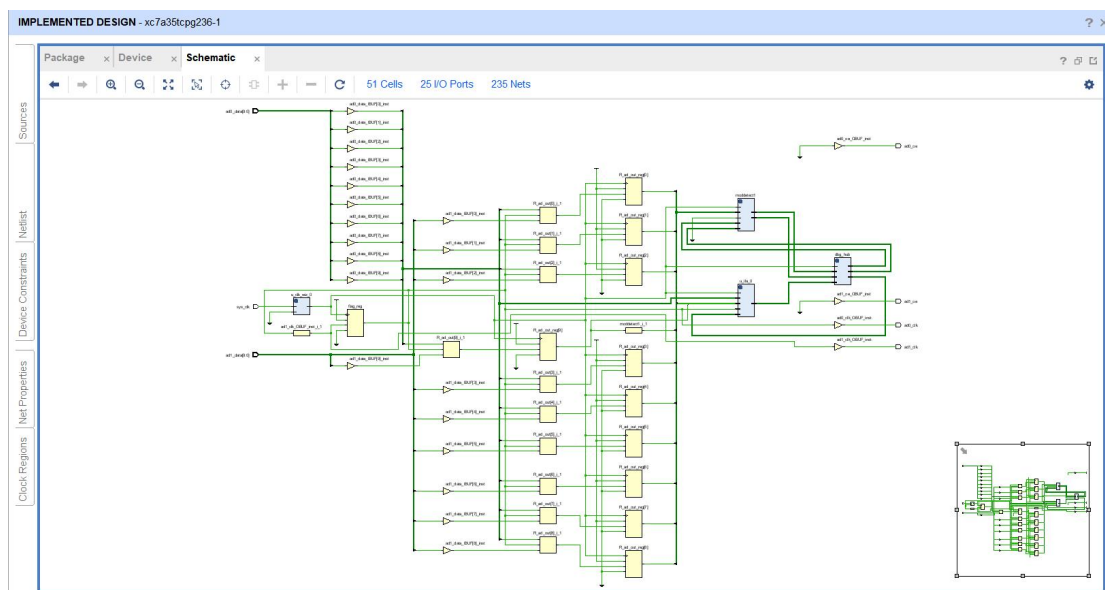
调制信号为： $u_\Omega = U_\Omega \sin \Omega t$

则调频信号表示为

$$u_{fm}(t) = U_a \sin\left(\alpha t + \frac{\Delta \alpha}{\Omega} \cos \Omega t\right) = U_a \sin(\alpha t + m_f \cos \Omega t)$$

$m_f = \Delta \alpha / \Omega = \Delta f / F$ 称为调频系数，式中 $\Delta \alpha$ 为调频信号的最大角频率偏移， $\Delta \alpha = 2\pi \Delta f$ ， Δf 称为调频信号的最大频偏， F 为调制信号的频率。

（下图为 basys3 内部电路图）



1.2 技术方案分析比较

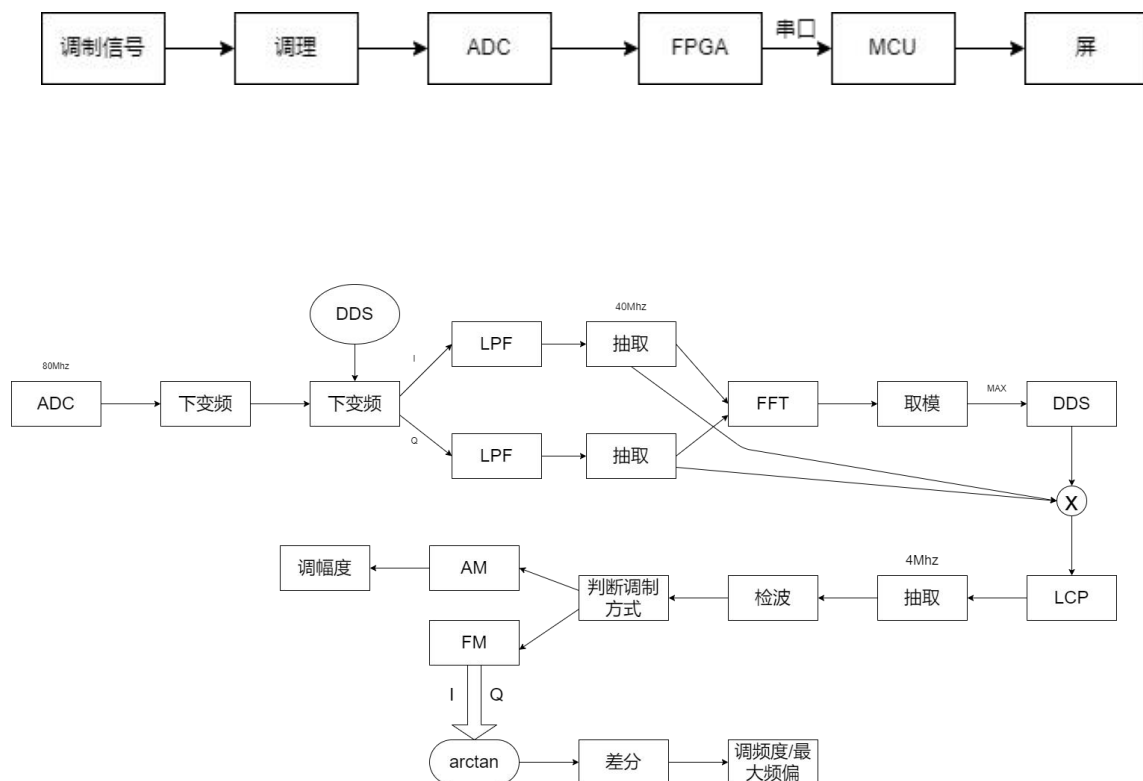
本次实验方向选择：stm32，DSP 和 FPGA。

此次使用的是基于 Xilinx Artix-7 FPGA 芯片 XC7A35T-1CPG236C 搭建的 Basys3。

stm32 单片机的 ADC 的输入时钟不得超过 14MHz, 转换时最快为 1us, 超过 14MH 就会损失采样精度, 而使用的 FPGA 高速双路 AD 模块输入的时钟最大频率为 50MHz, 精度相比更高。同时 FPGA 利用硬件并行的优势, 打破了顺序执行的模式, 在每个时钟周期内完成更多的处理任务, 超越了数字信号处理器 (DSP) 的运算能力, 而且 FPGA 不使用操作系统, 拥有真正的并行执行和专注于每一项任务的确定性硬件, 可减少稳定性方面出现问题的可能。

2. 系统软件设计分析

2.1 总工作设计流程



2.2 主要模块程序设计描述

(1) 高速 ADC 模块

高速双路 AD 模块同时采集两路外部模拟信号，在模块内部实现模数转换，将转换后的数字信号传给 FPGA 管脚，FPGA 内部逻辑分析仪通过抓取数据将外部的模型信号呈现出来。

此次采样频率 80Mhz, 通过抽取后，采样频率降至 40MHZ

(2) 下变频 DDC 模块

在接收机中，如果经过混频后得到的中频信号比原始信号低，那么此种混频方式叫做下变频。下变频的目的是为了降低信号的载波频率或是直接去除载波频率得到基带信号。

此次的调制信号载波频率过大，需要降低频率调至中频。下变频的方法是将接收信号与本地振荡器产生的本振信号相乘，然后通过低通滤波器获得变频后的信号。两个相乘信号通过实数或复数表示可以分为实混频和复混频。

(3) FFT 模块

FFT 的基本思想是把原始的 N 点序列，依次分解成一系列的短序列。

若信号本身是有限长的序列，计算序列的频谱就是直接对序列进行 FFT 运算求得 $X(k)$ ， $X(k)$ 就代表了序列在 $[0, 2\pi]$ 之间的频谱值。根据 FFT 结果的实部虚部，计算得到每个点对应的模值：

$$|X(k)| = \sqrt{X_R(k)^2 + X_I(k)^2}$$

为确定基波频率，利用排序算法对模值序列进行排序，得到排除直流后的最大值索引。得到最大值索引后，利用如下公式恢复基波频率 F：

$$F = n \cdot F_s / N$$

其中， F_s 为采样频率，N 为 FFT 点数。

(4) DDS 模块

直接数字频率合成器(DDS)是一种把数字信号通过 D/A 转换成模拟信号的数字合成技术。通过 FPGA 控制 DDS 产生线性调频信号及跳频信号。DDS 系统主要有相位累加器、波形存储器、数模(D/A)转换器和低通滤波器等四大结构组成。此次只通过改变频率控制字来达到控制波形频率的目的。

(5) 包络检波

从调幅信号中将低频信号解调出来的过程,就叫做包络检波。

此次包络检波基于 FPGA cordis ip 核,包络检波常用的方法是采用二极管进行单向过滤后再进行低通滤波。没有二极管而直接进行低通滤波的话,会使正、负包络线抵消,从而检不出低频信号。

FPGA 设计中也可以使用 CORDIC 算法来实现 \arctan 。

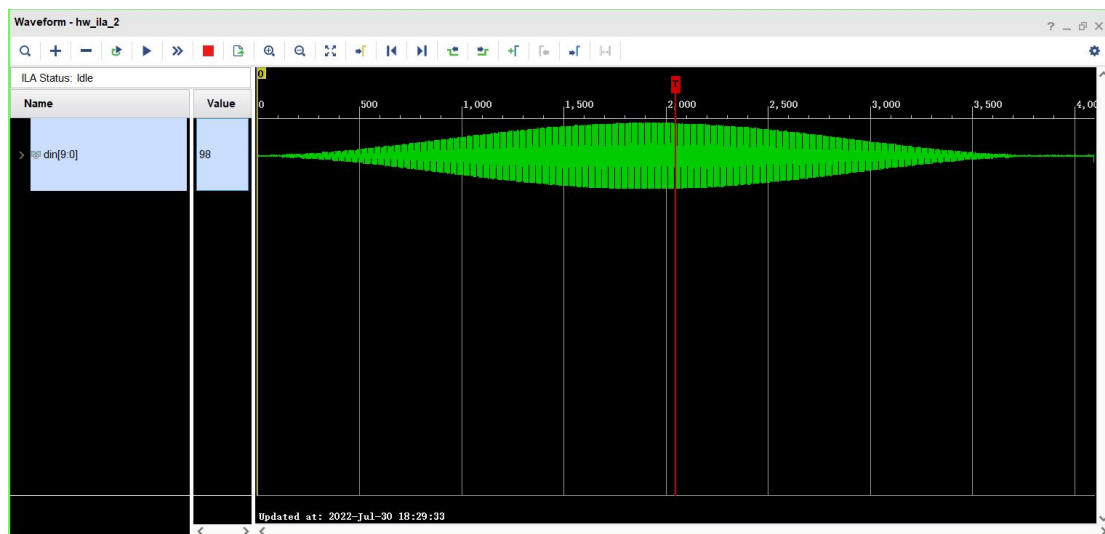
3. 作品成效及总结分析

信号调制度装置的测试步骤:

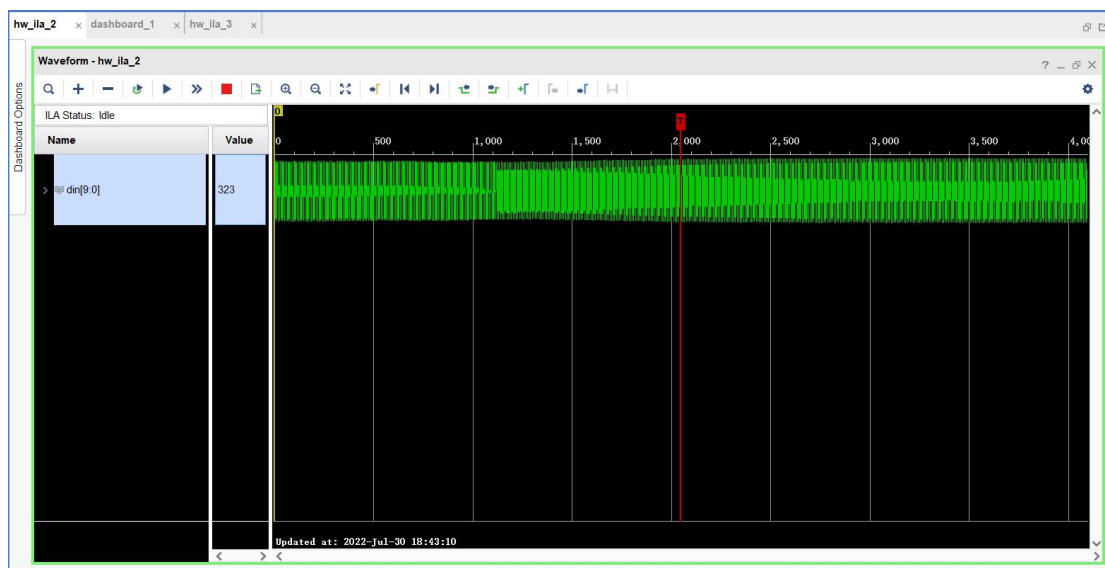
(1)设置信号发生器,使其输出经过 AM 调制的已调信号,要求载波频率为 10MHZ,调制信号为 1-3kHz 的正弦波,电压 $V_{PP}=100\text{mv}$,信号接入信号调制度测量装置,测出该信号下的调幅度,同时显示调幅度,调频度,最大频偏,调制方式。

(2)设置信号发生器,使其输出经过 FM 调制的已调信号,要求载波频率为 10MHZ,调制信号为 3-5kHz 的正弦波,电压 $V_{PP}=100\text{mv}$,信号接入信号调制度测量装置,测出该信号下的调幅度,同时显示调幅度,调频度,最大频偏,调制方式。

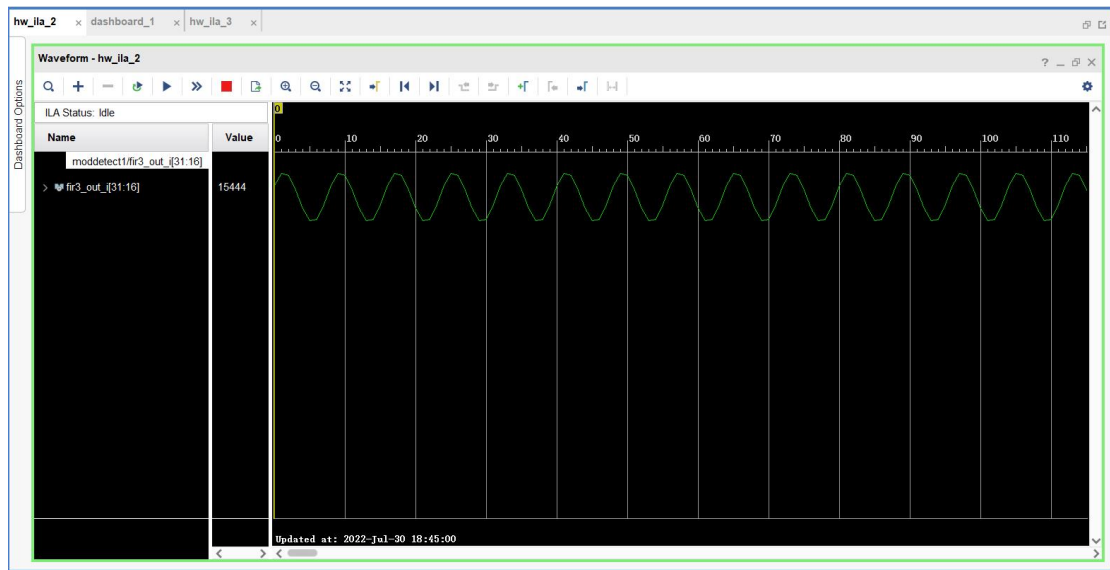
(3)被测信号电压 $v_{pp}=100\text{mv}$,其载频范围为 10MHz-30MHz(频率步进间隔 0.5MHz)调制信号频率范围为 5-10kHz,(频率步进间隔 1kHz),信号接入信号调制度测量装置,测出该信号下的调幅度,同时显示调幅度,调频度,最大频偏,调制方式。



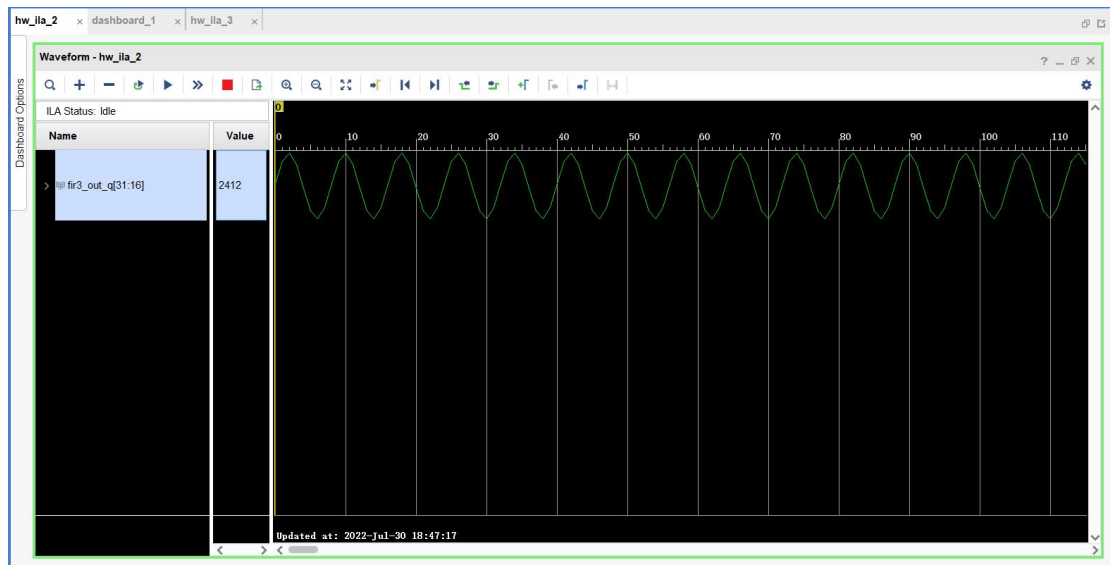
上图为在 Vivado 的 ILA 窗口观察到的正弦波调幅时域波形



上图为在 Vivado 的 ILA 窗口观察到的正弦波调频时域波形



调幅信号的解调波形结果



调频信号的解调波形结果

当被测信号为调幅波时的测量结果（载波信号峰峰值为 2V，调制信号频率为 2kHz）

参数	Value
载波频率（MHz）	10
调幅度理论值	0.6
调幅度测量值	0.62
测量误差绝对值	0.02

参数	Value
载波频率（MHz）	20
调幅度理论值	0.7

调幅度测量值	0.61
测量误差绝对值	0.09
参数	Value
载波频率 (MHz)	30
调幅度理论值	0.4
调幅度测量值	0.52
测量误差绝对值	0.12

当被测信号为调频波时的测量结果（载波信号峰峰值为 2V，调制信号频率为 4kHz）

参数	Value
载波频率 (MHz)	10
调频度理论值	2
调频度测量值	2.89
最大频偏 (kHz)	22.4
调频度测量误差绝对值	0.11

参数	Value
载波频率 (MHz)	10
调频度理论值	4
调频度测量值	3.82
最大频偏 (kHz)	37.4
调频度测量误差绝对值	0.18

参数	Value
载波频率 (MHz)	10
调频度理论值	6
调频度测量值	5.64
最大频偏 (kHz)	53.1
调频度测量误差绝对值	0.36

从实验结果来看，本次实验误差较小，说明所采用的 FPGA 系统可以较好地实现题目所述的要求。并且解调出的波形无明显失真。总体来看所选择的方案与参数也比较符合题目要求。

4. 参考资料及文献

- [1] 数字信号处理/[美]M. H. 海因斯著；张建华等译. -北京：科学出版社. 2002
- [2] 钱玲. 数字信号处理[M]. 北京：电子工业出版社，2018
- [3] (美) 贝耶尔. 数字信号处理的 FPGA 实现（第 3 版）[M]. 北京：清华大学出版社