

电子科技大学
UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA

硕士学位论文

MASTER THESIS



论文题目 大动态脉冲数字 AGC 研究与设计

学科专业 电路与系统

学 号 201721020113

作者姓名 蒋茂霞

指导教师 杨涛 教 授

分类号 _____ 密级 _____

UDC ^{注 1} _____

学 位 论 文

大动态脉冲数字 AGC 研究与设计

(题名和副题名)

蒋茂霞

(作者姓名)

指导教师 杨 涛 教 授

电子科技大学 成 都

(姓名、职称、单位名称)

申请学位级别 硕士 学科专业 电路与系统

提交论文日期 2020.5.9 论文答辩日期 2020.5.22

学位授予单位和日期 电子科技大学 2020 年 6 月

答辩委员会主席 _____

评阅人 _____

注 1: 注明《国际十进分类法 UDC》的类号。

Research and Design of Digital AGC Based on Large Dynamic Radar Pulse

A Master Thesis Submitted to
University of Electronic Science and Technology of China

Discipline: **Circuits and Systems**

Author: **Maoxia Jiang**

Supervisor: **Prof. Tao Yang**

School: **School of Elecectonic Science and Engineering**

独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

作者签名： 蒋茂霞

日期：2020年05月27日

论文使用授权

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后应遵守此规定）

作者签名： 蒋茂霞

导师签名： 杨清

日期：2020年05月27日

摘 要

近几年来,随着通信环境日益复杂化,脉冲雷达信号衰落加剧。这对雷达接收机的自动增益控制(AGC)模块的高灵敏度、高精度、快速响应时间提出了更高的要求。相比传统的模拟自动增益控制,数字 AGC 系统的应用更加广泛。本文基于数字 AGC 系统结构的研究分析与对比,设计了一款基于 FPGA 的大动态范围,快速锁定的数字 AGC 系统,该结构实现简单、体积较小、灵活性高。本文主要工作内容和创新点总结如下:

(1) 本文给出了数字 AGC 系统的硬件设计结构。对现有的数字 AGC 系统拓扑结构以及主要电路单元类型进行分析比较,指出了开环前馈和闭环反馈结构的优缺点,引入了结合前馈和反馈优点的数据采样反馈 AGC 系统结构实现 1.9 GHz 脉冲雷达信号 63 dB 的动态调节范围。其中可变增益放大器模块选择线性度高、增益控制精确、工作带宽大的可变衰减器级联固定增益放大器结构,其中衰减量由数字信号直接控制,因此环路结构简洁;检波器线性范围高达 74 dB;ADC 转换器采样率达到 125 MSPS,能够实现 200 ns 窄脉冲信号的自动增益控制;为了实现输出快速锁定,增益调整算法控制模块选择 FPGA 芯片。最后完成了整个数字自动增益控制系统的电路设计与加工。

(2) 本文给出了基于 FPGA 实现数字 AGC 增益快速调整的设计。基于 Simulink 对二分法和查找表两种数字 AGC 增益调整算法进行了仿真分析,指出了两种算法的优缺点。针对脉冲信号峰值变化大导致检波器输入信号处于非线性区域的问题,本文对采样数据进行分段处理。当检波器输入功率处于非线性区域时,首先将功率调节到线性区域,然后根据 ADC 采样数据对应查找表输出增益调整量,从而实现输出功率在两个脉冲内快速锁定。在增益调整模块运作时,PC 端通过串口通信方式实时监测链路增益。整个逻辑设计基于 Modelsim 工具进行前仿真,从而验证了 FPGA 逻辑设计的正确性与合理性。

(3) 本文搭建了基于数字 AGC 系统的实验测试平台进行测试。经过测试结果表明,该数字 AGC 系统结构适用于脉冲雷达系统,具有 -51 dBm~11 dBm 的输入动态范围,±0.25 dB 的步进精度以及 6.35 us 的环路建立时间,满足设计要求和性能指标。

关键词: 数字 AGC, 大动态, FPGA, 增益调整算法, 查找表

ABSTRACT

In recent years, with the processing of the communication environment, the power of pulse radar signal fading becomes more and more serious, which has put forward higher requirements for the high sensitivity, high accuracy, and fast response time of the automatic gain (AGC) module of the radar receiver. Compared with the traditional analog automatic gain control, the digital AGC system is more widely used in the receiver. In this thesis, based on the analysis and comparison of digital AGC system structure, a digital AGC system with large dynamic range and fast lock based on FPGA is proposed, which is easy, small and highly flexible. The main work and innovations are concluded below.

1. In this thesis, the hardware structure of the digital AGC system is designed. According to the comparison of the existing digital AGC system topology and main circuit unit types, the advantages and disadvantages between open-loop feedforward and closed-loop feedback structure are pointed out, and the data sampling feedback AGC system structure combining the advantages of feedforward and feedback is introduced to realize a 63 dB dynamic adjustment range of 1.9 GHz narrow pulse radar signal. The variable gain amplifier module is composed of variable attenuator cascaded fixed gain amplifier with high linearity, accurate gain control, and large operating bandwidth. The attenuation of the structure are controlled by digital bits, which makes the loop structure simple. The linear range of Detector HMC601 is 74 dB. The sampling rate of ADC converter reaches 125 MSPS, which can be used to realize the automatic gain control of 200 ns narrow pulse signal. In order to achieve fast setting up of loop, the gain adjustment algorithm is implemented by FPGA chip. Finally, the circuit design and processing of the whole digital automatic gain control system are completed.

2. In this thesis, the logic design based on FPGA for digital AGC gain adjustment is given. The two digital AGC gain adjustment algorithms of dichotomy and lookup table are simulated and analyzed in the simulink, and the advantages and disadvantages of the two algorithms are pointed out. In order to solve the problem that the input signal of the detector is in a non-linear region due to the large change in the peak value of the pulse signal, this thesis performs segmentation processing on the sampled data. When the input power of the detector is in the nonlinear region, the input power is adjusted to

the linear region first, then the gain adjustment is given according to the look-up table corresponding to the ADC sampling data, so that the output power is quickly locked within two pulses. The PC can monitor the gain of RF link in real time through serial communication. The entire logic design is simulated by using Modelsim tool to verify the correctness and rationality of FPGA logic design.

3. The experimental test platform based on digital AGC system is built for testing, in this thesis. The analysis of test results shows that the digital AGC system is suitable for pulse radar systems, with a dynamic range of -51 dBm to 11 dBm, a step accuracy of ± 0.25 dB, and a fast loop settling time of 6.35 μ s, which meets design requirements and performance indicators.

Keywords: digital AGC, big dynamics, FPGA, gain adjustment algorithm, lookup table

目 录

| | |
|------------------------------|----|
| 第一章 绪论 | 1 |
| 1.1 研究背景与意义 | 1 |
| 1.2 国内外研究历史与现状 | 2 |
| 1.2.1 国外研究现状 | 2 |
| 1.2.2 国内研究现状 | 3 |
| 1.3 本文主要工作和结构安排 | 4 |
| 第二章 脉冲信号数字 AGC 系统技术研究 | 5 |
| 2.1 脉冲雷达信号基本原理 | 5 |
| 2.2 AGC 系统结构类型 | 6 |
| 2.2.1 模拟与数字 AGC 电路结构 | 6 |
| 2.2.2 AGC 系统反馈类型 | 8 |
| 2.3 数字 AGC 系统主要电路单元 | 9 |
| 2.3.1 信号功率检波器 | 9 |
| 2.3.2 数字控制可变增益放大器 | 11 |
| 2.3.2.1 基于可变电阻反馈的 VGA | 11 |
| 2.3.2.2 可变衰减网络 VGA | 13 |
| 2.3.3 ADC 采样模块 | 14 |
| 2.4 数字 AGC 系统控制算法 | 16 |
| 2.4.1 二分法 | 16 |
| 2.4.2 迭代法与查找表法 | 18 |
| 2.5 数字 AGC 系统性能指标参数 | 20 |
| 2.5.1 动态范围 | 21 |
| 2.5.2 回路建立时间 | 22 |
| 2.5.3 AGC 系统噪声系数 | 22 |
| 2.5.4 AGC 系统线性度 | 23 |
| 2.6 本章小结 | 24 |
| 第三章 大动态数字 AGC 系统硬件结构设计 | 25 |
| 3.1 数字 AGC 系统方案选择与整体结构 | 25 |
| 3.1.1 基于 AVGA 模块结构 | 25 |
| 3.1.2 基于 DVGA 模块结构 | 26 |

| | |
|---------------------------|----|
| 3.1.3 数字 AGC 系统结构框架 | 27 |
| 3.1.3.1 增益分配 | 27 |
| 3.1.3.2 系统框架结构 | 27 |
| 3.2 FPGA 模块硬件设计 | 28 |
| 3.2.1 程序配置模块设计 | 29 |
| 3.2.2 串口模块设计 | 30 |
| 3.2.3 电源模块划分 | 31 |
| 3.3 可变增益放大器模块硬件设计 | 32 |
| 3.3.1 数字可变衰减器模块 | 32 |
| 3.3.2 固定增益放大器模块 | 33 |
| 3.3.3 功分器 | 34 |
| 3.4 功率检波器模块硬件设计 | 34 |
| 3.5 ADC 采样模块硬件设计 | 36 |
| 3.5.1 ADC 基准电源设置 | 37 |
| 3.5.2 ADC 模拟信号输入设计 | 37 |
| 3.5.3 ADC 采样时钟输入设计 | 39 |
| 3.6 AGC 系统电源模块设计 | 40 |
| 3.7 PCB 布局布线 | 41 |
| 3.7.1 传输线 50 欧姆匹配 | 42 |
| 3.7.2 PCB 布局布线规则 | 42 |
| 3.8 本章小结 | 43 |
| 第四章 数字 AGC 系统逻辑设计 | 44 |
| 4.1 FPGA 片内逻辑总体结构设计 | 44 |
| 4.1.1 FPGA 开发流程及原则 | 44 |
| 4.1.2 FPGA 开发工具介绍 | 45 |
| 4.1.3 FPGA 总体结构设计 | 46 |
| 4.1.3.1 FPGA 总体结构设计 | 46 |
| 4.1.3.2 FPGA 设计实现指标 | 46 |
| 4.2 增益调整模块 | 47 |
| 4.2.1 增益调整算法原理 | 47 |
| 4.2.1.1 ADC 采样数据时序 | 47 |
| 4.2.1.2 查找表法 | 48 |
| 4.2.2 增益调整模块设计 | 49 |

| | |
|----------------------------|----|
| 4.2.3 增益调整算法仿真 | 50 |
| 4.3 SPI 通信模块 | 52 |
| 4.3.1 SPI 通信模块设计 | 53 |
| 4.3.2 SPI 通信模块仿真 | 54 |
| 4.4 串口通信模块..... | 56 |
| 4.4.1 串口通信设计 | 56 |
| 4.4.2 串口通信模块仿真 | 58 |
| 4.5 主控程序模块..... | 59 |
| 4.5.1 主控程序模块设计 | 60 |
| 4.5.2 主控程序模块仿真 | 60 |
| 4.6 布局布线..... | 61 |
| 4.7 本章小结..... | 62 |
| 第五章 数字 AGC 系统实物测试与分析 | 63 |
| 5.1 数字 AGC 系统测试平台..... | 63 |
| 5.2 功率检波器测试..... | 64 |
| 5.3 放大器实际增益测试..... | 65 |
| 5.4 数字 AGC 系统输入输出测试..... | 65 |
| 5.4.1 连续波输出测试 | 65 |
| 5.4.2 脉冲信号输出测试 | 69 |
| 5.4.3 AGC 系统输出锁定时间 | 70 |
| 5.5 本章小结..... | 70 |
| 第六章 总结与展望 | 71 |
| 6.1 总结..... | 71 |
| 6.2 展望..... | 72 |
| 致 谢 | 73 |
| 参考文献 | 74 |
| 攻读硕士学位期间取得的成果 | 77 |

第一章 绪论

1.1 研究背景与意义

第一次世界大战军用飞机的出现，迫使科学家们开始研发飞行器定位系统。直到 1935 年，英国著名的物理学家沃特森·瓦特发明了一台不仅能发射无线电波还能接收无线电波的设备，由此世界上第一台雷达设备产生^[1]。根据发射信号的形式不同可以分为连续波雷达，脉冲雷达，调频连续波雷达，相控阵雷达等。其中脉冲雷达广泛应用于目标识别、火箭与卫星的跟踪、武器火力控制、弹道导弹的预警与跟踪、导航等领域^[2]。

脉冲雷达接收机大多采用单个天线完成信号收发^[3]，当脉冲信号发射完成后，天线进入接收回波状态，因此采用这种收发方式能够避免功率耦合问题。脉冲雷达接收机的收发前端采用收发开关，可以有效的隔离收发通道，防止接收通道泄露发射信号。但是脉冲雷达信号在传播过程中信号强度变化范围较大，其主要影响原因是：

1、由于目标距离的不确定性或者目标在快速移动的情况下，反射回的电磁波信号功率变化很大。

2、无线电波在传播路径上会受到高山、楼宇、电离层以及大雾天等复杂环境的吸收、反射、散射等影响，甚至传输时出现多路径传输导致到达雷达接收机信号微弱。并且在不同时刻传输信道都是动态变化的^[3]。

3、战场上各种通信设备以及民用电子设备的电磁干扰^[5]。

雷达信号强度的过大或者过小，都会导致接收机无法正常工作，因此为了接收机后端信号处理模块能够进行正常工作，自动增益控制(AGC)模块在接收机结构中是不可或缺的一部分，如图 1-1 所示。自动增益控制系统根据接收信号幅度，调整接收机增益使得输出功率匹配后级电路^[6]，避免了因为接收信号功率太大导致信号失真和功率太小导致信号丢失的情况，所以 AGC 系统的可控动态范围决定着整个接收机的动态范围。

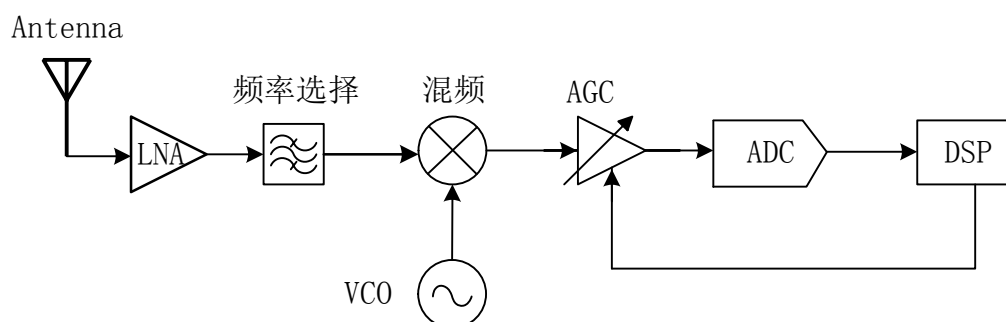


图 1-1 接收机系统基本结构图

在 AGC 系统中, 回路建立时间也是 AGC 系统的一个重要指标^[7]。如果 AGC 系统回路建立时间周期较长会导致系统响应太慢跟不上信号的变化, 最终导致自动增益控制系统输出功率锁定失败。在脉冲雷达接收机中, 脉冲信号脉宽越窄以及脉冲信号最大不模糊距离越小对环路建立时间的要求会更加苛刻。

1.2 国内外研究历史与现状

目前国内外针对自动增益控制系统大动态范围, 快速响应以及高精度性能需求, 主要研究方向在高性能的 AGC 系统的结构, 增益调整算法以及可变增益放大器和检波器的设计等方面。

1.2.1 国外研究现状

上世纪六七十年代, 国外就开始对数字 AGC 系统进行研究, 美国 DENNIS R.MORGAN 首先利用内置自动增益控制功能的数字信号处理技术, 提出了一种具有一定性能的“几何反馈”算法。针对线性几何反馈的特殊情况, 导出了响应的一个简单解析解, 但只是局限于模数转换过程^[7]; T. J. Shan 和 T. Kailath 提出了一种基于 AGC 系统的自适应增益控制算法, 该算法利用输入信号和自适应误差信号之间的相互关系来估计和控制自适应算法的增益, 有效地优化了 AGC 的自适应算法^[9]; 1993 年美国 Eugenio J. Tacconi 和 Carlos F. Christiansen 研究了宽动态范围, 快速锁定的 AGC 系统^[10]; John M. Khoury 提出了一种在 AGC 电路中不需要指数增益控制特性的 VGA 而获得恒定增益锁定时间的通用方法, 该方法适用于任意单调非线性函数的变增益放大器增益控制特性。最后通过仿真和测试证明了该方法的合理性^[11]。Utter A, Ouchi S 和 Harris D M 对多通道 AGC 技术进行了研究, 在多通道接收机中的每一个通道都添加固定增益放大器, 每个通道的输出信号再通过相应的控制进行加法从而完成增益控制^[12]。2017 年, Daher A W, Haidar A M, Osman Z A 等人提出了一种适用于实现函数发生器并且具有偏移稳定性的 AGC 系统模型, 该结构模型可以控制信号的幅度以及偏移量^[13]。

由于早期雷达接收机的处理信号频率较低, 对于系统的集成度要求没有那么苛刻, 因此对于数字可控增益放大器的各方面性能要求并不高。1994 年, Peter Kreuzgruber 设计了一款工作带宽为 500 kHz 的二进制频率调制直接混频接收机芯片^[14], 在 AGC 回路结构选用分级可控放大器结构, 其中选用了四级放大器实现 6 dB 到 36 dB 的增益范围, 但是该结构的缺点是步进精度低, 面积大和功耗大, 这些缺点不利于实现高集成度、高精度、大动态; 2014 年, Onet R, Neag M 在多制式接收机系统中使用可变跨导的结构^[15], 该结构实现 -5.5 dB 到 28 dB 动态增益范

围。该结构能够有效提高系统工作的稳定性,但是调节增益是通过改变跨导进行增益粗调导致精度不高。国外可变增益放大器的主要生产厂商有美国微芯 Microchip 公司生产的 MCP6S21、MCP6S22、MCP6S26、MCP6S28 系列,以及美国模拟仪器公司 Analog Devices 生产的 AD8321。

1.2.2 国内研究现状

国内对接收机自动增益控制的研究,早期是基于国外的可变增益放大器芯片对 AGC 系统结构以及算法进行研究设计。国内对大动态雷达接收机数字 AGC 的研究起步较晚,主要研究方向集中在数字 AGC 环路的结构以及算法方面。在上世纪 90 年代,樊世斌在《脉冲信号数字 AGC 方法》文章中针对脉冲数字 AGC 提出了增益表法和电压窗口技术跟踪法初步实现了动态范围 48 dB,由于采用的器件是 DAC0832,因而使得增益范围低^[16]。哈尔滨工程大学的卢波在《短波高动态数字 AGC 射频前端设计与实现》中采用正交变换的检波方法以及多阈值判决的控制算法,实现了 80 dB 高动态范围的数字自动增益控制系统,但是其精度较低为 ± 1 dB,并且文中并没有测试 AGC 环路锁定时间^[17];2009 年,上海交通大学张志刚将采样前级放大技术和数字比较技术结合起来实现了 90 dB 大动态范围可控的 AGC 系统,但是其精度较差为 ± 3 dB^[18]。2010 年,电子科技大学王建辉在《雷达频综模块和中频接收模块的设计与实现》文中,设计了一款针对脉冲雷达信号的 AGC 系统,射频链路采用可变衰减器以及可变增益放大器对增益进行控制,增益调整算法选择 PID,其动态范围为 60 dB,精度较高为 ± 0.25 ,由于增益调整算法选择 PID 算法,需要几次调节后算法才会收敛,因此其输出锁定时间较长^[19]。山东大学柳春姐在《1.5GHz 宽动态范围微波接收机的设计与实现》文中,通过限幅放大器使得自动增益控制系统的动态调节范围为 65dB,但采用该方法会存在问题,当输入大信号时,限幅放大器会导致信号幅度和相位失真,这就会对后面的信号处理工作带来难题^[20]。2017 年,电子科技大学王新舒在《大动态自动步进增益控制电路的设计与实现》文中采用 30 dB、20 dB、10 dB、20 dB 四级低噪声放大器通过开关转换控制的方式决定链路的增益,实现了 0~80 dB 动态范围,其步进为 10 dB,该结构虽然动态范围高,但是其步进太大^[21]。

国内对于可变增益放大器的研发相对起步较晚。2009 年,复旦大学 Zhou Jiaye、Tan Xi 等人采用 4 级 Gilbert 单元级联技术实现 60 dB 动态增益范围、8 MHz 工作带宽和增益可以连续调节的可变增益放大器^[22]。虽然该电路能够较为精确实现增益控制,在大增益工作状态下减小了系统的功耗,但很难实现增益大动态范围的调节,多级级联也不利于高集成度。2010 年,西安电子科技大学钟锦定在《天

线接收机中 80 dB 自动增益控制电路的设计》文中采用伪指数近似法,设计了一款动态范围为 82dB 可变增益放大器,其增益线性误差小于 ± 1 dB,其工作稳定性强且具有良好的温度特性,但是该方法仅局限于仿真并没有进行流片验证^[23]。2014 年,北大微电子研究院的 Yixiao Wang、Ye Le 等人采用 4 级基于电阻比值的运算放大器单元级联结构,实现了工作带宽 20MHz、0~70 dB 增益动态范围,但该电路结构复杂,使得系统功耗较大^[24]。

1.3 本文主要工作和结构安排

本文对大动态脉冲雷达接收机的数字 AGC 硬件结构及其在 FPGA 上快速实现输出锁定进行研究设计。通过对数字 AGC 结构的分析比较,最终本文采用采样数据反馈 AGC 结构实现了 62 dBm 的输入动态范围以及 ± 0.25 dBm 的输出精度。增益调整算法基于 FPGA 实现,对采样数据进行分段处理,本文提出用查找表代替实时计算的方式来缩短输出功率的锁定时间,最终使得整个增益调整模块在两个脉冲信号内完成单次调整。行文的结构安排如下:

第一章,绪论。主要分析此次课题的研究背景以及意义,国内外研究现状。探讨了国内外针对大动态 AGC 的结构,以及算法设计以及可变增益放大器的运用意义。

第二章,脉冲信号数字 AGC 系统技术研究。本章主要对 AGC 系统的数模结构,拓扑结构的工作原理进行研究分析。针对数字 AGC 系统结构的各个子模块进行了详细的剖析。基于 Simulink 研究了常见的数字 AGC 算法的原理优缺点。最后对数字 AGC 系统的指标参数的基本性质以及影响因素进行了分析。

第三章,大动态数字 AGC 系统硬件结构设计。本章根据项目需求,数字 AGC 选择采用采样数据反馈结构。主要对数字 AGC 系统的各个子模块的结构选择以及电路设计进行主要说明。

第四章,数字 AGC 系统逻辑设计。本章详细讲述了基于 FPGA 的数字 AGC 系统增益调整设计的开发流程,主要包括了增益调整算法,UART, SPI 通信以及主控程序四个模块的 RTL 设计。

第五章,数字 AGC 系统实物测试与分析。本章搭建测实物试平台,并分别用同脉宽的脉冲信号进行测试,并对测试结果进行分析。

第六章,总结与展望。

第二章 脉冲信号数字 AGC 系统技术研究

脉冲雷达信号的窄脉冲特性以及雷达信号传播过程中衰落加剧的情况对自动增益控电路的动态范围以及响应速度提出了更高的要求，传统的模拟 AGC 系统受功率检波电路、放大器和低通滤波等器件特性影响，无法适用于雷达脉冲宽度变化范围大的情况，其响应速度与输出稳定性很难同时满足，相比模拟 AGC，数字 AGC 可以通过电路结构以及算法的优化实现宽动态范围，快速建立等特性。本章将对脉冲信号的特性以及数字 AGC 系统的结构，增益调整算法以及系统性能指标进行相关研究。

2.1 脉冲雷达信号基本原理

脉冲雷达信号是一种脉冲形式的电磁波信号，其信号分布的能量图如图 2-1 所示。脉冲信号按照一定的周期发送，因此绝大多数的脉冲信号收发在时域上是分开的。当发射脉冲信号时，接收通道关闭。接收脉冲信号时，发射通道关闭。因此收发天线可以共用，直接通过收发开关即可解决信号泄露的问题。

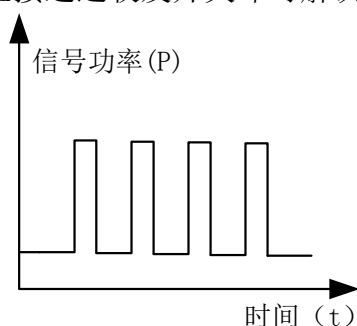


图 2-1 脉冲雷达信号能量分布图

由于脉冲雷达信号接收机收发时域分开，因此为了避免混淆发射信号和接收信号，采用最小可测距离 D_{\min} 和最大不模糊距离 D_{\max} 进行区分，最小测距离是指脉冲信号发射时，接收机端应该关闭接收通道的这段时间的传播距离，该距离由脉冲宽度（ τ ）以及收发开关切换时间（ t_0 ）决定^[25]， D_{\min} 表示为式 2-1：

$$D_{\min} = 0.5c(t_0 + \tau) \quad (2-1)$$

其中 c 为电磁波传播的速度。

最大不模糊距离 D_{\max} 是指当脉冲碰到目标后产生散射到达接收端时，发射机正在发送下一个脉冲经过的距离，此处假设两个脉冲时间间隔为 T ， D_{\max} 表示为式 2-2：

$$D_{\max} = 0.5cT \quad (2-2)$$

脉冲雷达接收机将接收到的脉冲信号经过滤波、低噪放、混频、自动增益控制后，到达数字信号处理模块，从而得到目标的距离信息。其中自动增益控制系统对整个接收机的动态范围和响应速度起着关键性作用。

2.2 AGC 系统结构类型

AGC 系统是接收机系统的重要组成模块，其性能的好坏直接影响通信质量。在雷达接收机发展的初期，自动增益控制模块主要采用简单的模拟电路，其体积大，调节增益迟缓。随着电子技术不断发展，逐渐在 AGC 系统增益控制电路中加入反馈电路使得其输出功率较为稳定。而数字电路的发展使得 AGC 系统也逐渐向数字方向转变，这将大大提高自动增益控制的动态范围以及环路锁定时间。综上所述自动增益控制系统根据电路实现方式可以分为数字系统和模拟系统，根据反馈电路的结构不同可以分为前馈网络和反馈网络。

2.2.1 模拟与数字 AGC 电路结构

传统的闭环模拟 AGC 电路采用反馈环路来调节可变增益放大器（VGA）的增益，以获得期望的输出信号强度。如图 2-2 所示，模拟自动增益系统由可控制增益模块、峰值检波器、环路滤波器、比较器以及控制信号发生器组成。AGC 系统输出信号通过耦合器件经过峰值检波器后得到信号的幅值。检波信号通过低通滤波器后，与参考电压值做差，控制信号发生器根据差值对应生成可变增益放大器的控制信号。由于可变增益放大器的控制信号是电压控制信号，AGC 系统需要通过多次调整才能使得输出信号逐渐稳定，系统调整的时长与输入信号的幅度变化范围相关，如果信号幅度值变化大，系统调整时间越长，调整时间过长会导致系统工作不稳定^[26]。

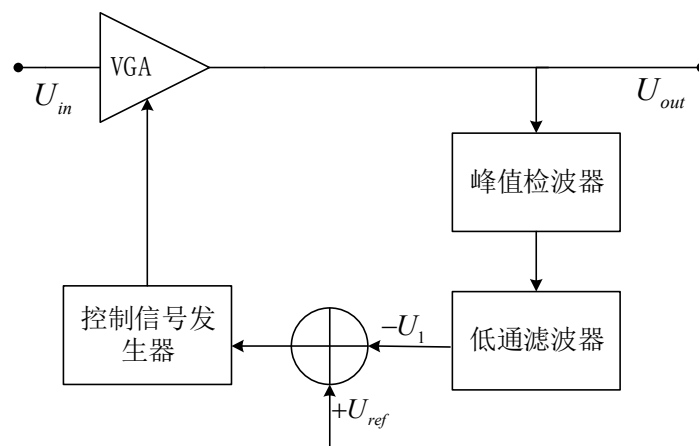


图 2-2 模拟 AGC 电路结构图

目前模拟 AGC 技术的发展和用已经十分成熟，但是其环路稳定性较低，集成度低等缺陷也大大限制了模拟 AGC 的应用领域。

数字 AGC 系统与模拟 AGC 系统的区别在于可变增益放大器控制电压由单片机或者数字信号处理产生。数字 AGC 系统主要包括可变增益放大器，功率检波器，AD 采样，数字信号处理模块或者单片机，D/A 等模块，如图 2-3 所示。数字 AGC 基本工作原理是：中频输入信号首先通过功率检波器提取电压幅度，然后将提取出的信号幅度与门限触发电平进行比较，比较电平经过 ADC 得到可变增益放大器的控制电压数字信号，数字信号经过 DAC 得到模拟信号进行增益调整（此处也可以直接用数字可编程增益放大器直接进行数字控制），使得输出中频信号功率稳定在误差范围内^[27]。

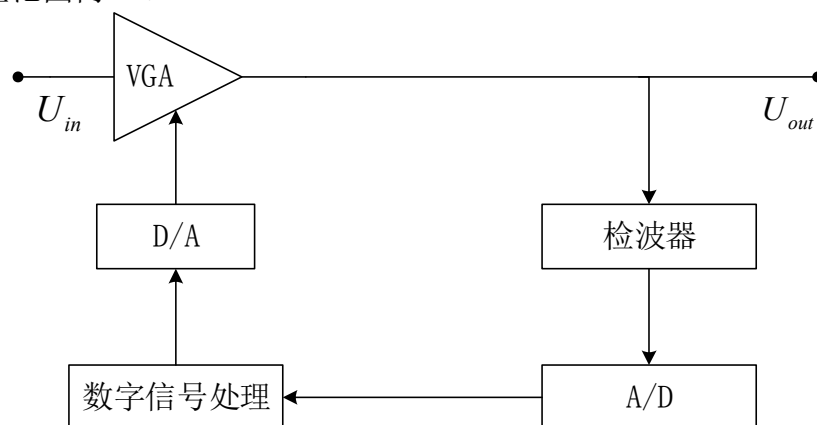


图 2-3 数字 AGC 电路结构图

数字 AGC 与模拟 AGC 相比主要有以下优点：

1. 增加控制 VGA 步长精度。在大多接收机中模拟 AGC 电路结构为了满足宽动态范围，其 VGA 控制的步长为 $\pm 1.5\text{dB}$ 。但是采用数字 AGC 电路结构式时，整个 AGC 系统的步长由 D/A 转换精度或者数字可变增益放大器(DVGA)的最小步长决定，例如自动增益控制系统动态范围为 60dB ，选用 12 位 DAC 转化器控制 VGA 或者两个控制宽度 6 位，控制范围为 31.5dB 的 DVGA 级联。如果采用 12 位 D/A 转换器，那么理论控制精度为 $60 / 4096 \approx 0.015\text{dB}$ 。若选择 DVGA 其控制精度为 0.5dB ，因此可以看出数字 AGC 结构的步进精度大于模拟结构。

2. 算法优化系统精度。模拟自动增益控制系统误差的逐级累加无法消除，会使得系统精度降低，但是数字 AGC 可以通过两种方法来减少误差，第一可以用算法对优化采样值，其次也可以适当的将 AD 靠近中频信号来减少误差。

3. 高集成度和可靠性。模拟 AGC 大都采用分立元件，从而使得系统庞大。但是数字 AGC 系统使用 FPGA 或者单片机进行差值运算代替了复杂的模拟电路，因此数字 AGC 具有高集成度；模拟 AGC 结构相对于数字电路容易受到电压波动

和温度变化的干扰，因此数字 AGC 相对于模拟结构具有高集成度，可靠性^[28]。

2.2.2 AGC 系统反馈类型

根据 AGC 环路结构的不同可以分为闭环反馈，开环前馈以及混合结构的采样数据反馈型。三种拓扑在结构，增益动态范围，环路锁定时间特性上优缺点不同。

开环前馈 AGC 结构由信号延时模块，VGA 以及增益控制三个模块组成如图 2-4 所示^[29]。增益控制通道由检波器进行幅度提取，然后与目标值进行比较产生直流控制电平，最后通过环路滤波器控制可变增益衰减器增益。由于 AGC 环路产生控制电平需要一定的时间，因此需要延时通道产生相应时长的延时后再将信号送入可变增益放大器进行功率调整。理论上开环前馈结构具有快速调整增益的特性。开环前反馈在设计上主要有精度较低，受检波器压缩率影响导致动态范围较小以及比较器可变增益模块设计复杂三个难点。下面主要介绍可变增益调整模块难点。

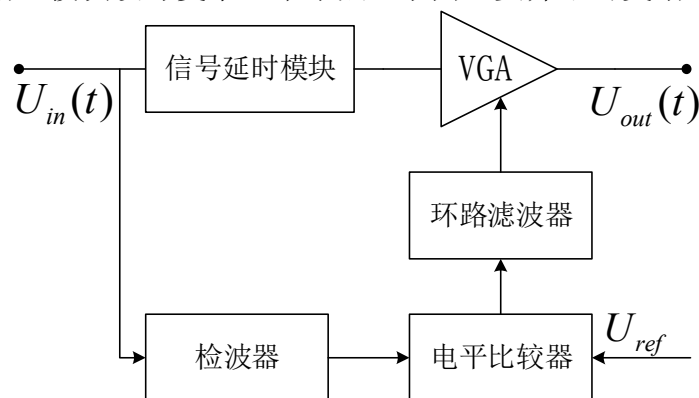


图 2-4 开环前馈 AGC 结构

前馈环路中，检波器输出电压并不是固定值而是小范围波动的，这将会影响可变增益放大器的增益稳定性问题。在模拟 AGC 环路中选用模拟电压控制增益的 VGA(AVGA)，因此环路输出控制电压的波动会使得 VGA 增益不稳定。如果使用数字 AGC 环路结构，其中电压比较器选用迟滞型以避免功率检测器纹波导致增益不稳定，选用数字可变增益放大器 (DVGA) 可以获得良好的线性度。因此开环前馈大多采用数字环路，并且采用 DVGA 代替 AVGA。

闭环反馈 AGC 由可变增益放大器和增益控制模块组成如图 2-5 所示^[30]。与开环前馈 AGC 系统结构不同，闭环反馈 AGC 的增益控制通道中检波器输入信号为系统输出信号。闭环反馈 AGC 系统结构能够准确的保证整个系统输出信号幅度的稳定性，但闭环反馈 AGC 环路为了获得足够高的压缩率，必须获得较大的环路增益，这就要求自动增益控制环路的响应速度比检波器响应速度慢才能保证反馈环路的稳定性，而这导致了增益收敛时间较长。

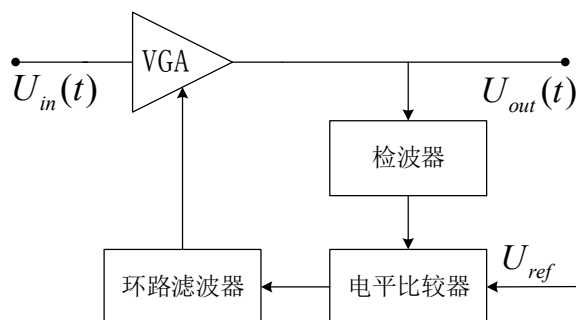


图 2-5 闭环反馈 AGC 结构

采样数据反馈 AGC 结构基于闭环反馈结构进行了一定的修改，在检波器输出后加入 AD 采样芯片，因此只用适量调整 AD 采样数据的周期能保证检波器波形的重新建立时间，然后环路控制器根据当前采样值和增益值对 VGA 增益进行调整，但是随着数字结构的飞速发展，为了使得结构灵活选择 DVGA 代替 AVGA，因此数字控制电路经过几个周期调整，输出信号功率进入检波器的线性工作区，DVGA 增益就会在下一个周期准确输出。因此，采样数据反馈 AGC 结构结合了开环计算和闭环反馈结构的优点，由于采用反馈结构能获得较高的输出精度，采用开环计算使得整个系统增益收敛速度提高^[31]。

2.3 数字 AGC 系统主要电路单元

由 2.2 节可得，AGC 系统不论采用什么类型的拓扑结构，控制方式电路都需要可变增益放大器，功率检波器以及增益控制三个模块组成。可变增益放大器决定着 AGC 系统可调的增益范围，频率响应和噪声系数等。检波器的线性度直接决定系统的信号输入的动态范围，环路增益锁定时间。增益控制模块根据选取结构不同，若选择数字 AGC，控制模块包括 ADC，FPGA 或者单片机以及 DAC 等模块。下面主要讨论数字 AGC 系统的功率检波器，可变增益放大器以及 ADC 转换器三个模块。

2.3.1 信号功率检波器

功率检波器将中频信号功率转化为直流信号。检波器是接收机链路不可或缺的一部分，系统根据检波器输出信号对链路进行调整，功率检波器也被称为接收信号强度指示器(RSSI)。信号的功率通常用其峰值或者均方根 (RMS) 进行表征，因此功率检波器可以分为峰值检波，均方根检波以及对数检波器^[32]。对于峰值平均功率比低或者恒包络信号来说可以使用峰值或者 RMS 两种检波方式，在自动增益控制系统中还需要检波器输入输出满足 dB 线性关系，因此需要用均方根检测联合对数转换器实现对数检波。

峰值检波器峰值检波器适用于峰值平均功率比低或者恒包络信号的应用场景，最典型的结构就是二极管分立元件检波器如图 2-6 所示，该结构主要使用于幅度调制信号（AM）。假设输入调制信号为 $V_i(t)$ ，其中调频信号频率为 ω_i ，调制信号频率为 Ω ，故输入调制信号表示为式 2-3：

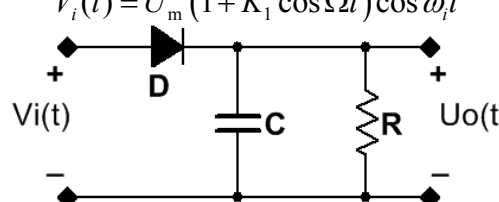
$$V_i(t) = U_m (1 + K_1 \cos \Omega t) \cos \omega_i t \quad (2-3)$$


图 2-6 二极管包络检波电路图

当 $V_i(t)$ 瞬时幅值为正电压时，检波二极管 D 导通，由于二极管正向电阻 r_D 几乎为零，而充电时间常数 $\tau_0 = Cr_D$ ，因此电容 C 立即被充电并达到峰值。当输入信号电压逐渐减小二极管正向电压小于导通压降时，二极管反向截止，电容 C 向电阻 R 放电，R 较大故放电时间远小于充电时间，但是如果充电过快会导致输出信号纹波严重，导致无法正常使用输出信号。如果要减小纹波就应该适量增加电容容值或者减小放电电流 $I_d (dV_i / dt = I_d / C)$ ，但这会导致充放电时间增加，不能精确的还原波形。充放电时间和纹波的矛盾在工作带宽较宽，波形跟踪速度的条件下会变得十分突出。总体上说二极管检波不利于集成，且工作环境受温度影响大，且对驱动能力也有较高的要求^[33]。

脉冲骚扰信号具有较高的峰值比，二极管峰值检波并不适用于这种情况，而大多情况是采用均方根检波器。均方根电压即是负载电阻上产生同样热功率所需的直流电压，表达式如 2-4 所示：

$$V_{RMS} = \sqrt{\text{avg}[V_{in}^2(t)]} \quad (2-4)$$

进行均方根检波有两种方法，第一种是平方-平均检测法：根据均方根定义进行平方、平均以及开根号，此处如果不进行开根号那么所得值是功率的均方根值。另一种常见的是热量检测法：此结构首先将信号功率转换为电阻热量，然后检测实时温度与参考温度进行比较来确定均方根差值，该方法具有工作带宽大、误差小等优势，因此比较适合用于 RF 功率检测。

对数检波器输入输出信号幅值呈现 dB 线性关系，简化了 AGC 自动增益控制电路的反馈回路。实现对数检波主要有两种类型：一种是利用三极管或者处于亚阈值区工作的 MOS 管的电流电压特性，另一种实现方法则是利用分段近似原理连续检波对数放大器。第一种方法能较好的解决温度补偿问题，但是线性范围很窄，

第二种灵敏度高，动态范围高，是 AGC 系统中常用的结构。

图 2-7 所示是一种连续检波器结构图，由五个限幅放大器级联而成，五个放大器的输出信号通过整流器变平滑后叠加，然后通过低通滤波器得到输出电压信号。假设图中限幅放大器的限制电压为 V_L ，增益为 A ，整流器增益为 1，如图所示第一个整流器的输出由整流器自身电路决定，后面几级输入已经具有 A 增益，固输出幅度表示为 V_L / A ，此处采用基于非平衡源极耦合对的整流器使得输出与输入在一定范围内呈现 dB 线性关系。输出信号 V_{out} 即是整流器输出信号幅度之和，输出信号与输入信号呈现 dB 线性关系。根据理论值可知该对数检波器的最大误差为 2.46dB，而实际上检波器在链路的误差远小于该数值，通常比 2dB 小，该误差是由整流器的有限工作带宽以及低通滤波器的插入损耗引入的^[34]。

连续对数检波器在 AGC 链路中应用广泛，在选用该类检波器应该注意检波器工作的频率范围，检波器输入信号的动态范围以及脉冲响应时间。

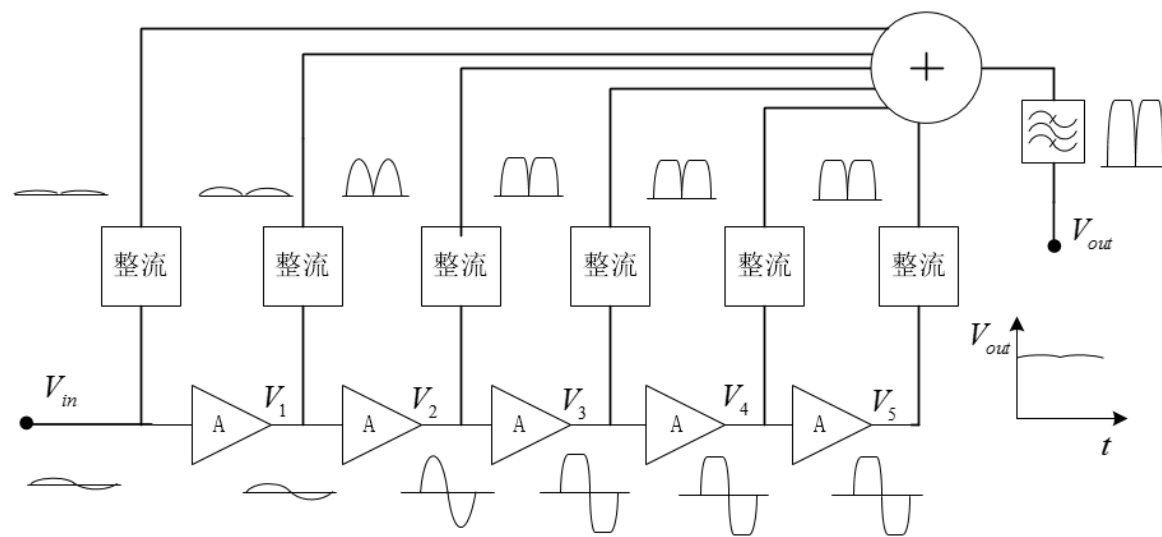


图 2-7 连续检波结构图

2.3.2 数字控制可变增益放大器

数字可变增益放大器(DVGA)直接由数字信号控制增益，因此 VGA 中不需要指数产生电路，与模拟信号控制增益的 VGA 不同，数字可变增益放大器的步进是离散的。下面对几种常见的 DVGA 进行研究分析。

2.3.2.1 基于可变电阻反馈的 VGA

开关电阻阵列给数字控制可变增益放大器设计带来了很大的灵活性，是可变电阻反馈 VGA 的重要组成部分，图 2-8 为阵列电阻阵列的结构图，可以通过控制 CMOS 的导通与否实现电阻值改变，从而达到增益控制的目的。

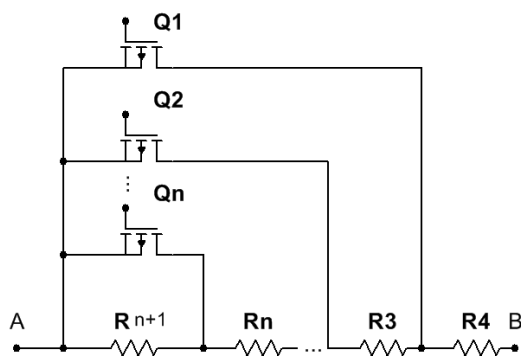


图 2-8 开关阵列电阻

闭环反馈 VGA 采用反馈技术使得 VGA 具有高线性度。下面介绍一种常见的具有闭环反馈拓扑结构的 VGA 如图 2-9 所示：

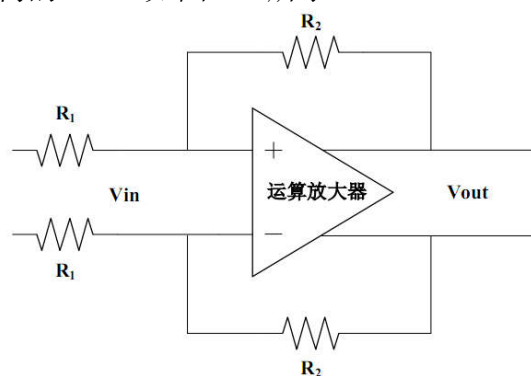


图 2-9 闭环反馈 PGA 结构示意图

图 2-9 中闭环反馈结构 VGA 由运算放大器结合电阻阵列组成^[35]，由运算放大器的虚短虚断原理可以得出该放大器的增益可以近似表达为式 2-5：

$$A = \frac{R_2}{R_1} \quad (2-5)$$

由式 2-5 可知通过改变 R_1 或者 R_2 阻值得到不同的增益值，阵列电阻的开关控制可以通过数字控制即可，但是改变两个电阻值对整个结构的性能影响不同。电阻改变的主要比较如表 2-1 所示：

表 2-1 改变不同位置电阻性能分析

| 改变方式 | R_1 可变 R_2 固定 | R_2 可变 R_1 固定 |
|------|---------------------------|----------------------|
| 优点 | 不会改变前级电路的负载 | 电路稳定性良好，相位和带宽改变不大。 |
| 缺点 | 可变的电阻使得零极点变化，影响电路的稳定性及带宽。 | 可变电阻导致负载变化，从而需要缓冲电路。 |

综上所述可以看出,采用闭环负反馈结构数字控制可变增益放大器稳定性好,但是运算放大器的输入线性区域太窄,且工作带宽不高,这不利于实现大动态范围的 VGA。

2.3.2.2 可变衰减网络 VGA

固定增益放大器级联可变衰减网络也可以实现可变增益放大器的功能^[36]。衰减网络一般采用电阻或者开关阵列结构实现,通过编程数字控制电阻开关阵列,从而达到设置衰减网络的衰减因子的目的,然后再乘上运放的高增益,就实现了可变增益放大器。可变衰减器和固定增益放大器级联的位置有两种,一种是固定增益放大器后面级联可变衰减网络,另一种是可变衰减网络后面级联固定增益放大器。如果先衰减再放大会使得信号容易被噪声影响,但是固定增益放大器放在前面有可能输出功率饱和。固定增益放大器级联可变衰减网络结构的优点主要有三点分别是:

- 1、固定增益放大器具有高增益以及低噪声,使得整个射频链路性能提高。
- 2、电阻或者阵列衰减网络的可以提高整个系统的动态范围。
- 3、衰减网络具有良好的线性度,则整个链路的线性范围只受到固定增益放大器的影响。

常见的基于开关电阻阵的衰减网络有有:梯形电阻网络和串联电阻网络^[37]。串联电阻阵列衰减器结构图如图 2-10,该结构由开关和电阻组成,可以通过控制开关实现增益的调整。如果 $n+1$ 个电阻选择相同的阻值则可以实现线性衰减,反之,选择不同阻值的电阻则呈非线性关系。但是如果导通电阻个数不同会导致负载的变化,所以要求前一级运算放大器最大负载为 $(n+1)R$ 。

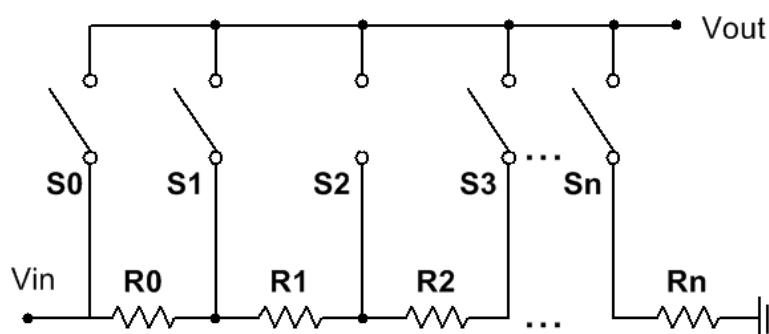


图 2-10 串联电阻阵列衰减器结构

对于上述的两种数字可变增益放大器的电路结构,闭环反馈和衰减网络都是基于数字信号的编程控制,有利于实现高精度增益控制。表 2-2 给出了两种可变增益放大器结构的优缺点比较,可以看出 PGA 稳定性线性度好,但是对运算放大器

的带宽和增益提出了较高的要求，而固定增益放大器级联可变衰减器结构具有高精度低噪声特点^[38]。

表 2-2 两种数字可变增益放大器模块优缺点

| 数字可变增益放大器模块 | 优点 | 缺点 |
|---------------|---------|------------|
| PGA | 稳定性线性度好 | 需要高增益高带宽运放 |
| 固定增益放大器+可变衰减器 | 高精度、低噪声 | 要求特定的衰减网络 |

2.3.3 ADC 采样模块

ADC 转换器首先通过采样保持电路将输入模拟信号离散化，并将离散化的信号保持一段时间，然后通过量化编码得到数字输出。ADC 种类繁多，根据采样方式，可以分为奈奎斯特采样和过采样两种类型。过采样 ADC 主要应用在高精度的应用领域， $\Sigma\Delta$ 型 ADC 即属于过采样 ADC；逐次逼近(SAR)型，流水线(Pipelined)型则是符合奈奎斯特采样定理的 ADC。下面对这几种 ADC 采样进行介绍。

图 2-11 是一个典型的流水线 ADC 系统结构框架，该结构主要由采样保持电路 (S/H)、多级流水线电路级联，以及时序延时和数据校正电路组成。其中每一级流水线电路由 n 位 ADC，乘法型数模转换器 (MDAC)，加法器以及固定增益值放大器组成^[39]。

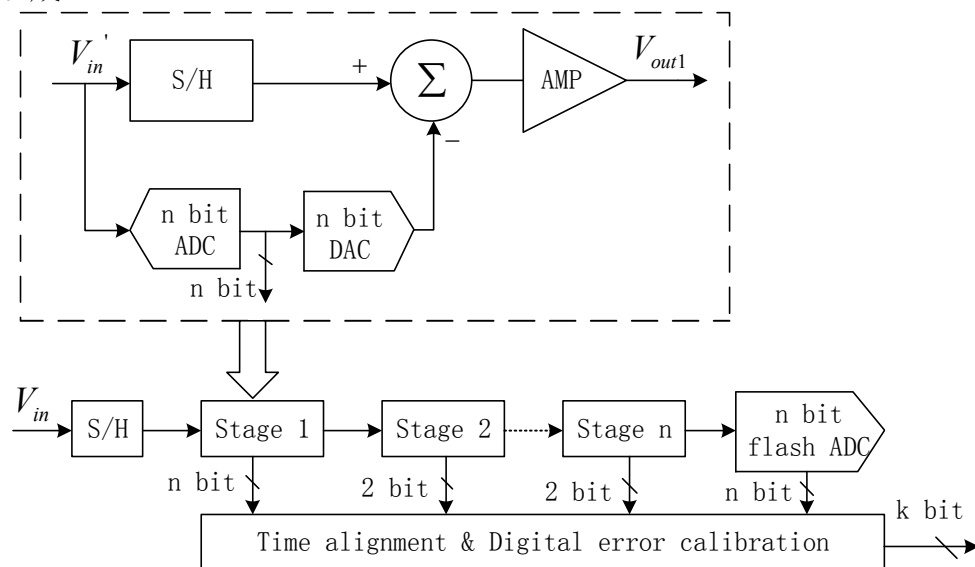


图 2-11 流水线 ADC 结构框图

流水线 ADC 之间的相邻的模块在同一时钟下工作状态不同，当上一级处在余量放大状态时，相邻下一级采样上一级余量放大的输出。在时钟沿到来后，上一级变为采样保持阶段，而下一级将时钟沿到来前的采样结果送入 DAC 中，如此循

环使得相邻的模块工作在不同的状态，从而实现了流水线工作。由于信号通过每一级存在固有延时，所以需要每一级数据输出进行延时调整，校正后得到最终输出。从流水线型结构可以看出工作频率由单个模块决定，一般流水线 ADC 工作频率在几 MHz 到几百 MHz 之间。每一级的数字输出需要通过延时对准、数字校正后得到正确的数字输出。流水线结构 ADC 与其它结构的 ADC 相比比较器数目较少，因此可以有效实现高度集成、低功耗设计。由于流水线 ADC 结构选取比较灵活，能在速度和精度之间适当选取，因此在高速高精度等设计需求方面，流水线 ADC 是理想选择。流水线 ADC 常用于便携式医学成像，数据采集系统以及无线通讯基站等方面。

如图 2-12 所示，在逐次逼近 ADC 内部，每一位都是由单个高速、高准确度比较器一位一位确定的。通过模拟输入信号与 DAC 的输出结果进行比较，不断进行调整比较直到 DAC 输出信号逐步逼近模拟信号，最终完成转换^[40]。

逐次逼近 ADC 分辨率范围大多在 8 位至 18 位之间，采样速度通常低于 10MSPS，其功率损耗低。由于逐次逼近 ADC 需要对输入信号采样，并将采样数据保持到转换完成，该架构不会造成自然输入信号的损耗，所以不要求输入信号是连续型。逐次逼近 ADC 在转换器前置多路复用、工业控制、电机控制、电源管理、便携式/电池供电仪表、PDA、测试仪器及数据/信号采集等方面应用较多。

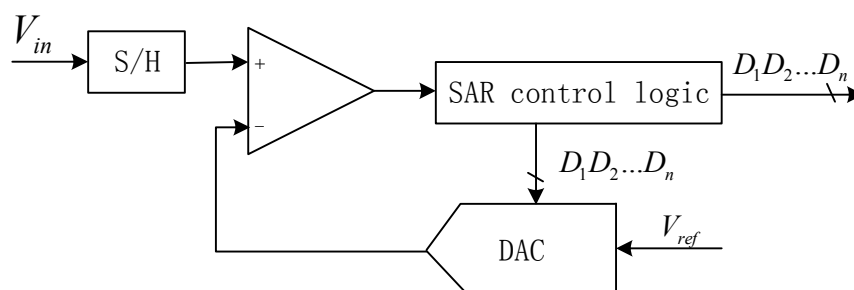
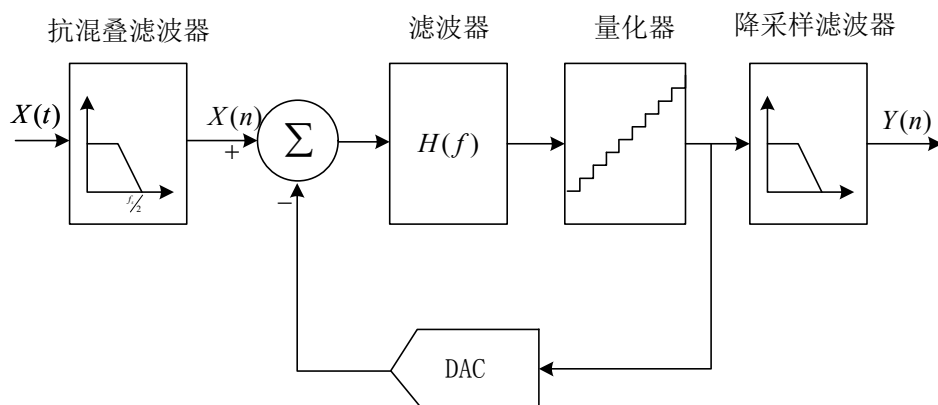


图 2-12 SAR ADC 结构原理框图

$\Delta \Sigma$ 型 ADC 是现在应用最广泛的过采样 ADC。 $\Sigma \Delta$ 型 ADC 由滤波器、ADC 量化器以及一个反馈环路组成，如图 2-12 所示。通过一个 DAC 形成反馈回路。抗混叠滤波器的作用是为了使得输入信号在工作带宽内，降采样滤波器的作用是使得采样频率刚好满足奈奎斯特采样频率^[41]。与奈奎斯特 ADC 采样方式不同， $\Sigma \Delta$ 型 ADC 采用满足比奈奎斯特采样频率高得多的频率对输入信号进行采样，根据实际应用场景的不同，采样频率可以为奈奎斯特采样频率的 20~1000 倍。信号的过采样率 (OSR) 越高，噪声对信号的影响就越小，因此信噪比随过采样率提高而提高，ADC 分辨率也随过采样率的增加而增加，精度最高可以高达 24 位。

图 2-13 $\Delta \Sigma$ 型 ADC 结构框图

$\Sigma \Delta$ 型 ADC 在目前大多数模混合系统中占有重要地位, 例如数字语言、音频和检测装置等方面的应用。此外, 带通 $\Sigma \Delta$ ADC 已经在无线通信领域进行应用, 可以实现将载波频率附近的窄带信号直接数字化的功能。

根据上述三种类型的 ADC 的工作特性, $\Delta \Sigma$ 型 ADC 采用过采样技术, 通过增加采样率来降低带内噪声, 运用噪声整形来达到极佳 SNR (信噪比)。因此 $\Delta \Sigma$ 型 ADC 可达到 24 位的转换精度, 但是是以牺牲速度为代价换取的。逐次逼近型 ADC 的结构简单, 只需一个比较器, 能够满足低功耗和高集成度的要求, 但是需要多个转换周期才能得到采样数据。逐次逼近 ADC 适用于中等速度中等精度的应用。流水线 ADC 通过合理分配流水级的位数, 能够同时实现较高的转换速度和高精度, 非常适合应用于自动增益控制系统中。

2.4 数字 AGC 系统控制算法

数字 AGC 的增益调节是离散的, 因此功率输出值不能固定不变, 而是在一个固定的范围内取值, 这个允许的范围则是信号幅度值的锁定区间(P_w), 当输入信号幅度值与输出信号目标值差的绝对值在锁定区间, 那么链路增益保持固定不变, 反之进行相应的增益调整, 锁定区间决定了整个系统输出信号的误差范围, 决定了数字 AGC 系统算法的收敛性^[42]。

数字 AGC 系统的可变增益放大器模块增益调整并非连续可调, 因此数字增益调整算法主要有二分法和迭代法, 而迭代法中查找表法是一种针对数字 AGC 的典型算法。下面基于 simulink 对两种算法进行对比。

2.4.1 二分法

二分法实现增益调整的原理: 首先目标功率 P_{ref} (dBm) 与输入功率值 P_{in} (dBm) 作差, 如果差值大于等于锁定区域 P_w , 则增益相对于前一时刻的 G_{n-1} 增加一半,

如果差值小于等于锁定区域 P_w ，则增益相对于前一时刻的 G_{n-1} 减少一半。如此循环比较取值，直到差值小于锁定区域 P_w 结束本次增益调整。二分法表达式如式 2-6 所示：

$$G_{(n)} = \begin{cases} G_{(n-1)} + 0.5G_{(n-1)} & P_{ref} - P_{in} \geq P_w \\ G_{(n-1)} - 0.5G_{(n-1)} & P_{ref} - P_{in} \leq P_w \\ G_{(n-1)} & |P_{ref} - P_{in}| < P_w \end{cases} \quad (2-6)$$

由上式可知，二分法实现起来十分简单，且占用运算资源较少。该方法对检波器的线性度要求不高，只需要检波器的输入输出信号关系呈现单调性，在锁定区间内并且指示器的传输特性单调变化即可。下面基于 simulink 搭建数字 AGC 环路对二分法进行分析，数字 AGC 环路结构如图 2-14 所示：

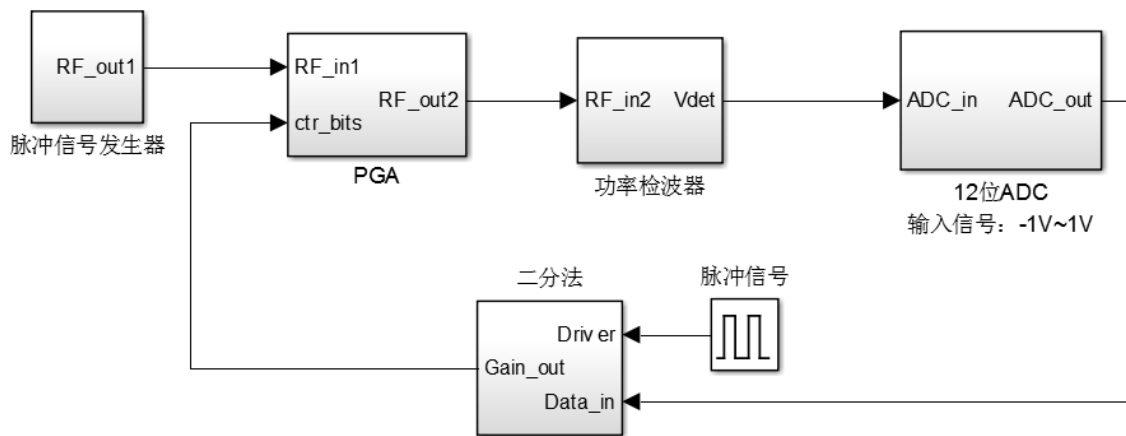


图 2-14 数字 AGC 结构模型

其中数字控制可变增益放大器的动态范围 63 dB，步进为 0.5 dB，对数检波器线性输入功率范围在 -65~0 dBm（输出信号斜率为 19 mv/dBm），ADC 采样数据位宽设置为 12，输入信号范围 -1 V~1 V。脉冲信号发生器产生脉冲信号脉宽为 200ns，周期为 1 us，载频信号 1.9 GHz。二分法根据式 2-14 进行设计，由可变增益放大器步进可知增益锁定区间为 0.5 dBm，令数字 AGC 系统输出目标功率值为 -5 dBm，此处假设输入信号功率为 -14 dBm。从图 2-15 可以看出输入信号在经过 5 个脉冲周期后输出功率达到目标值。

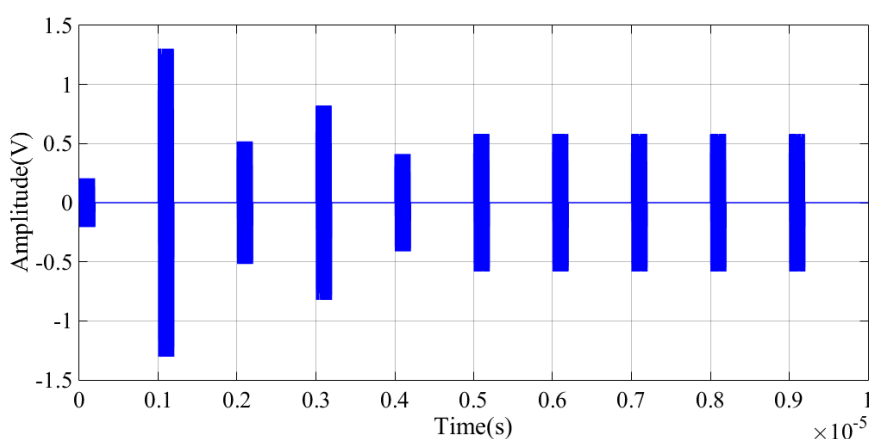


图 2-15 基于二分法的输出信号时域响应

令可变增益放大器模块初始化增益为 16 dBm，图 2-16 给出了增益变化情况，从图中可以看出增益经过四次调整，AGC 系统最终在 4.25 us 时间点，可变增益放大器的增益固定为 9 dB。

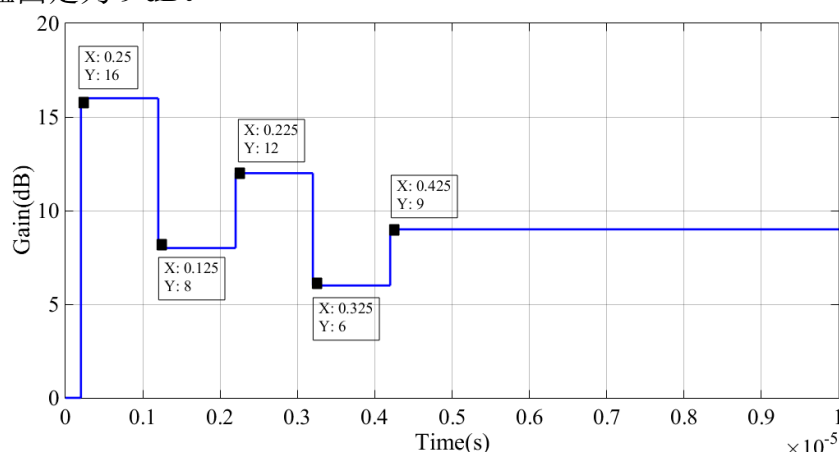


图 2-16 基于二分法的增益调整量

从仿真可以看出，二分法实现增益调整其增益锁定时间不固定，输入信号功率与目标值差值越大时，其调整的周期更长，不利于系统实现快速锁定，特别是针对脉冲信号，会出现一段脉冲已经结束了输出功率还有没有锁定的情况。

2.4.2 迭代法与查找表法

迭代法的工作原理是：首先计算出输出信号功率与目标功率值的差值，然后将该差值乘以 λS （ λ 是算法迭代特性相关的参数， S 是增益的步进长度）换算成增益控制字差值，将该差值叠加上一次的增益值输出，经过多次反复迭代即可实现输出功率值锁定。下面从数学上对迭代法进行描述^[42]。

迭代法可以使用一元 n 次方程进行描述，此处假设数字 AGC 系统的最小增益

值为 G_{\min} ，增益控制字用 $c(n)$ 表示，系统输出信号功率目标值 A_{ref} ， A_i 表示当前输入信号值，则输入值与目标差值可以表示为式 2-7（均以 dB 为单位进行计算）：

$$\Delta A = A_{ref} - A_i - G_{\min} - c(n)S \quad (2-7)$$

$c(n)$ 的迭代公式表示为式 2-8：

$$c(n+1) = c(n) + \Delta A \quad (2-8)$$

将式 2-7 带入式 2-8 得式 2-9：

$$c(n+1) = (1 - 2\lambda S^2)c(n) + 2\lambda S(A_{ref} - A_i - G_{\min}) \quad (2-9)$$

由上式整理可以得到 $c(n)$ 通项表达式 2-10：

$$c(n) = (1 - 2\lambda S^2)^n \left(c(0) - \frac{A_{ref} - A_i - G_{\min}}{S} \right) + \frac{A_{ref} - A_i - G_{\min}}{S} \quad (2-10)$$

其中满足 $|1 - 2\lambda S^2| \leq 1$ 的条件下， $c(n)$ 表现出收敛特性。式 2-10 是基于 $c(n)$ 连续变化的，但是数字 AGC 的控制字是步进的，针对不同的步进设置相应的约束。

查找表法是迭代法的一种演变，通过主控程序对数据进行近似处理。数字 AGC 的增益由有限的控制字控制，那么增益值是有限的，因此可以将这些增益值提前存储起来，这种方法即是查找表，具体实现的步骤是，首先将当前 ADC 采样到的信号幅值通过运算得到查找表的地址，该地址对应输出的即是当前信号需要的调整量。从图 2-16 数字 AGC 结构可知，可变增益放大器模块的控制情况有 64 种，将 64 中增益调整情况存在查找表中，查找表的地址根据因此根据检波器输入输出的关系生成。对查找表法的输出信号时域响应以及增益调整情况进行仿真，如图 2-17，当系统检测到输入信号后，在一个脉冲周期就将输出功率值锁定在了目标值。

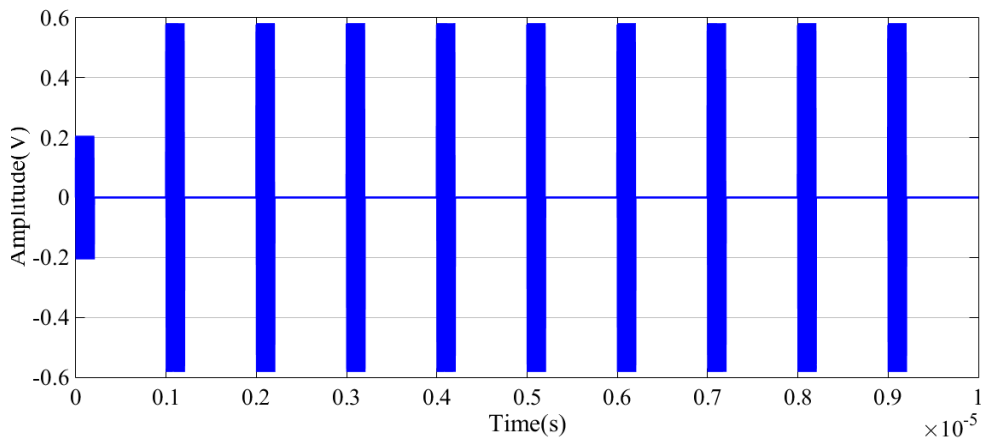


图 2-17 基于查找表的输出信号时域响应

令查找表的初始输出增益值为 0 dB，图 2-18 给出了增益变化情况，从图中可以看出增益经过一次调整，AGC 系统最终在 0.25 us 时间点，可变增益放大器的增益固定为 9 dB。

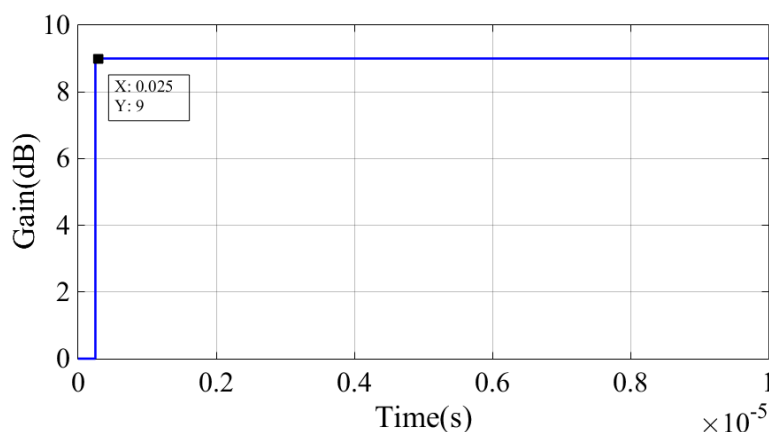


图 2-18 基于查找表法的增益调整量

根据 simulink 仿真结果可以看出，当前信号的幅度值与增益控制字一一对应起来建立查找表的方式避免了大量的浮点运算，对数运算以及乘法。增益调整只需要一个周期即可实现输出功率锁定，使得数字 AGC 系统的锁定时间缩短，但是这对对数检波器的线性度以及精确度提出了很高的要求。

通过 simulink 仿真，对二分法和查找表法两种算法进行对比，如表 2-3 所示：

表 2-3 增益调整算法对比

| 算法 | 优点 | 缺点 |
|------|--------------------|-------------------|
| 二分法 | 逻辑运算简单，对检波器线性度要求不高 | 算法收敛性差，输出功率锁定时间长 |
| 查找表法 | 算法收敛性强，输出功率一个周期内锁定 | 对检波器线性度要高，且运算较为复杂 |

2.5 数字 AGC 系统性能指标参数

AGC 系统性能主要由硬件结构和自动增益控制算法决定，表征数字 AGC 系统性能的性能指标有动态范围，回路建立时间，线性度以及噪声系数。其中动态范围主要由可变增益放大器模块决定，回路建立时间由自动增益控制算法决定，下面对几个指标进行分析。

2.5.1 动态范围

AGC 系统输入信号发生变化时, 对于输出信号的控制能力需要动态范围的指标来衡量。当 AGC 系统失去控制时, 其最大输入(输出)电压与最小输入(输出)电压的比值就表示为动态范围, 如图 2-19 所示。

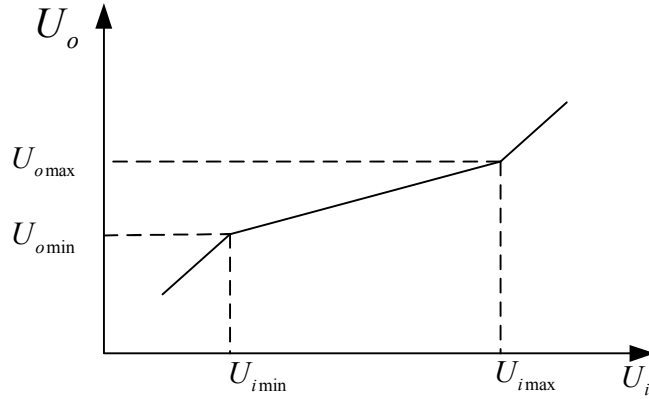


图 2-19 AGC 动态范围示意图

图中 U_i 表示 AGC 系统输入信号, U_o 表示系统输出信号。当输入信号为 $U_{i\min}$ 时是 AGC 系统能识别的最小幅度输入信号, 此时对应的输出是 $U_{o\min}$, 同理当输入信号大于 $U_{i\max}$ 时系统不再工作^[43]。输入动态范围表示如式 2-11 (括号中用 dB 为单位表示):

$$D_{in} = \frac{U_{i\max}}{U_{i\min}} \text{ (或 } D_{in}(\text{dB}) = 20 \lg \frac{U_{i\max}}{U_{i\min}} \text{)} \quad (2-11)$$

式 2-12 表示输出动态范围:

$$D_{out} = \frac{U_{o\max}}{U_{o\min}} \text{ (或者 } D_{out}(\text{dB}) = 20 \lg \frac{U_{o\max}}{U_{o\min}} \text{)} \quad (2-12)$$

动态范围反映了 AGC 系统对输入信号范围的控制能力。对于一个性能优秀的自动增益控制系统, 具有大的输入动态调节范围, 同时输出动态调节范围尽可能小, 且系统保持稳定性能是最佳状态。因此设计上希望自动增益控制的动态范围尽可能的大, 同时保证信号输出稳定。输入信号动态范围和输出信号动态范围的比值是压缩系数 n_g 表示如式 2-13 所示:

$$n_g = \frac{D_{in}}{D_{out}} \text{ (或者 } n_g(\text{dB}) = D_{in}(\text{dB}) - D_{out}(\text{dB}) \text{)} \quad (2-13)$$

由式 2-13 可知, 通过提高电路的增益控制倍数 n_g 可以提高自动增益控制的动态范围, 换言之即通过增加自动增益控制级数来提高动态范围^[42]。

2.5.2 回路建立时间

回路建立时间即是：在输出信号稳定情况下，输入信号幅值发生变化后输出信号幅值重新稳定到目标值所需要的时间^[27]。如图 2-20 所示输出信号经过一段时间调整达到目标值。

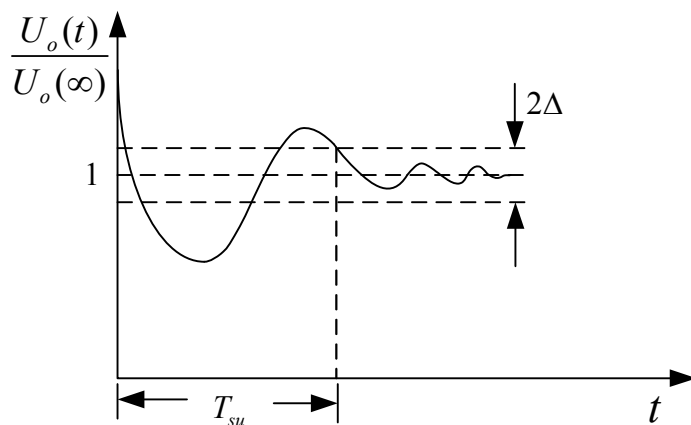


图 2-20 AGC 系统回路建立时间

图 2-20 中， Δ 表示允许的波动范围，那么建立时间表达式如式 2-14 所示：

$$\left| \frac{U_o(t) - U_o(\infty)}{U_o(\infty)} \right| \leq \Delta \quad (2-14)$$

回路建立时间体现了整个系统的反应速度，回路建立时间主要受两方面因素影响，第一方面是数字 AGC 系统的算法。第二方面是检测电路功率评估，周期功率检测电路会取一段 ADC 采样数据进行功率值监测，如果采样数据较少虽然评估周期会变短，但是会使得功率值与实际偏差较大，反之采样数据较多则会使得功率值精确但会使评估周期边长，如果周期太长会使得 AGC 系统响应太慢跟不上信号的变化。因此，功率评估周期应该在周期长短和功率值精确中间折中选择。

2.5.3 AGC 系统噪声系数

噪声系数是定量描述组件或系统产生的噪声程度的指数。电路损耗，偏置电压，放大器增益等因素决定着系统的噪声系数。噪声由器件的固有损耗以及有源器件产生，电路中噪声是不可避免的，噪声的存在使得系统的最小输入信号幅度受到限制。因此输入信号幅度较小时要考虑噪声带来的影响。

噪声系数（NF）和噪声比（SNR）用来衡量系统的噪声性能。信号功率 P_{signal} 与噪声功率 P_{noise} 的比值是噪声比，其表达式如式 2-15 所示：

$$SNR = \frac{P_{\text{signal}}}{P_{\text{noise}}} \quad (2-15)$$

噪声系数表示为输入噪声比（ SNR_{in} ）与输出噪声比（ SNR_{out} ）之比，其表达式如式 2-16 所示：

$$NF(dB) = 10 \lg \frac{SNR_{in}}{SNR_{out}} \quad (2-16)$$

自动增益控制系统可变增益模块由多个放大器衰减器级联而成，其噪声系数表达式为式 2-17 所示：

$$NF = NF_1 + \frac{NF_2 - 1}{G_1} + \frac{NF_3 - 1}{G_1 G_2} + \dots + \frac{NF_{n-1} - 1}{G_1 G_2 \dots G_{n-2}} \quad (2-17)$$

其中 NF_n 表示第 n 级放大器模块的噪声系数， G_n 表示第 n 级放大器模块增益。通过公式 2-17 可以看出：假设第一级模块的增益高，那么整个系统的噪声系统约等于第一级模块的噪声系数。当输入信号较小时，系统主要关注噪声系数，由于信号较小提高系统增益能够降低噪声。在设计过程中各个模块的位置也应该基于噪声系数考虑^[44]。

2.5.4 AGC 系统线性度

理想的射频接收机系统是线性的，但是实际上接收机都是非线性系统。非线性会使得输入信号质量恶化。因此为了保证系统信号不失真，系统应该工作在线性区域，且系统的线性度尽可能高。线性度是判断 RF 接收系统性能的关键指标。1dB 压缩点和三阶交调点是衡量系统线性度的两个重要参数。

1dB 压缩点：在 RF 系统的线性工作范围内，输出信号功率随着输入信号功率线性变化，当输入信号功率值超出线性范围，输出信号功率与输入信号属于非线性关系。如图 2-21 所示，当实际增益比线性增益小 1dB 时，这个点就是输出功率点的 1dB 压缩点（用 P_{1dB} 表示）。当输出功率超过 1dB 压缩点时，系统的增益迅速下降并且输出功率达到饱和状态。

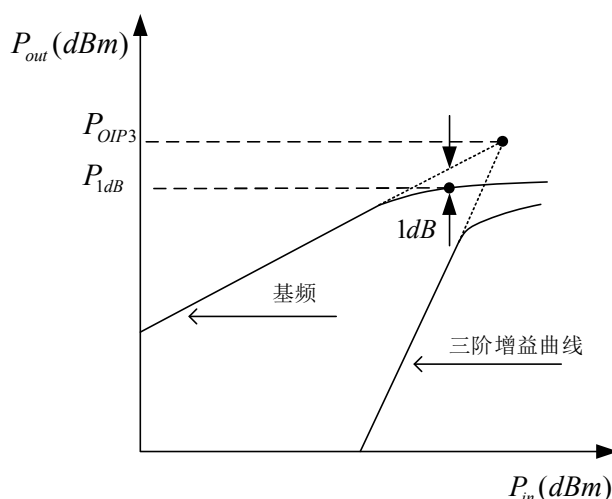


图 2-21 1dB 压缩点，三阶交调点示意图

放大器模块工作在线性区域时，输出不会产生谐波分量，但是进入非线性区时，输出会在非线性的作用下产生谐波分量。这里的三阶交调信号距离基频信号很近，难以通过滤波的方式去除，因此对信号的影响最大。如图 2-21 所示，三阶互调输出功率和基频输出功率相等的点就是三阶交调截取点 (P_{OIP3})。系统可处理最大输出信号由线性度和谐波失真决定，要使信号在后级电路中能够正确的解调不仅要满足输入信号大于噪声基底还要小于谐波失真的要求。三阶交调截取点是器件的一个固定常数，与输入信号功率的大小、器件本身的增益没有任何关系。因此在选取器件时应该根据设计要求来选择。

2.6 本章小结

本章首先对脉冲信号的特点进行的介绍，然后对 AGC 系统结构类型从数模结构，拓扑结构的工作原理以及性能特点进行了分析比较；接下来分析了数字 AGC 系统环路结构的主要电路单元，其中着重分析了信号检波器，可变增益放大器模块以及 ADC 采样模块的基本工作原理和不同结构类型的优缺点；然后基于 simulink 对数字增益调整两种算法进行仿真以及优缺点对比；最后分析了数字 AGC 系统的性能指标以及在设计中优化性能的方法。

第三章 大动态数字 AGC 系统硬件结构设计

大动态数字 AGC 系统的硬件结构设计包括方案的选择和模块电路设计。首先给出了系统设计指标, 然后根据设计需求选择系统框架以及符合指标要求的器件, 最后设计相应的硬件电路。该数字 AGC 模块的控制目标参数如下:

工作频率: 1.9 GHz

功率输入范围: -50dBm~10 dBm

输出功率: -5 dBm

增益步进: 0.5 dB

最小脉宽: 1 us

占空比: 1%~30%

最小周期: 100 us

3.1 数字 AGC 系统方案选择与整体结构

开环前馈结构从理论上具有快速调整增益的特性。但是开环前反馈在设计上主要有精度较低, 受检波器压缩率影响导致动态范围较小以及可变增益模块设计复杂三个难点。本次设计要求精度较高, 因此不采用开环结构, 而采用 2.1 节中提到的采样数据反馈 AGC 结构, 该结构结合了开环计算和闭环反馈结构的优势。采样数据反馈 AGC 结构的可变增益放大器模块主要有两种结构, 分别是模拟控制可变增益放大器模块 (AVGA)、数字控制可变增益放大器模块 (DVGA) 下面对两种结构进行分析比较。

3.1.1 基于 AVGA 模块结构

如图 3-1 所示, 可变增益放大器模块由 AVGA 组成, 增益调节信号为模拟量。ADC 采样检波器输出功率值, 当 FPGA 将监测数据超过门限值时, 通过 PID 或者神经网络等算法输出增益变化数字量, 数字信号再经过 DAC 转化为模拟信号, 通过模拟信号调节 VGA 增益。FPGA 可以通过多次调整使得输出功率误差较小, 复杂的自动增益控制算法导致计算周期过长, 但这使得环路建立时间过长, 脉冲宽度最窄是 200 ns, 这有可能导致输出信号还没有稳定, 输入信号幅值已经改变了, 使得系统一直无法锁定, 自动增益控制失败。

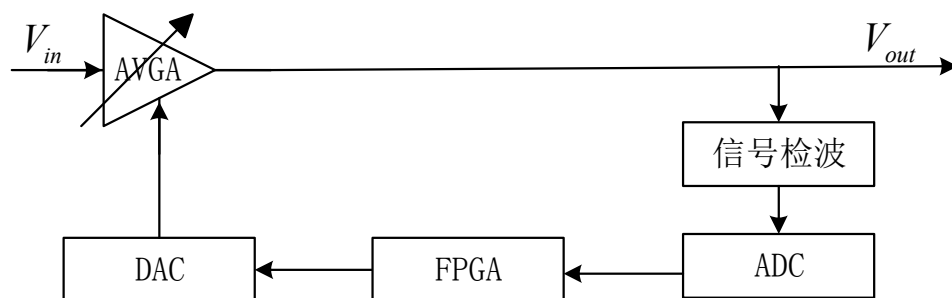


图 3-1 VGA 可变增益模块结构 AGC 系统

3.1.2 基于 DVGA 模块结构

如图 3-2 所示，可变增益放大器模块由 DVGA 组成，增益调节信号为数字量，与 AVGA 结构相比，该结构有以下两个方面的优势：

1、环路结构省去了 DAC 模块，FPGA 直接将 ADC 采样的数据进行处理输出增益调整量数字信号，数字信号直接控制 PGA，这种结构使得电路结构简单化，有利于实现高度集成。

2、增益控制灵活性高，数字 AGC 系统采用增益控制数学算法，当输入信号电压幅度在短时间内变化大时，算法的调整方式可以改变，而 VGA 的控制信号为模拟信号且其环路响应时间较长，电路输出信号有可能会过大或过小，使得输出无法锁定。

但是数字信号控制增益的方式采用步进式控制，步进大小决定了其误差，因此 DVGA 精度比 AVGA 略差。

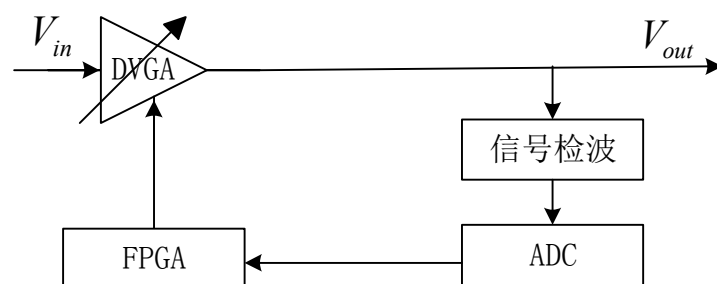


图 3-2 PGA 可变增益模块结构 AGC 系统

由 2.3.2 节可知 DVGA 主要有两类结构：基于可变电阻反馈的 VGA 和可变衰减网络 VGA。其中可变电阻反馈 VGA 的线性度低，工作带宽小。而可变衰减网络 VGA 中的固定增益放大器使得射频链路具有高增益，低噪声特性，电阻或者阵列衰减网络具有良好的线性度。因此本次设计选择固定增益放大器级联可变衰减器结构。

3.1.3 数字 AGC 系统结构框架

3.1.3.1 增益分配

本次 AGC 系统使用采样数据反馈 AGC 结构, 可变增益放大器模块采用可变衰减器级联固定增益放大器模块。输入信号功率范围在-50 dBm~10 dBm 之间, 动态范围 60 dB, 输出功率目标值为-5 dBm, 因此要求可变增益整个模块能够提供至少 45 dB 的增益, 衰减器要达到 60 dB 的调节范围。但是单个衰减器不能达到 60 dB 的衰减, 固定增益放大器也不能实现单级放大 45 dB, 因此多采用级联方式实现大动态范围调节。因此使用两级固定增益放大器和两级可变增益衰减器级联, 由于设计要求精度为 0.5 dBm, 可变增益衰减的步进为 0.5 dB 的步进。固定增益放大器和可变衰减器的级联的顺序选择可变衰减器级联固定增益放大器, 这样能够避免放大器处于饱和状态, 有 AGC 系统处于接收机中端, 因此该顺序对系统的噪声系数影响较小。

3.1.3.2 系统框架结构

如图 3-3 所示, 输入信号经过可变增益放大器模块, 通过功分器进入功率检波器, 得到了输入信号的包络, 包络信号通过调理通道(包括信号放大、衰减、滤波等)得到符合 ADC 幅度输入范围的信号。FPGA 实时监测 ADC 的采样数据, 采用适当的增益控制算法进行运算处理, 得出相应的增益控制数字量。控制字直接控制两个可变衰减器的衰减量。ADC 的采样速率以及增益控制算法决定了整个 AGC 系统的环路建立时间。

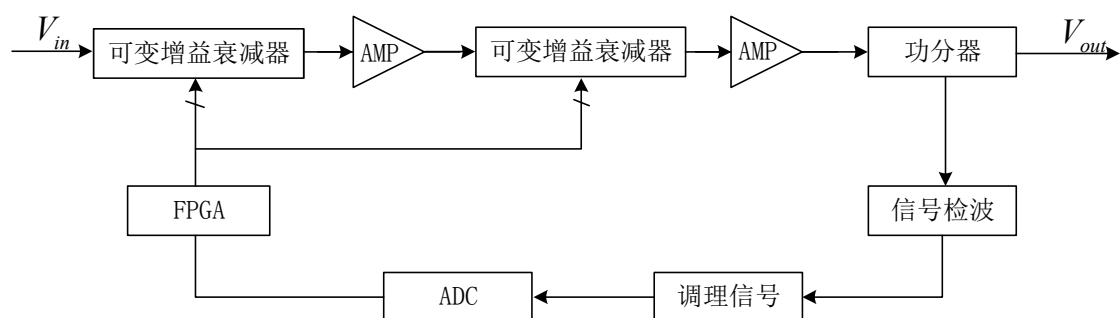


图 3-3 数字 AGC 系统结构框架

下面对可变增益放大器模块, 信号检波模块, 信号调理通道模块, ADC 采样模块以及 FPGA 模块的电路设计进行详细说明。

3.2 FPGA 模块硬件设计

在整个自动增益控制系统中，需要处理器协调各个模块的功能配置以及功率的监测调整，整个功能可以用单片机或者 FPGA 实现，单片机执行程序是单线程执行的，但是 FPGA 内部运行是并行的，所有的电路逻辑都是在同一个时钟触发下开始工作。与单片机相比，FPGA 具有较高的实时性、灵活性、并行性等优点。这些优势使得 FPGA 十分适合应用在高性能计算、高速接口和实时控制等方面。。因此本次设计选择 FPGA 进行设计。

FPGA 全称为现场可编程门阵列，基于内部大量的 SRAM 查找表生成相应功能的电路^[45]。速度和内部资源是衡量 FPGA 器件的性能的主要指标，运行速度决定了内部电路最大的工作频率，而内部资源决定了 FPGA 内部生成电路的规模，FPGA 主要包含了 Slices、IO 资源、存储资源、DSP 模块、时钟资源以及硬核（比如 GTX、ARM 等）。如果需要处理大量的视频算法等则需要内部资源多的器件，如果需要通过高速收发接口就需要工作速率高的 FPGA。当前主流的 FPGA 厂家有 Altera 和 Xilinx 两家^[46]，两家公司都提供了针对民用，军用的 FPGA 种类。

本次设计选择赛灵思厂家的 FPGA，其型号主要根据整个设计的生成电路的资源大小，设计中 IO 口数目以及工作时钟速率三个主要因素来选择，在本次自动增益控制设计中，FPGA 需要实现以下功能：

- 1、通过 SPI 接口完成 AD9233 转换器的寄存器配置。
- 2、读取 AD9233 采样数据，实现功率检测，增益调整算法，控制衰减器衰减量。
- 3、通过串口与上位机通信，根据写指令灵活设置输出功率，对 FPGA 的工作状态进行控制，根据读指令获取自动增益控制的工作状态。

Xilinx 主流的几个 FPGA 产品分别是 Spartan, Artix, Kintex 以及 Virtex 四个族，Spartan 的定位为满足低成本应用，其速度，资源只能满足一般的逻辑设计要求。Artix 提供了最高性能功耗比结构、收发器线速、DSP 处理能力以及 AMS 集成，Kintex 拥有最佳成本、性能、功耗平衡，高性价比封装，而 Virtex 则拥有高性能，容量大特性，能够很好的满足高端产品的需求。表 3-1 中给出了 7 系列和 Spartan6 的典型参数比较，从表格中可以看出 Spartan-6 系列的资源已经能够满足设计要求，并且其成本更低。综上此次 FPGA 选择 Spartan-6 系列的 FPGA。

表 3-1 Xilinx 不同系列芯片比较

| 产品系列 片上资源 | Spartan-6 | Artix-7 | Kintex-7 | Vertex-7 |
|--------------|-----------|---------|----------|----------|
| 最大逻辑单元 (K) | 147 | 215 | 478 | 1955 |
| 最大存储器 (Mb) | 4.8 | 13 | 34 | 68 |
| 最大 DSP slice | 180 | 740 | 1920 | 3600 |
| 最大 I/O 引脚 | 576 | 500 | 500 | 1200 |

由于 Spartan6 系列的芯片都是 BGA 封装, PCB 板的焊接难度较高, 因此选用了 Spartan6 系列器件中的 xc6slx-2ftg256 为核心芯片, 其引脚间距 1mm。对于此次逻辑设计来说, 该型号的满足, 拥有足够的逻辑资源数量, 存储器资源, 可使用的用户 I/O 引脚。其功耗较低, 适合系统的小型化设计需求。对于此次设计来说 FPGA 模块主要的硬件设计包含电源部分, 程序配置部分、uart 串口部分三个。下面分别介绍这几部分电路的设计。

3.2.1 程序配置模块设计

Spartan-6 获取编程数据的方式有两种。一种是直接将配置程序下载到 FPGA 内部的存储器内, 但是这种方式在掉电后配置程序就丢失了。另一种是将配置程序下载到片外的非易失性存储器中, FPGA 上电后直接从 flash 中加载配置程序。Spartan-6 系列 FPGA 常见的配置模式有 5 种分别是 JTAG 模式, master serial 模式、master parallel 模式, slave serial 模式以及 slave parallel 模式。其模式由输入管脚 M1、M0 电平决定, 模式选择见表 3-2。考虑到下载速率, 成本, 配置灵活性以及电路板面积。此次设计选择 master serial 模式和 JTAG 模式。

表 3-2 Spartan-6 配置模式

| Configuration Mode | M[1:0] | Bus Width | CCLK Direction |
|-------------------------------------|--------|------------------------|----------------|
| Master Serial/SPI | 01 | 1, 2, 4 ⁽¹⁾ | Output |
| Master SelectMAP/BPI ⁽²⁾ | 00 | 8, 16 | Output |
| JTAG ⁽³⁾ | xx | 1 | Input (TCK) |
| Slave SelectMAP ⁽²⁾ | 10 | 8, 16 | Input |
| Slave Serial ⁽⁴⁾ | 11 | 1 | Input |

串行配置器件选择 ST 公司的 ST25P80VG 器件, 其内存为 1 M 字节, 满足整个设计要求。JTAG 模式不仅可以实现 FPGA 程序下载, 还能对芯片内部的信号进行实时监测。如图 3-4 所示片外 flash 通过 SPI 与 FPGA 进行通信, 当 PROGRAM_B 引脚为低电平时, 配置程序动作就会启动, FPGA 通过 CCLK 引脚给 flash 提供时

钟, flash 内的数据就会从 Q 引脚输出给 FPGA, 完成程序的配置。当系统上电或者通过按键复位都会使得 FPGA 加载配置程序。其中 PROGRAM_B 引脚上拉一个 10 K 的电阻以及一个 4.7 μ F 的电容器接地, 这样在 FPGA 上电时 PROGRAM_B 引脚会经历 40ms 的低电平时间然后进入高电平状态。

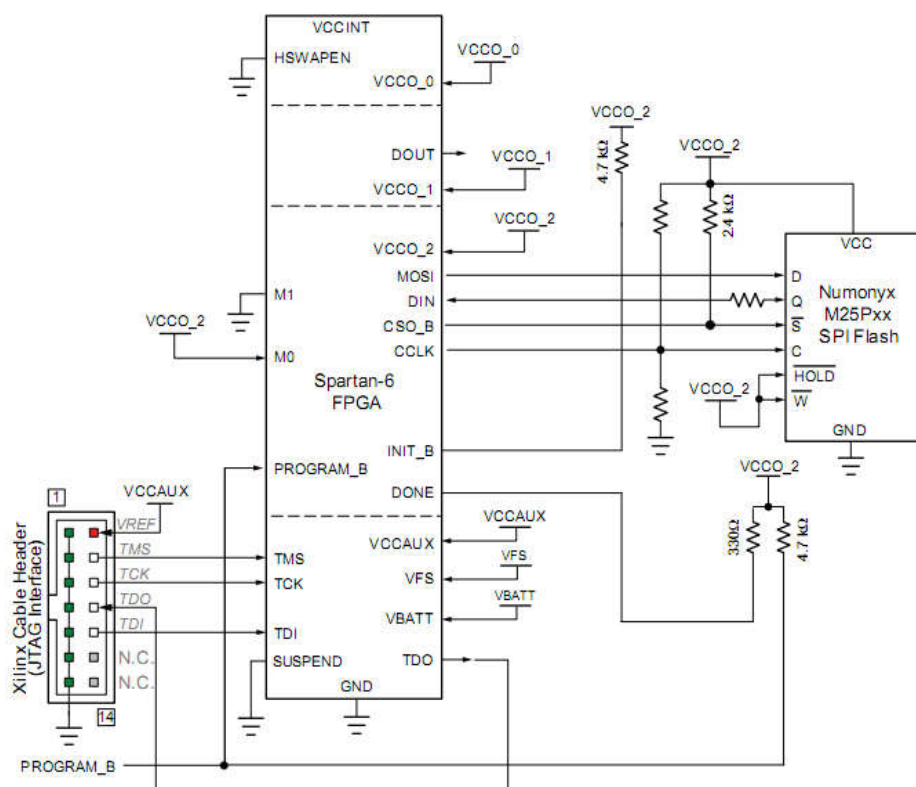


图 3-4 FPGA 部分配置电路原理图

3.2.2 串口模块设计

串口 (UART) 是一种通用的串行数据总线, 运用在异步通信领域。该总线双向通信, 可实现全双工传输和接收。PC 机可以通过串口监控调试器或者其它器件。串口按照电气标准及协议划分为 RS-232-C、RS-422、RS485 等, 此次设计选择广泛使用的 RS-232 串口标准。RS-232 电平为负逻辑电平, 即 +5 V ~ +15 V 表示逻辑 0, 而 -5 V ~ -15 V 表示逻辑 1。但是 FPGA 的 IO 口输出电平 3.3 V 表示逻辑 1, 而 0V 表示逻辑 0, 这时候就需要电压转换芯片将 FPGA 输出的电压转换为 RS-232 所需的电平。

电压转换芯片选择 max3232, 其工作电压为 3.3 V, 采用专有的低压差发送器输出级, 利用双电荷泵在 3.3 V ~ 5.5 V 电源供电时, 能够实现 RS-232 性能。其电平输入输出的特性图如图 3-5 所示, 输出电压在 VOH (5.5 V) 和 VOL (-5.4 V) 之间, 传播延时在 300 ns 左右。

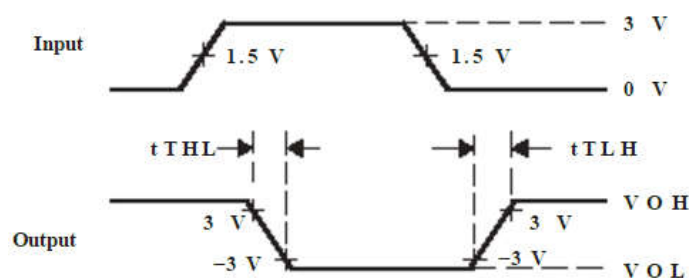


图 3-5 MAX3232 电平转换原理图

串口电平转换电路原理图如图 3-6 所示。器件需要四个封装为 0402 的 $0.1\ \mu\text{F}$ 的外部电荷泵电容，T1IN 和 R1OUT 引脚分别直接与 FPGA 的引脚相连，工作电压 VCC 为 $3.3\ \text{V}$ 。

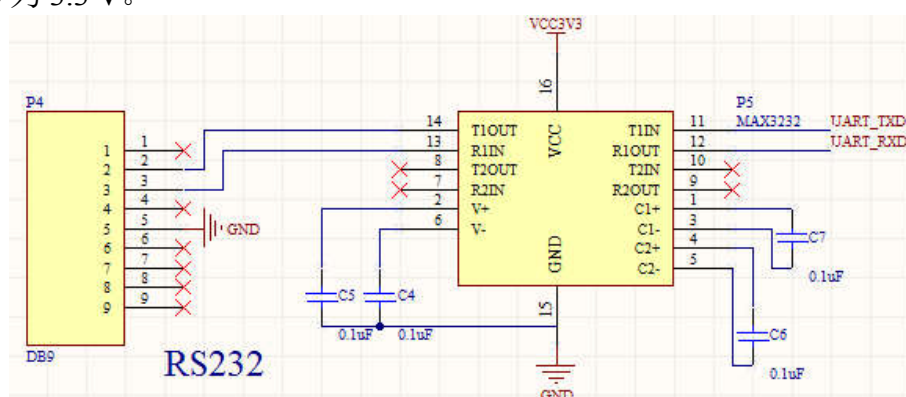


图 3-6 MAX3232 电压转换电路原理图

3.2.3 电源模块划分

Spartan-6 系列的 FPGA 需要 3 类供电电压，分别是 VCCINT，VCCAUX 以及 VCCO。VCCINT 是 FPGA 的核心电压，为所有的内部逻辑功能包括 CLB、BRAM、DSP 供电内核提供 $1.2\ \text{V}$ 的工作电压。VCCAUX 为辅助电压，为 CMT、某些 I/O、专用配置引脚和 JTAG 接口提供 $3.3\ \text{V}$ 电压。VCCO 为外部 IO 提供的工作电压，根据外挂芯片需要，电压可以是 $1.2\ \text{V}$ 、 $1.8\ \text{V}$ 、 $2.5\ \text{V}$ 和 $3.3\ \text{V}$ 。VCCO 值在每个 Bank 之间可以不同，但是在同一个 Bank 的电压必须一致。Spartan-6 系列的 FPGA 一共有 4 组 IO Bank，其分布如图 3-7 所示。本次设计中，FPGA 控制芯片的引脚电压都是 $3.3\ \text{V}$ ，因此 VCCO 一律都设置为 $3.3\ \text{V}$ 。因此 FPGA 需要的电压分别是 $1.2\ \text{V}$ ， $3.3\ \text{V}$ 。

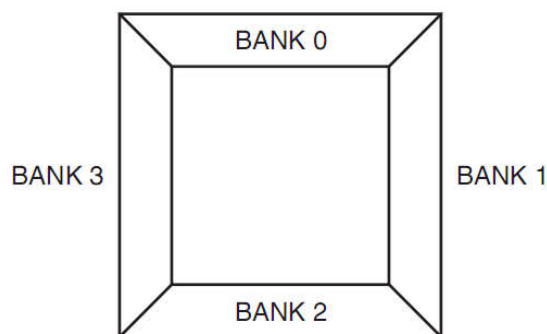


图 3-7 Spartan-6 系列 IO Bank 分布

3.3 可变增益放大器模块硬件设计

本次设计采用数字可变衰减器级联固定增益放大器的方式实现增益调整，输入信号功率范围在 10 dBm~-50 dBm 之间，输出功率目标值为-5 dBm。因此需要提供最大增益为 45 dB，衰减量可调范围为 60 dB。其中增益调整步进 0.5 dB，由于单级放大器和数字衰减器难以实现该目标值，因此选择两个运放和数字可变衰减器级联实现。如图 3-8 所示，固定增益放大器单级增益至少为 24 dB，数字可变衰减器单级调节最大范围至少 30 dB。输出信号通过功分器将信号耦合到反馈环路。下面分别介绍放大器，数字可变衰减器和功分器三个模块的电路设计。

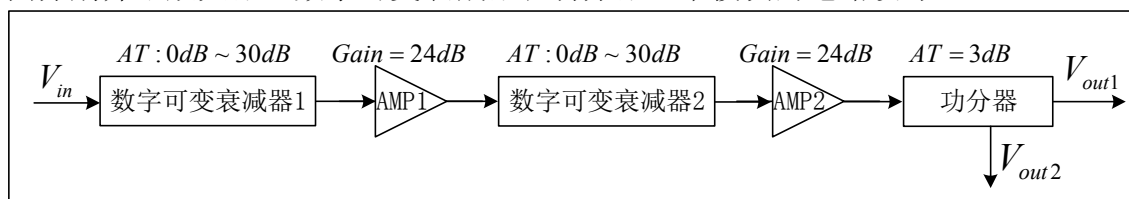


图 3-8 可变增益放大器模块链路结构设计

3.3.1 数字可变衰减器模块

数字可变衰减器芯片选择 AD 公司的 HMC472ALP4E，HMC472ALP4E 基于砷化镓工艺进行设计，采用片外 AC 电容接地来近似直流操作，使其适用于射频和中频设计。其工作频率范围在 DC~3.8 GHz 之间，插入损耗小于 2 dB，输入三阶交调截取点（IIP3）为 54 dBm。单级衰减器的衰减范围 31.5 dB，满足设计需要。控制信号的位宽为 6bit ($V_1V_2V_3V_4V_5V_6$)，输入控制电压兼容 TLL 和 CMOS，步进为 0.5 dB，其 6 bit 控制位二进制取值与衰减量的关系如表 3-3 所示：

表 3-3 控制信号真值表与衰减量关系

| Control Voltage Input | | | | | | Attenuation State |
|--|------|------|------|------|--------|-------------------|
| V1 | V2 | V3 | V4 | V5 | V6 | RF1 - RF2 |
| 16 dB | 8 dB | 4 dB | 2 dB | 1 dB | 0.5 dB | |
| High | High | High | High | High | High | Reference I.L. |
| High | High | High | High | High | Low | 0.5 dB |
| High | High | High | High | Low | High | 1 dB |
| High | High | High | Low | High | High | 2 dB |
| High | High | Low | High | High | High | 4 dB |
| High | Low | High | High | High | High | 8 dB |
| Low | High | High | High | High | High | 16 dB |
| Low | Low | Low | Low | Low | Low | 31.5 dB |
| Any combination of the above states will provide an attenuation approximately equal to the sum of the bits selected. | | | | | | |

图 3-9 为衰减器电路外围设计原理图，HMC472ALP4E 数字衰减器的工作电压为 5V，该外围电路如果要适用的工作频率范围是 700 MHz 到 2700 MHz，那么引脚 6 到引脚 13 应该悬空，其中衰减器输入端为 SN74LV245A 为三态输出的缓冲器。

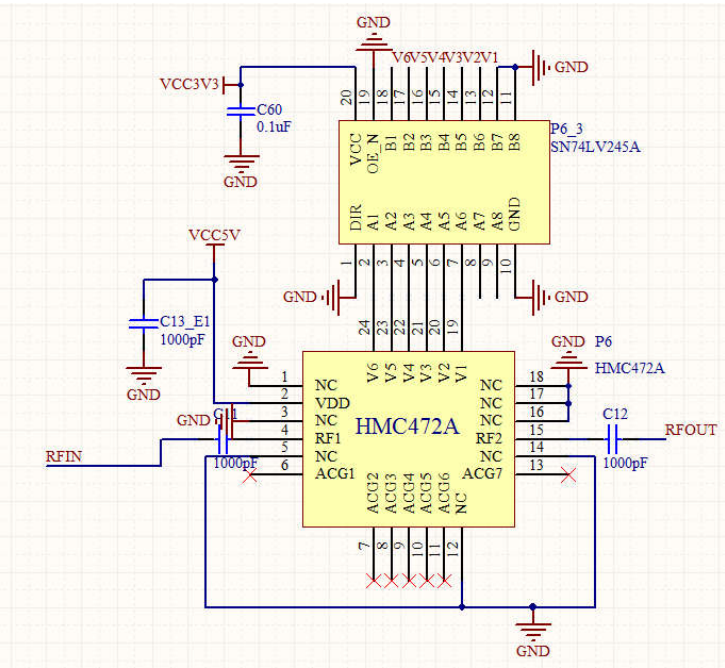


图 3-9 HMC472ALP4E 数字衰减器外围电路

3.3.2 固定增益放大器模块

固定增益放大器需要具备低噪声高增益特性，因此选择 Mini-Circuits 公司的 MNA-6A+器件。MNA-6A+主要参数指标如表 3-4 所示。放大器在 1.9 GHz 频点提供了 25 dB 增益，两级放大器达到 50 dB 增益，符合设计指标。

表 3-4 MNA-6A+主要参数指标

| 主要参数 | 参数指标 |
|----------------|-----------------|
| 工作频率 | 0.5 GHz~2.5 GHz |
| 增益 | 25 dB(1.9GHz) |
| 噪声系数 (NF) | 2.6 dB |
| 1dB 压缩点 (P1dB) | 20.2 dBm |
| OIP3 | 32.4 dBm |

MNA-6A+在芯片封装内部集成了匹配网络以及大部分的偏置电路,在运用过程中不需要额外的匹配电路以及电源偏置电路,简化了电路外围设计,在芯片外围电路中只用提供 5 V 的工作电压如图 3-10 所示:

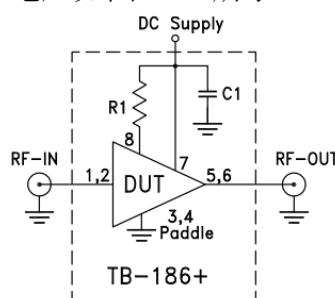


图 3-10 MNA-6A+外围电路设计

3.3.3 功分器

本次设计选用 Mini-Circuits 公司的 GP2S+功分器将信号耦合到反馈环路进行功率调整器。GP2S+工作频率 0.8~2.1 GHz, 隔离度 24 dB, 插入损耗 0.8 dB, 驻波比 1.2。

3.4 功率检波器模块硬件设计

在 AGC 系统中,检波器的输入输出需满足 dB 线性关系,从 2.3.1 节可知对数检波器输入输出满足要求。检波器脉冲响应速度是影响整个环路建立时间的关键之一。综合上述两点要求,此次设计选择 AD 公司的 HMC601LP4(E)对数检波器,该检波器采用逐次压缩拓扑,在输入频率较宽的范围内具有极高的动态范围以及转换精度。

HMC601LP4 对数检波器工作频率范围在 50 Hz 到 3 GHz 之间,功率调节的动态范围高达 75 dB,在 60 dB 范围检测精度高达 1 dB。HMC601LP4(E)拥有 15 ns/34ns (上升沿/下降沿时间)响应时间,可以检测 20 MHz 以上的射频突发脉冲速率。设计要求输入信号为 1.9 GHz,带宽为 450 MHz。图 3-13 给出了输入信号频率为 1.9 GHz,检波器在 25℃, 85℃, -45℃三种温度下的输入功率和输出电压关系图

以及输出误差与输入功率关系图。从图 3-11 中可以看出, 输入功率在 $-67\text{ dBm}\sim-3\text{ dBm}$ 范围内与输出电压满足 dB 线性关系且误差都小于 1.2 dB , 对应输出电压范围 $0.567\text{ V}\sim 1.788\text{ V}$, 但是输入功率超过 -3 dBm 后, 输出电压出现压缩情况, 压缩区域电压最大值接近 1.9 V 。根据课题要求, AGC 系统输入功率为 $10\text{ dBm}\sim-50\text{ dBm}$ 。因此当检波器输入功率大于 -5 dBm 时, 直接将射频链路衰减量增大, 使得输入功率在检波器线性范围内。

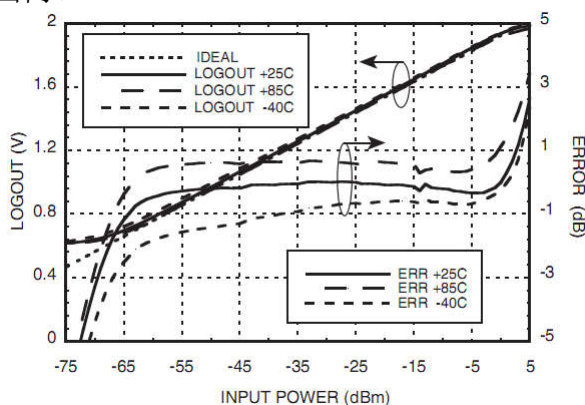


图 3-11 输出电压, 误差-输入信号功率关系图

图 3-12 给出了检波器在 25°C , 85°C , -45°C 三种温度下的对数斜率。从图中可以看出温度为 25°C 时, 工作频率在 1.9 GHz 的对数斜率为 19 mV/dB 。

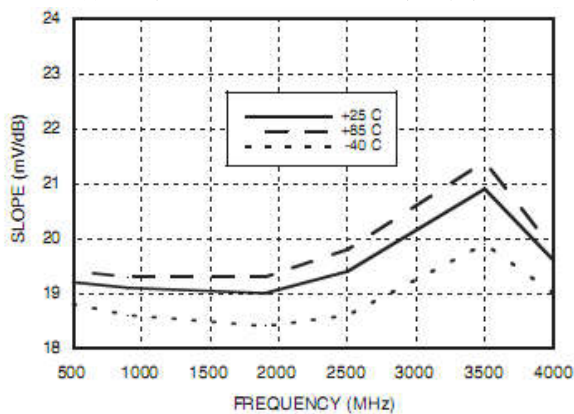


图 3-12 对数斜率-输入频率关系图

HMC601LP4 对数检波器工作电压范围在 2.7 V 到 5 V 之间, 其电路外围设计原理图如图 3-13 所示。该检波器有检测模式和控制模式, 本次设计需要检测模式, 因此将引脚 LOGOUT 与 VSET 引脚短路连接。

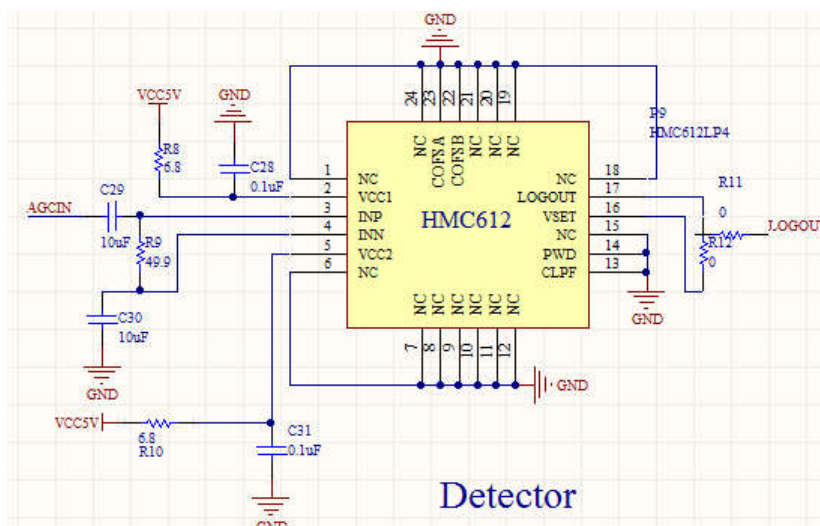


图 3-13 HMC601LP4 外围 电路设计

3.5 ADC 采样模块硬件设计

ADC 转换器是整个自动增益控制环路中关键的一个模块，AGC 系统输入脉冲信号的最窄脉宽决定了 ADC 的采样速率，A/D 转换位数直接影响了 AGC 控制的精度，ADC 性能的好坏对 AGC 系统的稳定性和收敛速度起着关键性作用。本次 AGC 系统接收信号的最窄脉宽为 1 μ s，为了可以精准地反映脉冲信号的幅度，那么 ADC 的采样率不能低于 10 MSPS。并且为了提高自动增益控制系统的控制精度选用了 12 位的 A/D 转换器。基于以上设计要求，选择 AD 公司的流水线型 A/D 转换芯片 AD9233，芯片内部结构如图 3-14 所示：

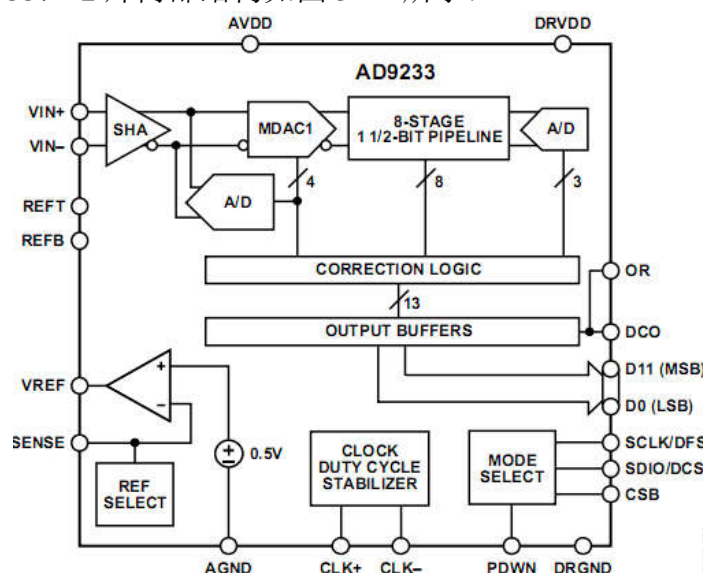


图 3-14 AD9233 结构功能图

AD9233 转换器采用 48 引脚 LFCSP 封装，与 AD9246 引脚兼容。AD9233 架

构由一个前端采样保持放大器和其后的流水线型开关电容 ADC 构成。各级的量化输出组合叠加在一起，在数字校正逻辑条件下形成一个 12 位转换结果，数字输出数据格式支持偏移二进制、二进制补码或格雷码。编码输出是与 TTL/CMOS 电平兼容的，12 位数字输出能在 2.7 V~3.6 V 电压范围内工作。该芯片的采样率的典型值为 80 MSPS、105 MSPS 以及 125 MSPS，其模拟供电电源 1.8V，数字参考电压 1.8~3.3 V，其动态功耗在 395 mW，采样信号输入范围在 1 V~2 V 峰峰值。下面着重对 AD9233 的模拟信号输入模块，基准参考电压和时钟输入模块进行详细说明。

3.5.1 ADC 基准电源设置

AD9233 内置精确，稳定的基准电压源。输入信号范围是基准电压的两倍，因此基准电压值决定了 ADC 输入电压范围。可以通过改变基准电压(内部基准电压或外部基准电压)来调节输入范围，AD9233 的内置比较器可检测出 SENSE 引脚的电压值，基准电压可以配置成四种不同的状态如表 3-5 所示。为了调试灵活性，选择可编程基准电压模式，调试时可以通过调节反馈电阻值改变基准电压。

表 3-5 AD9233 基准电压配置状态

| 选择模式 | SENSE电压 | 相应的VREF (V) | 相应的差分范围(Vp-p) |
|----------|--------------|---------------------------------|---------------|
| 外部基准电压 | AVDD | 不可用 | 2 × 外部基准电压 |
| 内部固定基准电压 | VREF | 0.5 | 1.0 |
| 可编程基准电压 | 0.2 V 至 VREF | $0.5 \times (1 + R2/R1)$ (见图43) | 2 × VREF |
| 内部固定基准电压 | AGND 至 0.2 V | 1.0 | 2.0 |

3.5.2 ADC 模拟信号输入设计

由于检波器输出信号范围在 0.567 V~1.9 V，但是 ADC 输入信号的峰峰值在 1 V~2 V 之间，从而导致检波输出信号大于 1 V 之后 ADC 采样输出超出量程。因此检波器输出信号应该先进行信号幅值调理。AD9233 转换器的模拟输入端是一个差分开关电容 SHA，该结构处理差分信号的性能优异。通常来讲，差分放大器和变压器经常应用在驱动差分输入方面，但是由于输入信号是脉冲信号的包络，需要保留输入信号的直流电平，但是变压器具有隔离直流信号的特性。因此在需要保留直流电平的情况下，必须采用差分放大器驱动 ADC 输入。下面分析信号调理和单端转差分电路设计。

检波器输出信号范围在 0.567 V~1.9 V，有效幅度范围是 1 V 峰峰值，将检波器输出信号首先与 1.2 V 电压做减法运算。信号调理通道的总体示意图如图 3-15 所示。

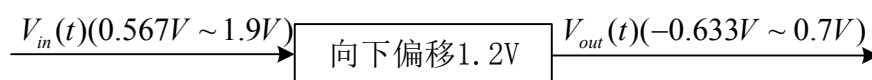


图 3-15 信号调理通道示意图

此处运放应选择低噪声高带宽放大器，从脉冲信号特性出发选择 AD 公司的 AD8034 运算放大器，其大信号带宽达到 80 MHz。原理图如图 3-16 所示，偏移电压 offset 由基准电压源提供 1.2V 电压，其中放大倍数设置为 1。

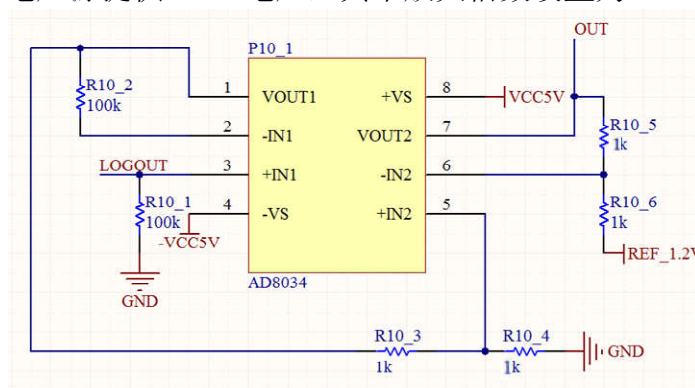


图 3-16 信号调理电路原理图

为了平衡 ADC 的差分输入以及保留输入信号的低频和直流信号，使 ADC 性能达到最优。本设计中选用 AD 公司的 AD8138 差分驱动器实现单端转差分功能，AD8138 可用作单端转差分放大器或者差分到差分放大器。AD8138 和运算放大器一样易于使用，简化了差分信号放大和驱动的电路设计。AD8138 主要性能参数如表 3-6 所示，该驱动器的低失真性能，能够在输入信号频率较高的情况下驱动 10 位到 16 位 ADC，因此能够很好的应用在通信系统中。

表 3-6 AD8138 主要参数指标

| 主要参数 | 参数指标 |
|-------------------|-----------------|
| 无杂散动态范围 (SFDR) | -94 dBc (5MHz) |
| -3dB 小信号带宽(G=1dB) | 320 MHz |
| 0.01%建立时间 | 16 ns |
| 压摆率 | 1150 V/μs |
| 电源电压 | 3 V~5 V |
| 功率 (5V) | 90 mW |
| 0.1dB 平坦度带宽 | 30 MHz |

如图 3-17 所示为单端转差分电路原理图，通过设置 AD9233 的 CML 引脚的电压输出，可以灵活的设置 AD8138 输出信号的共模电压基准电压，为实现最佳工作性能，CML 引脚焊接一个 0.1 uF 去耦电容。AD8138 差分驱动器采用双电源

供电方式，实现单端到差分转换。此处驱动器仅用于缓冲作用，因此将单端到差分转换电路增益设置为 1。

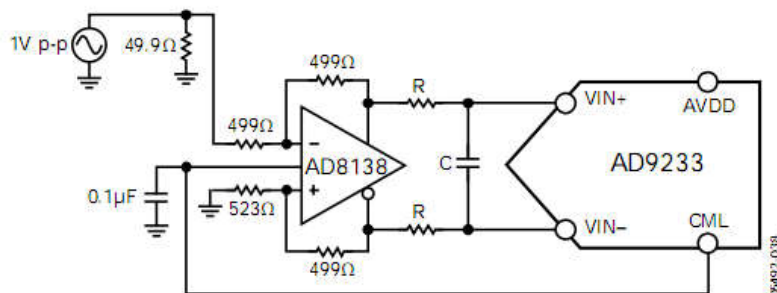


图 3-17 AD8138 单端转差分电路原理图^[49]

3.5.3 ADC 采样时钟输入设计

AD9233 的时钟输入结构十分灵活。CMOS、LVDS、LVPECL 或正弦波信号均可作为采样时钟输入信号。式 3-1 是 ADC 信噪比计算公式，其中 F_{IN} 为满量程模拟输入信号频率， t_j 为时钟均方根抖动。因此可以看出模数转换器的采样率与信噪比无关，而时钟源抖动才是影响信噪比的关键参数。提供采样时钟的方式主要有两种，第一种是直接通过 FPGA 的时钟管理器给 AD9233 提供采样频率，第二种是通过时钟管理芯片提供采样频率。下面分析两种方式时钟方案对模数转换器的信噪比参数的影响

$$SNR = -20 \log(2\pi \times F_{IN} \times t_j) \quad (3-1)$$

FPGA 的时钟管理器输出的时钟通过专用的时钟引脚到达模数转换器，通常 FPGA 输出的时钟源抖动在 ps 级别，抖动大概 150 ps 左右，本次脉冲周期最小是 200 ns，因此假设输入脉冲频率为 1 MHz，由 3-1 式可得到信噪比为 -79.29 dB，信噪比较差。低抖动的时钟芯片可以提高信噪比，比如 ADI 公司的 AD9511、AD9512、AD9513 系列的时钟芯片，该类时钟芯片的 RMS 周期抖动为 300 fs，因此由 3-1 式可知信噪比为 178dB。但考虑到 FPGA 输出时钟的信噪比已经较好了且节约了 PCB 板面积，因此此次设计选择 FPGA 通过时钟管理器输出 125MHz 时钟。

AD9233 采样时钟为差分输入，因此需要对 FPGA 输出时钟进行单端转差分操作，图 3-18 电路设计图，ADT1-1WT 巴伦将单端输入时钟转换为差分输出，在经过稳压管 HSMS2812 到达 ADC 时钟输入端。

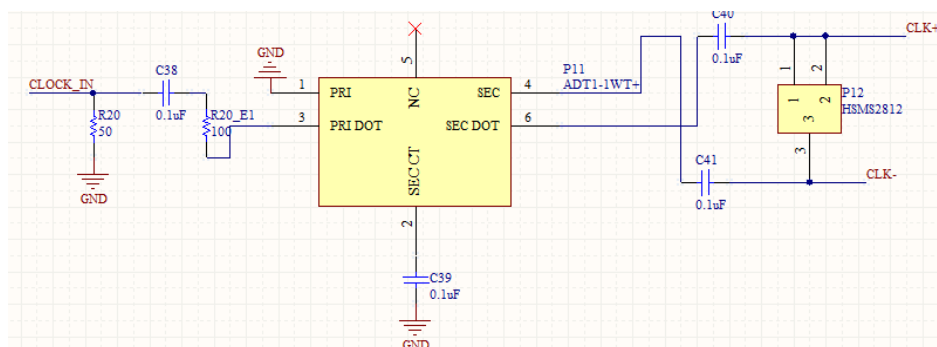


图 3-18 AD9513 电路原理图

3.6 AGC 系统电源模块设计

本设计方案的电源输入设计为 5 V 直流电源供电。整个系统电源树设计方案如图 3-19 所示。此次设计主要为三个大模块提供不同的工作电压。FPGA 芯片 3.3 V 和 1.2 V 的电压。AD9233 需要模拟电源 1.8 V 以及数字电源 3.3 V，ADC 输入设计中，AD8138 需要 ± 5 V 电压，信号调理通道需要 1.2 V 的基准电压；而可变增益放大器模块和检波器均需要 5 V 的工作电压。其中 5 V 电源直接由电压源提供。

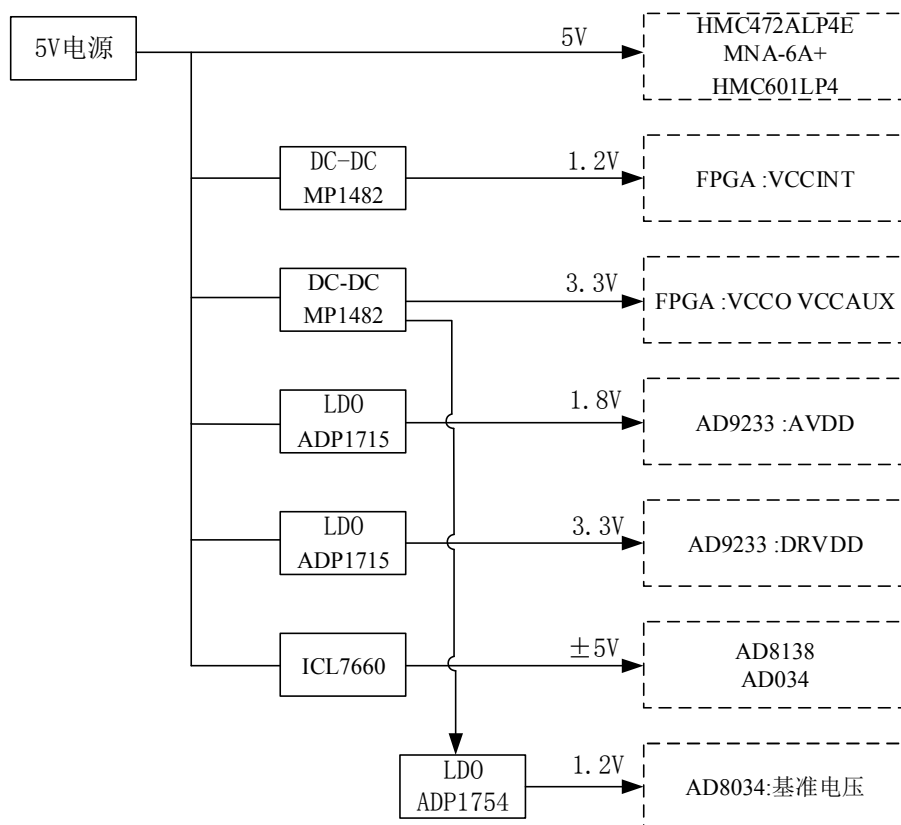


图 3-19 系统电源分配原理图

其中 AD9233 需要 1.8 V 的模拟电压源以及 3.3 V 的数字电压，选择

ADP1715ARMZ LDO 芯片提供 1.8 V 以及 3.3 V 电源电压, LDO 类型的电源芯片能够提供干净的电压, 输出纹波小。

AD8138 的工作电压为 $\pm 5\text{ V}$, 由 Maxin 公司的功率极性反转电源转换器 ICL7660 提供, 其原理图如图 3-23 所示。信号调理通道的 1.2 V 电压由 ADP1754 提供。

由于 FPGA 为主控芯片, 功耗高, 需要功率大的电源芯片。此处选择 MPS 公司的 MP1482 同步整流降压 DC / DC 调整器, MP1482 最大输出电流可达 3.4 A, 效率高达 93%, 适合为 FPGA, DSP 以及 ASIIC 提供电源。输入电压范围在 4.75V~18V 之间, 输出电压范围在 0.923 V~15 V 之间。式 3-2 电压输出计算公式

$$V_o = 0.92(1 + R1/R2)(V) \quad (3-2)$$

其中电阻 R1 和 R2 阻值的精度为 1%, 且 R2 阻值固定为 10 K。根据 3-2 式, 取 R1 为 26.1 K, 即可得到 3.3 V 的输出电压如图 3-20 所示。R1 阻值为 2.01 K 时, 可以得到 1.2 V 的输出。

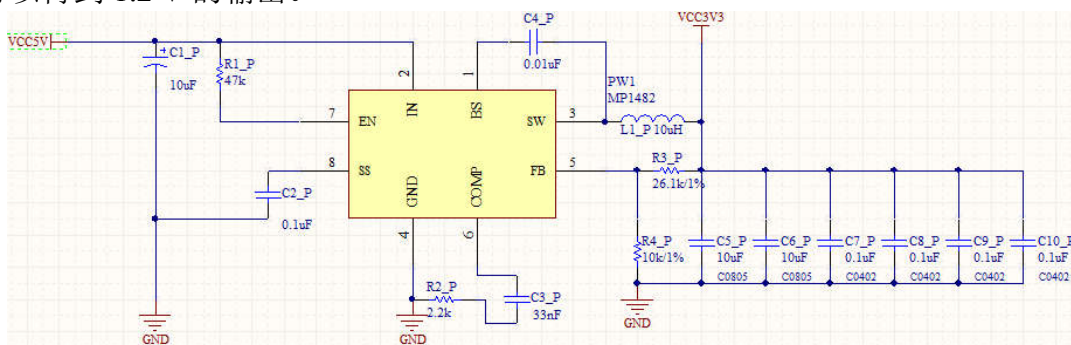


图 3-20 MP1482 电源输出电路

为了给 FPGA 提供较稳定的电源, 同时降低元件耦合到电源端的噪声, 减少其他元件受该引脚的噪声影响。应该在 FPGA 的 3.3 V 电压 IO 口附近尽可能近的加上去耦电容如图 3-21 所示:

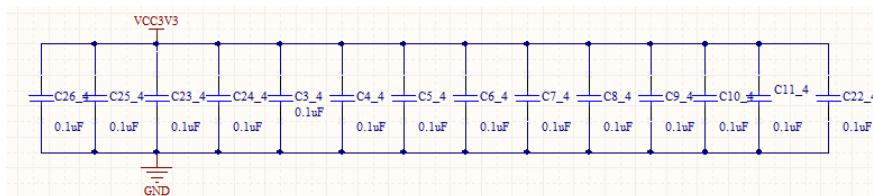


图 3-21 FPGA 各电源 IO 接口去耦电容原理图

3.7 PCB 布局布线

本次信号频率在 1.9GHz, 可变增益放大器模块间的传输线需要做 50 欧姆的匹配, 此外如果 PCB 布局布线不合理, 会造成很多不必要的干扰造成输出信号质量

较差。

3.7.1 传输线 50 欧姆匹配

可变增益衰减器以及固定增益放大器都是 50 欧姆匹配，因此传输线也应该 50 欧姆，本次 PCB 介质选择 FR4，表面镀金，厚度为 35 μm 。ADS 工具 linecalc 可以计算传输线长度。计算出传输线宽度为 1.75 mm。AGC 系统输入输出均焊接 50 欧姆的 SMA 转接头。

3.7.2 PCB 布局布线规则

电路板的排版一定要遵循规范准则，从而避免不必要的麻烦，主要关注电源和射频两个方面，如果电源纹波不滤除会影响器件的正常工作，而射频线的走线不规则会导致信号产生损耗。接下来从，射频线的排布，电源结构的排版以及接地来说明电路板排版要求。

1、首先可变增益放大器模块工作在高频条件下，其射频信号线的排版十分严格，如果说这些载有高频的信号线太长了可能会成为发射天线，因此射频信号尽量短直，切忌拐弯排版。因此衰减器和放大器的频率输出线应该尽可能短直。避免 PCB 的绿油对信号线产生影响，应该避免射频链路以及周围附上绿油。

2、确定射频链路之后，接下来就是电源电路设计。给芯片供电的直流电源容易带有纹波信号，滤除纹波的主要方法是：在靠近直流电源输入端加入 RC 滤波器。电容容值较大时负责滤除低频信号，反之电容值较小的滤除高频信号。此外为了方便测试。

3、对于电磁干扰来说良好的接地也是一个有效的措施，电磁干扰对器件的干扰会影响其工作性能，在射频信号信号旁边加上过孔接地且附上铜皮，对于数字地和模拟地要分开。

遵循上述规则精心布置电路板布局，如图所示图所示。最后将 PCB 发工厂制作成品，实物如图 3-22 所示：

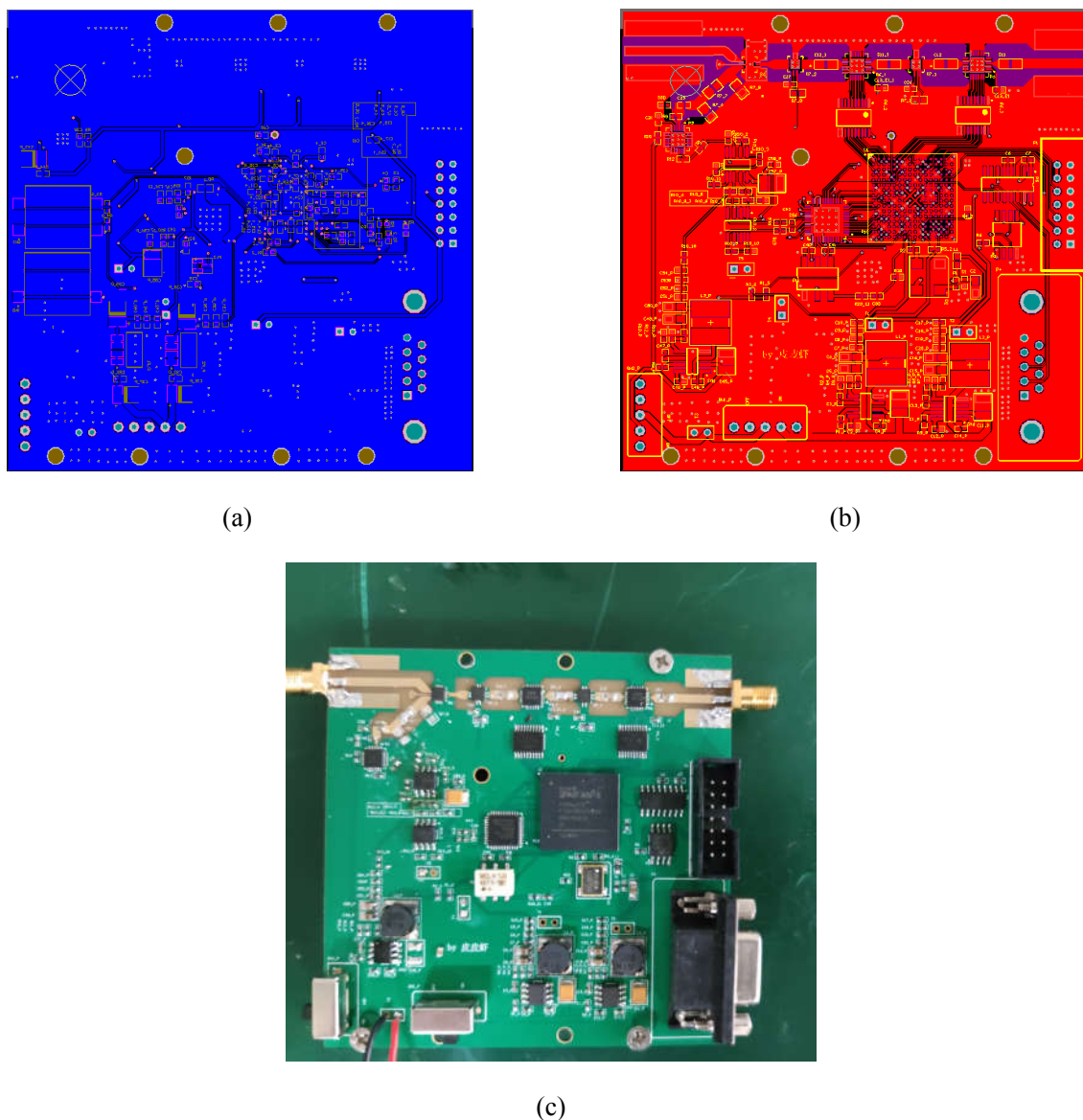


图 3-22 数字 AGC 系统 PCB 版图。(a) PCB 板 bottom 层；(b) PCB 板 top 层；(c) PCB 板实物

3.8 本章小结

本章对数字 AGC 系统结构方案和硬件设计进行详细说明。根据设计参数要求，数字 AGC 系统选择采样数据反馈结构。可变增益放大器模块采用数字衰减器级联固定增益放大器的方式实现 60 dB 的动态调节范围，其步进为 0.5 dB。详细介绍数字 AGC 结构的各个子模块的结构选取以及电路设计。增益控制模块选用 Xilinx 公司 Spartan-6 系列 xc6slx-2ftg256 型号的 FPGA 芯片。最后给出了数字 AGC 系统的 PCB 版图和实物图。

第四章 数字 AGC 系统逻辑设计

在上一章确定了数字 AGC 系统的结构方案以及完成了相应的硬件设计。接下来对数字 AGC 系统基于 FPGA 进行逻辑设计，下面将对整个系统的模块划分以及设计进行阐释。

4.1 FPGA 片内逻辑总体结构设计

4.1.1 FPGA 开发流程及原则

FPGA 整个开发流程包含了方案设计、设计输入、功能仿真、综合、前仿真、布局布线、静态时序分析、后仿真以及器件编程调试，如图 4-1 所示：

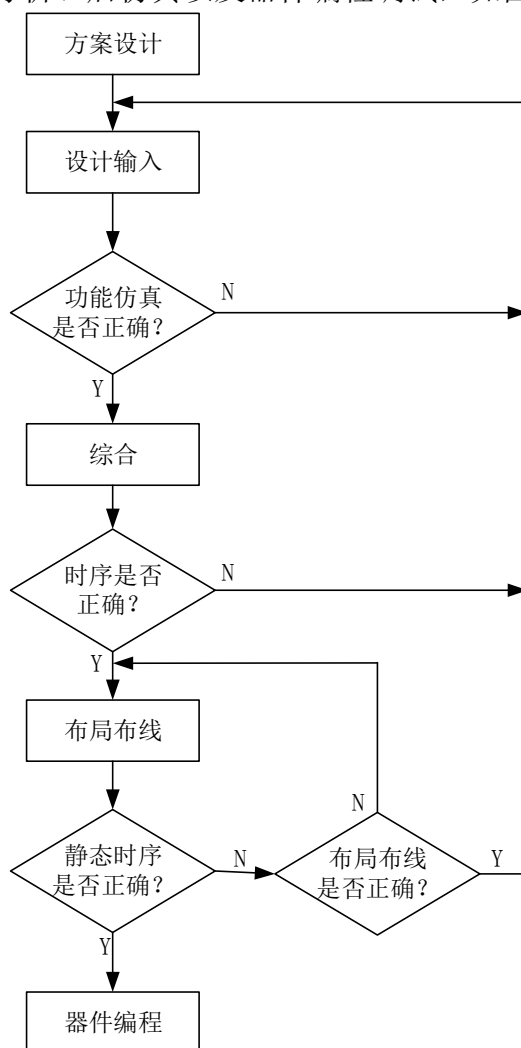


图 4-1 FPGA 设计流程

在 FPGA 逻辑设计开始之前, 根据项目进行方案设计, 需要对系统进行功能定义和模块的划分, 根据对工作速度和器件本身的资源, 成本, 以及连线的可行性进行评估, 从而选择相应的设计方案以及器件类型。然后根据设计需求进行输入设计, 整个模块设计应当遵循当自顶向下设计的原则, 这样便于模块移植与划分。各个模块设计完成后应该对其功能和时序进行仿真。前仿真通过后, 将设计综合成门级网表。布局布线步骤包含将门级网表映射到相关器件的内部资源以及布局布线两个步骤, 最后进行静态时序分析, 时序通过后下载到 FPGA 器件上进行上板调试^[46]。FPGA 整个设计流程中, 原理图设计主要需要注意三个方面^[47]:

1、面积和速度, 当模块驱动时钟较高时, 如果组合逻辑延时过高会使得时序违规, 需要对组合逻辑做拆分, 因此需要更多的资源, 所以 FPGA 面积和速度是相互掣肘的, 应该根据设计要求进行取舍。

2、同步时钟操作, 对数据进行运算或者其他操作时, 应该保证所有数据在同步时钟下完成, 如果对异步数据不进行同步操作会产生毛刺使得输出数据不正确。因此 FPGA 设计中, 同一模块应尽可能避免异步操作, 针对异步信号应该进行同步处理。

3、模块化设计, 对整个设计进行清晰模块划分以及尽量实现参数化设计, 有利于模块的复用。

4.1.2 FPGA 开发工具介绍

本次设计中 FPGA 型号为 Xilinx 公司的 spartan-6 系列的 xc6slx-2ftg256 型号。因此开发工具选用 ISE13.7, 它是 CPLD / FPGA 器件的综合性开发软件。ISE 工具以工程的方式对设计进行管理。ISE 开发软件支持 Verilog HDL 和 VHDL 两种数字系统设计硬件描述语言。Verilog HDL 推出已经有 20 多年, 拥有广泛的设计群体, 成熟的资源比 VHDL 丰富。Verilog HDL 更大的一个优势是: 它非常容易掌握, 只要有 C 语言的编程基础。而 VHDL 设计相对要难一点且不是很直观, 需要有 EDA 编程基础。基于上述考虑, 本次设计基于采用 Verilog HDL 语言。

针对 FPGA 设计的功能和时序仿真, 选择 Mentor 公司的 Modelsim 仿真工具。虽然 ISE 自带仿真界面, 但是无论是从使用界面, 调试环境, 仿真速度和效果比较, ModelSim 都可以算的上是业界比较优秀的 HDL 语言仿真软件。它是唯一的单内核支持 VHDL 和 Verilog HDL 混合仿真的仿真器, 是针对 FPGA 设计的 RTL 级和门级电路仿真的优秀工具, 结合了直接优化的编译技术, Tcl/Tk 技术和单一内核仿真技术。其平台仿真速度快, 编译的代码与仿真平台无关, 便于 IP 核的保护和加快错误程序定位等优点^[48]。

4.1.3 FPGA 总体结构设计指标

4.1.3.1 FPGA 总体结构设计

数字 AGC 系统的环路建立时间很大程度上由增益调整算法的收敛性决定，因此对算法逻辑设计时应该尽可能缩短增益调整时间的开销，本次设计主要实现可变增益放大器模块增益调整功能。FPGA 与 AD9233、上位机以及数字可控衰减器进行数据交互。整个数字 AGC 系统的逻辑设计框图如 4-2 所示：增益调整模块，主控程序模块，串口通信以及 SPI 通信四个模块均在 FPGA 中实现。

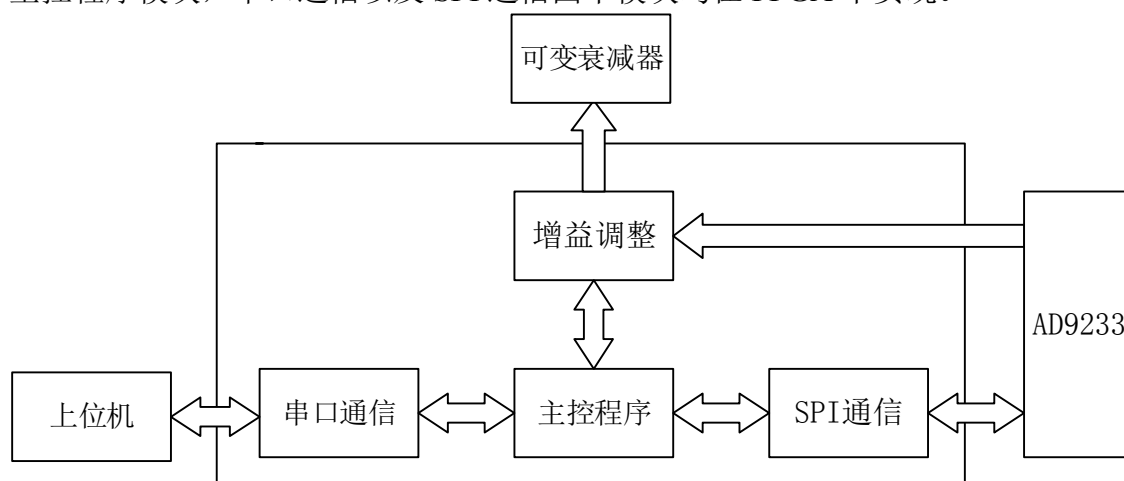


图 4-2 FPGA 系统设计结构

整个系统工作流程为：系统开机时，首先上位机通过串口发送写 AD9233 寄存器参数的指令，对 AD9233 的工作模式进行设置，串口的指令通过 SPI 模块完成寄存器写操作，为确定 AD9233 寄存器是否配置正确，上位机可以通过串口发送读 AD9233 相应寄存器指令。配置完成后增益调整模块开始工作，根据 AD9233 采样数据进行增益调整计算，最后得到可变衰减器的衰减量，当采样数据与目标功率值的差值在误差范围内时，则锁定输出增益。上位机可以通过串口读回增益调整模块的数据，从而监测系统工作稳定性。主控程序模块主要是对上位机发送的指令进行辨别，然后送到指定的模块。本次下面对四个模块的设计与仿真进行详细说明。

4.1.3.2 FPGA 设计实现指标

数字 AGC 增益调整算法很大程度上与输入功率范围，增益调整范围以及检波器线性度相关。下面列出这几个指标的具体参数：

数字 AGC 系统信号输入范围：-50 dBm~10 dBm

输出功率目标值：-5 dBm

链路增益范围：-16 dB~47 dB

数字衰减器衰减量范围：0 dB~63 dB（步进为 0.5 dB）

检波器输入信号范围：-66 dBm（增益为-16 dB）~16 dBm（功率饱和输出）

检波器线性范围：-67 dBm ~-3 dBm

4.2 增益调整模块

增益调整模块主要内容：首先对 ADC 转换器采样进行预处理从而得到准确的功率值，然后通过增益调整算法求出链路当前所需要的增益，最后使得输出功率达到目标值-5 dBm。下面对算法的原理，逻辑设计以及功能仿真进行详细说明。

4.2.1 增益调整算法原理

增益调整模块主要实现两大功能，第一是将 ADC 采样数据同步，然后通过增益调整算法进行增益调整，其中增益调整算法选用查找表实现。

4.2.1.1 ADC 采样数据时序

AD9233 转换器的典型采样率有 80 MSPS、105 MSPS 以及 125 MSPS，但是脉冲信号宽度最窄为 200 ns，单个脉冲内采样的数据越多则功率评估更加精准，因此设置 AD9233 的采样率为 125 MSPS。该模数转换器采样数据位宽 12 位以并行方式输出，伴随采样数据输出时钟为 DCO，其时序图如图 4-3 所示。从时序图中可以看出采样数据在上升沿有效^[49]。

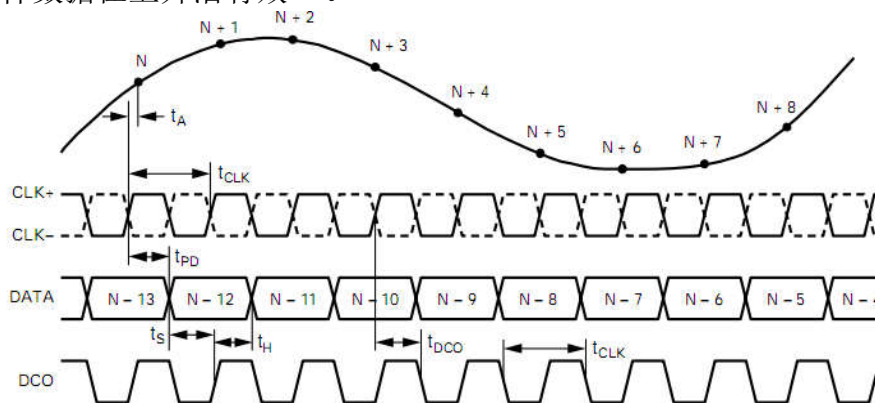


图 4-3 AD9233 数据输出时序图

AD9233 输出数据的在采样率为 125 MSPS 情况下的建立时间保持时间等参数如表 4-1 所示，由于采用流水线架构，其输出延时为 12 个周期数，AD9233 在经过时钟信号上升沿后的一个传播延迟时间之后，产生输出数据。

表 4-1 AD9233 输出时序参数表

| 数据输出参数 | 单位 (ns) |
|---------------------|---------|
| 数据输出延时 (t_{PD}) | 3.9 |
| DCO 传播延时 | 4.4 |
| 建立时间 (t_S) | 4.4 |
| 保持时间 (t_H) | 4.5 |
| 流水线延时 | 96 |
| 孔径延时 (t_A) | 0.8 |

4.2.1.2 查找表法

在文中 2.4 节中, 分析了查找表法和二分法两种增益调整算法的基本原理以及优缺点, 可知查找表法的收敛性极好。AGC 结构中的检波器线性范围在 -67 dBm ~ -3 dBm, 而检波器输入功率范围在 -66 dBm ~ 16 dBm 之间, 当输入功率大于 -3 dBm 时, 检波器不在线性区域, 当输入功率大于 10 dBm 时, 增益调整模块中的放大器输出饱和会导致信号产生杂波信号, 因此为了避免检波器的非线性工作区域以及放大器饱和输出饱和的情况, 对输入功率进行分段处理, 当输入功率范围在检波器线性范围内时选择查找表法, 当输入功率超出线性区域, 直接将衰减量调整为 63 dB, 使得输入功率进入线性区域。

下面对检波器的线性工作区域的输入功率进行查找表设计, 由设计指标可知, 检波器输入功率在 -66 dBm ~ -3 dBm 范围是线性的, 且对应的输出电压范围为 0.586 V ~ 1.788 V, 此处假设 ADC 采样数据为 M , 由于 AD9233 分辨率为 12 位, 采样范围为 2 V, 因此采样精度为 0.488 mV/LSB。已知数字可变衰减器的步进为 0.5 dB, 因此由检波器输入输出斜率为 19 mV/dB 可知 0.5 dBm 功率对应 9.5 mV 输出电压, 可以求得 ADC 对应 0.5 dBm 的数字变化量 $\Delta M_{0.5}$ 如式 4-1:

$$\Delta M_{0.5} = 9.5 / 0.488 = 19.46(LSB) \quad (3-3)$$

由式 4-1 可知, ADC 采样数据值每改变 19.46 LSB 即是输出功率改变 0.5 dBm, 因此将 ADC 采样数据与目标值数据 M_{goal} (-5 dBm 对应的 ADC 采样值 3174) 做差然后除以 $\Delta M_{0.5}$ 得到当前时刻衰减器总调整量 $\Delta G(n)$, 如式 4-2 所示:

$$\Delta G(n) = \begin{cases} \frac{0.5(M_{goal} - M)}{\Delta M_{0.5}} & (M_{goal} - M) \% \Delta M_{0.5} \leq 0.5 \Delta M_{0.5} \\ \frac{0.5(M_{goal} - M)}{\Delta M_{0.5}} + 0.5 & (M_{goal} - M) \% \Delta M_{0.5} > 0.5 \Delta M_{0.5} \end{cases} \quad (3-4)$$

式 4-2 中, 由于 verilog 中整数除法直接将小数点部分舍去, 将会使得增益调整量误差为 ± 0.5 dB, 因此需要对 AGC 系统输入功率进行分段处理, 如表 4-2 所示,

对应式 4-2 中即是对 ADC 采样数据进行取余数操作, 当余数小于 0.25dB 时, 直接取整数部分, 当余数大于 0.25dB 时整数部分加一, 这样使得误差在 $\pm 0.25\text{dB}$ 之间。

表 4-2 AGC 系统输入功率及对应增益调整

| AGC 输入功率 (dBm) | 所需放大增益 (dB) | 衰减器衰减总量 (dB) |
|-------------------|----------------|-----------------|
| 10~9.75 | -15 | 62 |
| 9.75~9.25 | -14.5 | 61.5 |
| 9.25~8.75 | -14 | 61 |
| ... | ... | ... |
| -4.75~-5.25 | 0 | 47 |
| -5.25~-6.75 | 0.5 | 46.5 |
| -5.75~-6.25 | 1 | 46 |
| ... | ... | ... |
| -48.75~-49.25 | 44 | 3 |
| -49.25~-49.75 | 44.5 | 2.5 |
| -49.75~-50.00 | 45 | 2 |

根据式 4-2, 可知将 ADC 采样数据 M 进行地址处理, 将衰减器变化量 $\Delta G(n)$ 对应存入查找表中, ADC 采样数据输入范围为 800~3481, 因此将查找表深度设置为 4096。

4.2.2 增益调整模块设计

增益调整模块整个工作流程如图 4-4 所示。主要包含了时序对齐, 门限值比较, 平均功率以及查找表地址生成四个模块组成。主要工作流程: 由于 ADC 采样数据和伴随时钟布线长度不能保证完全一致, 因此需要时序对齐模块对伴随时钟的相位进行微调, 保证采样数据与伴随时钟对齐后进入计算模块。门限值触发模块: 当检波器输出电压低于 0.586 V 时, 数据无效增益算法不启动, 因此 ADC 采样数据首先应该设置门限值, 但是只比较一次容易被毛刺干扰引起误触发, 应该进行多次比较本次设置为 4 次。当满足触发条件后数据到达信号幅度平均模块, 对符合触发条件的采样数据连续取 16 个进行平均值处理, 此处平均值采用流水线操作。信号幅度平均值得到后进入增益调整模块, 首先信号幅度平均值应该进行做分段处理, 如果采样值功率在 -66 dBm~-3 dBm 之间, 直接依照式 4-2 进行处理从而得到查找表地址, 对应地址输出的衰减改变量。如果采样功率超过 -3 dBm, 由于检波器的非线性不能直接与目标值做差, 而是先将两个衰减器的衰减量直接设置为

31.5 dB，使得输出功率调整到检波器的线性区域，然后才按照式 4-2 进行处理。改变量累加上次可变衰减量输出当前衰减量。

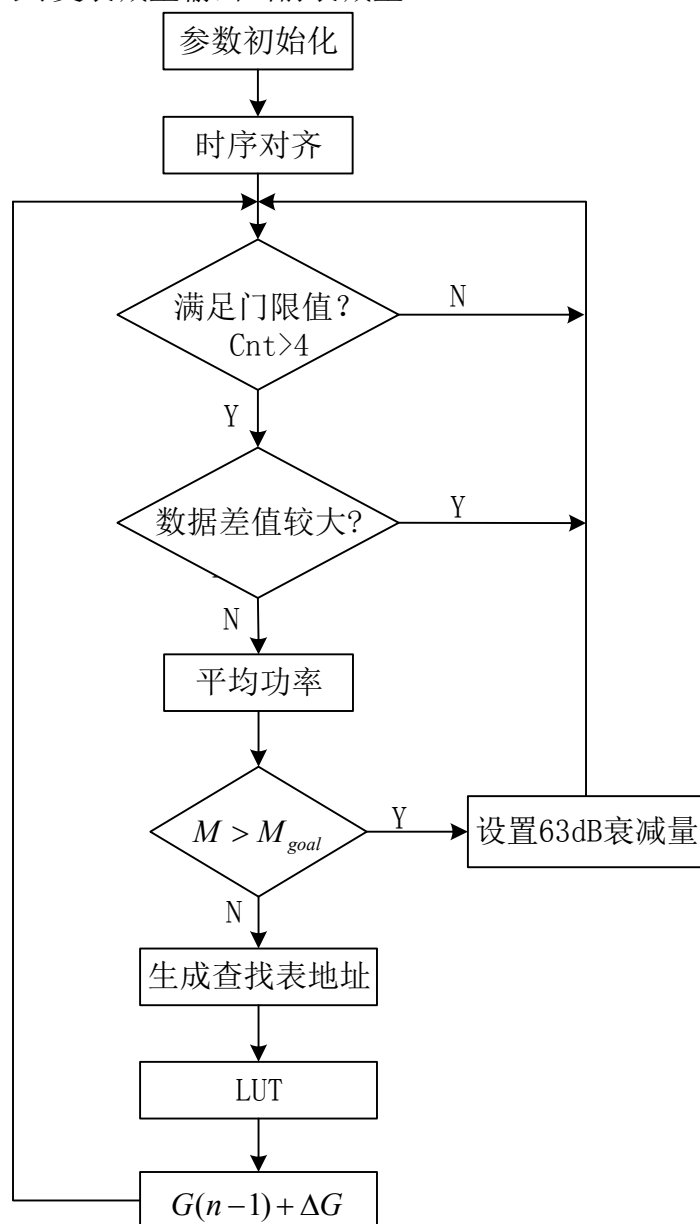


图 4-4 增益调整算法流程图

4.2.3 增益调整算法仿真

此次仿真对时序调整单独仿真，通过上板多次测试，将输入时钟通过 FPGA 的 PLL 将相位调整-15 度后，采样数据与伴随时钟对齐。

下面对门限值比较，平均功率以及查找表地址生成三个模块进行仿真。将增益算法模块的各个子模块的输入输出端按顺序接好，生成增益调整模块 RTL 原理图如图 4-5 所示：

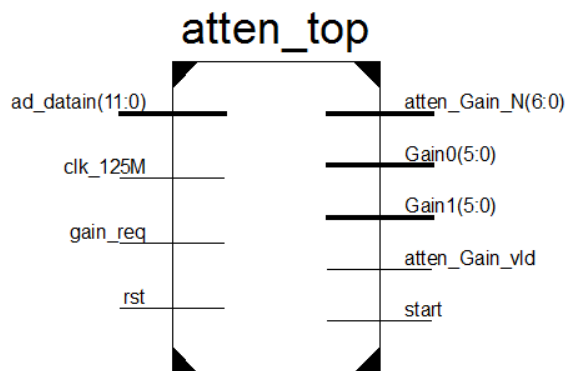


图 4-5 增益调整模块 RTL 顶层图

表 4-3 给出了增益调整模块输入输出端口的定义，其中衰减器控制位的值与衰减量二进制值相反。

表 4-3 门限判决模块端口定义

| 信号名 | 信号位宽 | 传输方向 | 信号含义 |
|----------------|------|------|----------------|
| ad_datain | 12 | 输入 | ADC 采样数据信号 |
| clk_125M | 1 | 输入 | 125 MHz 驱动时钟 |
| rst | 1 | 输入 | 复位信号 |
| gain_req | 1 | 输入 | 上位机读取增益请求信号 |
| Gain0 | 6 | 输出 | 第一级可变衰减器衰减量控制位 |
| Gain1 | 6 | 输出 | 第二级可变衰减器衰减量控制位 |
| atten_Gain_N | 7 | 输出 | 总的衰减量（传回上位机） |
| start | 1 | 输出 | 总的衰减量传回有效指示信号 |
| atten_Gain_vld | 1 | 输出 | 衰减量输出有效指示信号 |

用 modelsim 进行仿真，产生 125 MHz 时钟激励以及 rst 复位激励，随机产生 ADC 采样数据。输出功率目标值 -5 dBm（对应 ADC 采样数据是 3174），初始状态两个衰减器的衰减量为 31.5dB。当功率值在检波器线性范围内时波形仿真图如图 4-6 所示，ADC 采样数据连续四次穿过门限值时，平均功率模块开始工作。平均值 volt_average 为 3005，由 ADC 分辨率以及检波器特性可知功率为 -9.25 dBm。由于衰减器的衰减量二进制的值与控制位相反，因此图中用 atten_Gain0 以及 atten_Gain1 直接表示第一级衰减器和第二级衰减器的衰减量，由图中可以看出当检测到功率为 -9.25 dBm 时，第二级衰减器的衰减量 atten_Gain1 由原来的 31.5 dB 变为了 27.5 dB，最终使得反馈回路的输入变为了 -5.25 dB，即输出功率 -0.25 dB，误差为 0.25 dB 在误差范围内。单次调整时间为 21 个周期即 168 ns，当输入功率在检波器线性范围内时，一个脉冲周期就能完成输出锁定。

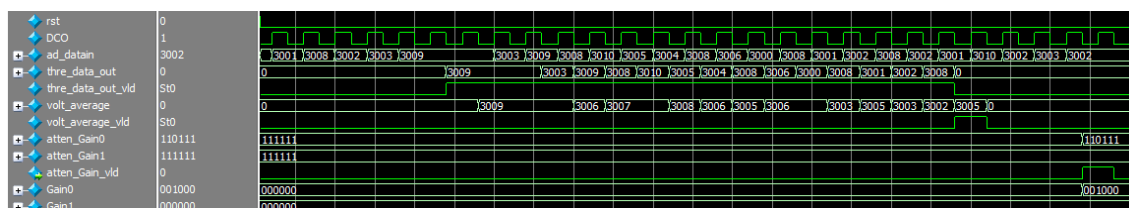


图 4-6 线性区域增益调整模块仿真图

当功率值在检波器的非线性范围内时（此时假设检波器输入功率在 $-5\text{dBm} \sim 5\text{dBm}$ ），波形仿真图如图 4-7 所示，平均值 `volt_average` 为 3206，由于检波器工作在非线性区域无法估计功率值，为了避免链路饱和，直接将第一级衰减器和第二级衰减器的衰减量(`atten_Gain0` 以及 `atten_Gain1` 设置为 63(步进为 0.5 dB 即 31.5 dB)，这样就会使得检波器输入功率进入到线性区域，通过线性调节的方法即可实现输出锁定。此处非线性操作中减少了查找表输出部分，整个过程时钟周期为 19 个，加上线性工作区域调整时间一共为 40 个周期即 320 ns，因此输入功率在检波器非线性范围内时，需要两个脉冲时间完成。

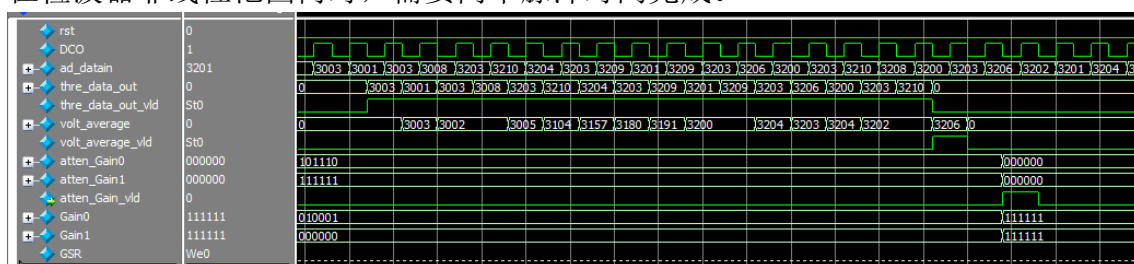


图 4-7 非线性区域增益调整模块仿真图

综上所述两种情况可以看出，增益调整模块单次调节时间最多在 168 ns，脉冲宽度最小为 200 ns，输出功率在两个脉冲时间内稳定，满足设计要求。

4.3 SPI 通信模块

AD233 寄存器配置方式选择 SPI 双线模式如图 4-8 所示，SPI 有三个引脚组成：片选信号 CSB，串行时钟 SCLK，串行数据输入输出引脚 SDIO。当片选信号 CSB 有效时，根据发送指令完成读或者写指令，其中 SCLK 的最低传输速率为 25 MHz。

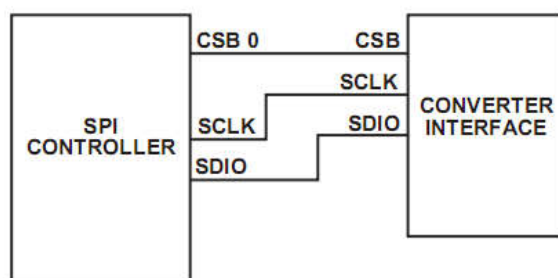


图 4-8 SPI 双线模式结构图

SPI 工作时序图如图 4-9 所示, 当 CSB 片选信号引脚电平为低时, 数据在时钟的上升沿被发送, 当发送结束后 CSB 片选信号拉高。SPI 传输数据的最小单位为 1 个字节。完成寄存器配置读写的工作过程分为三个步骤。首先发送一个字节读写指令信号, 其中只有高 1 位有效, 剩余 7 位补 0。然后发送 AD9233 的寄存器地址, 地址宽度为 1 个字节。最后根据指令在指定地址的寄存器完成读或者写操作^[50]。

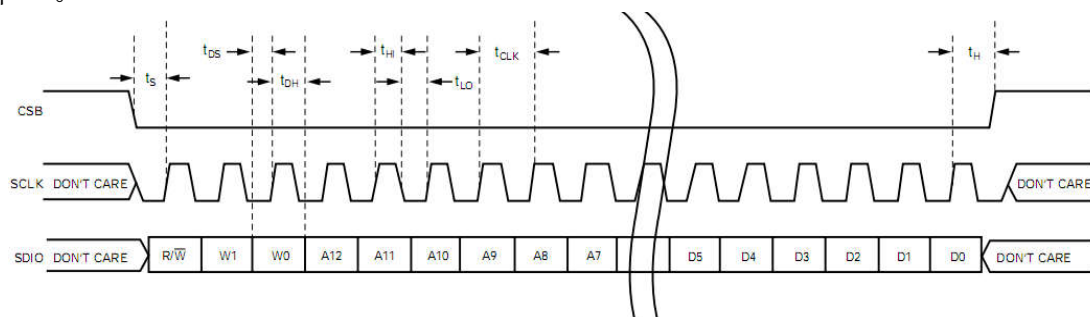


图 4-9 SPI 时序图^[49]

4.3.1 SPI 通信模块设计

串口发送来的数据为 24 位, 其中高八位为读写指令, 中间八位为寄存器地址, 低八位为寄存器配置的数据, 如果读操作低八位则忽略, SDIO 每次传输 1 个字节。因此 SPI 通信模块分为 SPI 读写单元模块和 SPI 状态机模块。其中状态机部分识别发送指令完成相应的发送或者读数据指令, SPI 读写单元根据状态机模块的指令进行读写操作。下面对两个模块的 RTL 设计进行详细说明。

SPI 读写单元内部设计结构图如图 4-10 所示, 该模块由脉冲发生器, 写移位寄存器和读移位寄存器三个子模块组成。当 SPI 读写单元接受到读或写有效指示信号时, 脉冲发生器会在 SCLK 上产生八个 25 MHz 的脉冲, 同时写移位寄存器存储输入的 8 位有效数据, 并且在 SCLK 上升沿时按照 MSB 顺序逐个移位输出。同理当要从 SDIO 引脚读回数据时, 读移位寄存器在 SCLK 下降沿寄存下输入的 8 位有效数据, 最后输出将数据通过串口传回给 PC 端。

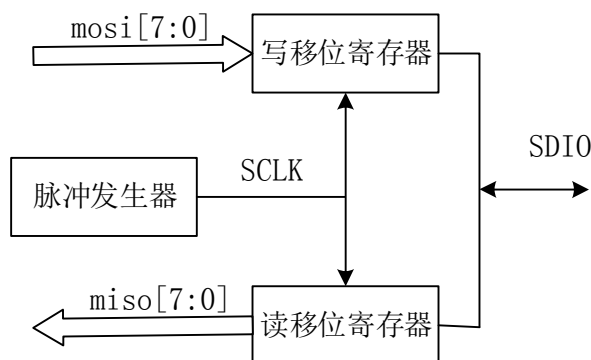


图 4-10 SPI 读写单元内部设计结构

SPI 状态机模块的状态图跳转如图 4-11 所示。整个状态机包含了五个状态。如果 start 信号没有拉高，系统会停留在空闲（IDLE）状态。当状态机模输入 24 位传输数据 data1 时，start 信号拉高状态跳转到发送指令（CMD）状态，该状态下向 SPI 读写单元模块发送 data1 的高八位数据（读写指令）。当 SPI 读写单元完成一个字节的发送后 SPI 产生一个完成信号（spi_done）反馈给 SPI 状态机模块。当检测到 spi_done 信号拉高时，状态跳转到发送地址（ADDR）状态，该状态下向 SPI 读写单元模块发送 data1 的中间八位地址数据。当 SPI 读写单元完成地址发送后，状态机结合 data1 数据的读写指令决定跳转到写寄存器数据（WR_DATA）还是读寄存器数据（RD_DATA）状态。当在 WR_DATA 状态时，SPI 状态机模块向 SPI 读写单元发送寄存器配置数据，当在 RD_DATA 状态时，SPI 读写单元寄存器配置数据。

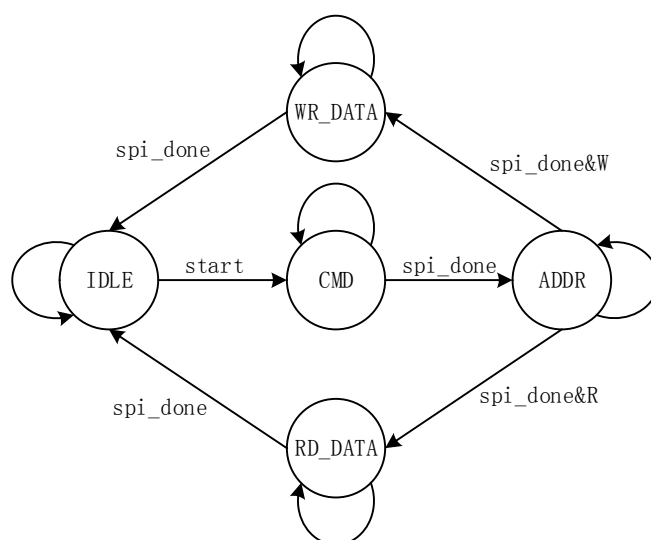


图 4-11 SPI 状态机模块状态跳转图

4.3.2 SPI 通信模块仿真

将 SPI 通信模块的状态机模块和收发单元模块的输入输出端口按顺序接好，生成 SPI 通信模块 RTL 原理图如图 4-12 所示：

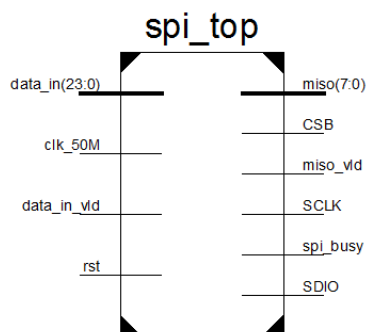


图 4-12 SPI 通信模块 RTL 顶层图

表 4-4 给出了 SPI 通信模块输入输出端口的定义。

表 4-4 SPI 通信模块端口定义

| 信号名 | 信号位宽 | 传输方向 | 信号含义 |
|-------------|------|------|---------------------|
| data_in | 24 | 输入 | 包含读写指令，寄存器地址以及寄存器数据 |
| data_in_vld | 1 | 输入 | data_in 输入有效指示信号 |
| clk_50M | 1 | 输入 | 50MHz 驱动时钟 |
| rst | 1 | 输入 | 复位信号 |
| spi_busy | 1 | 输出 | SPI 通信模块忙状态 |
| mosi | 8 | 输出 | 读写指令或者寄存器地址或者寄存器数据 |
| mosi_vld | 1 | 输出 | mosi 输出有效指示信号 |
| SCLK | 1 | 输出 | SPI 通信驱动时钟 |
| CSB | 1 | 输出 | 片选信号 |
| SDIO | 1 | 输入输出 | SPI 通信串行数据口 |

在仿真文件中，产生 50 MHz 时钟激励以及 rst 复位激励，设置 data_in 输入数据为 24'h000155；指令为 0 则是向地址 1 寄存器写入 8'h55 数据。如图 4-13 所示，当模块监测到输入信号时，SDIO 按照 MSB 依次发送了指令信号，地址信号和数据信号。

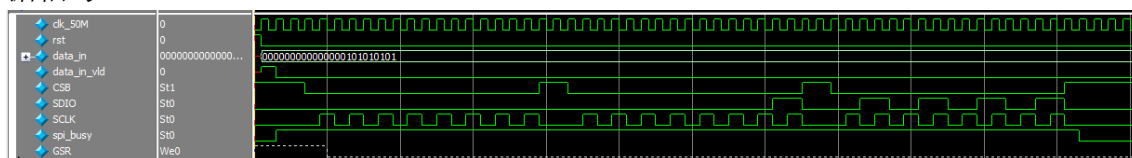


图 4-13 写移位寄存器时序

设置 data_in 输入数据为 24'h800100；指令为 1 则是从地址 1 中读回数据，如图 4-14 所示，当模块监测到输入信号时，SDIO 按照 MSB 依次发送了指令信号，地址信号，然后从地址 1 寄存器传回数据，此处 SDIO 为输入状态时数据为高阻态，因此接收的数据为高阻态。

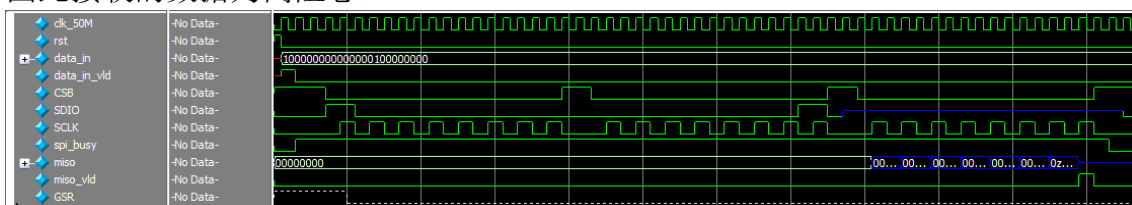


图 4-14 读移位寄存器时序

从上面的仿真结果可知设计数据收发时序都符合符合 SPI 标准通信时序。

4.4 串口通信模块

串口通信按照一定波特率完成数据的收发，传输过程中不需要时钟线，只有两根发送（TX）和接收的数据线（RX），串口常用的波特率有 1200、9600、38400、115200 等。串口通信数据是以帧的形式发送的。帧有多种格式，此次设计选择带有校验位的帧格式如图 4-15 所示，一帧数据一共九位数据。数据线空闲时为高电平，当出现低电平时表示一个帧的起始位，紧接着是 8 bit 是数据位，其中数据传输按照 LSB 的顺序传输或者接收，数据传输结束后是一位校验位，最后是 1 bit 的高电平用作停止位^[51]。

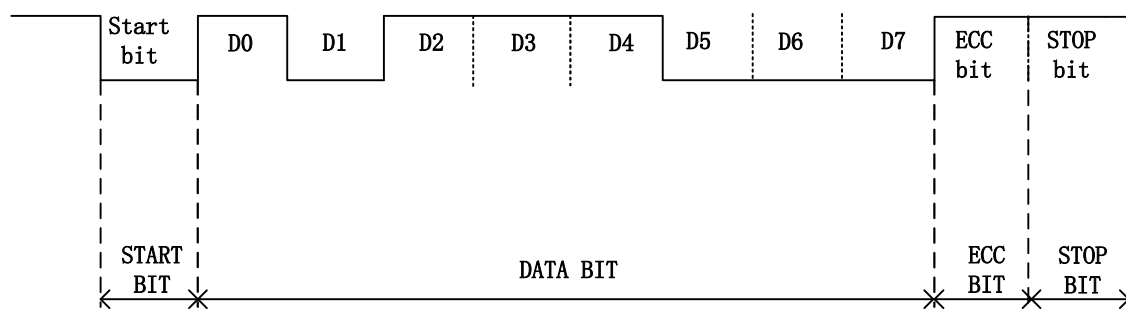


图 4-15 带校验位的串口帧格式

串口发送数据的时钟即是波特率，但是接收数据时，由于没有时钟线，不能直接用波特率时钟采样数据，而是应该用 16 倍的波特率时钟进行采样，以保证接收的数据无误。

4.4.1 串口通信设计

根据串口通信原理，如图 4-16 所示，将串口通信划分为三个功能模块分别是：波特率产生模块，数据发送模块以及数据接收模块。本次设计波特率为 115200 baud，因此波特率发生器产生发送时钟(115200 Hz)和接收采样时钟(16×115200)。

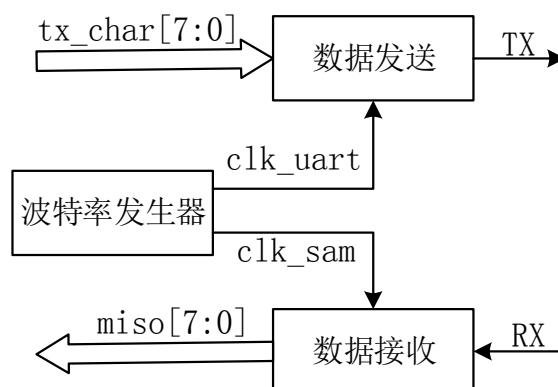


图 4-16 串口系统结构图

波特率产生模块的系统时钟(clk_sys)为 50 MHz，波特率 115200 baud，因此串

口数据发送时钟为 115200 Hz(clk_uart), 串口数据接收采样时钟为 1843200 Hz(clk_sam), 系统时钟与采样时钟的关系式如式 4-3 所示:

$$\frac{\text{clk_sys}}{\text{clk_sam}} = L \frac{M}{N} = 27 \frac{73}{576} \quad (3-5)$$

如果直接四舍五入取 27 倍分频会时钟累计误差越来越大, 此次分频选择计数器分频, 采用图 4-17 的计数方法可以消除时钟误差, 其中 cnt_sam 是串口接收数据的采样时钟计数器, 当计数大于 $\text{LN}+\text{M}$ 时, clk_sam 采样时钟为高, 否则为低。

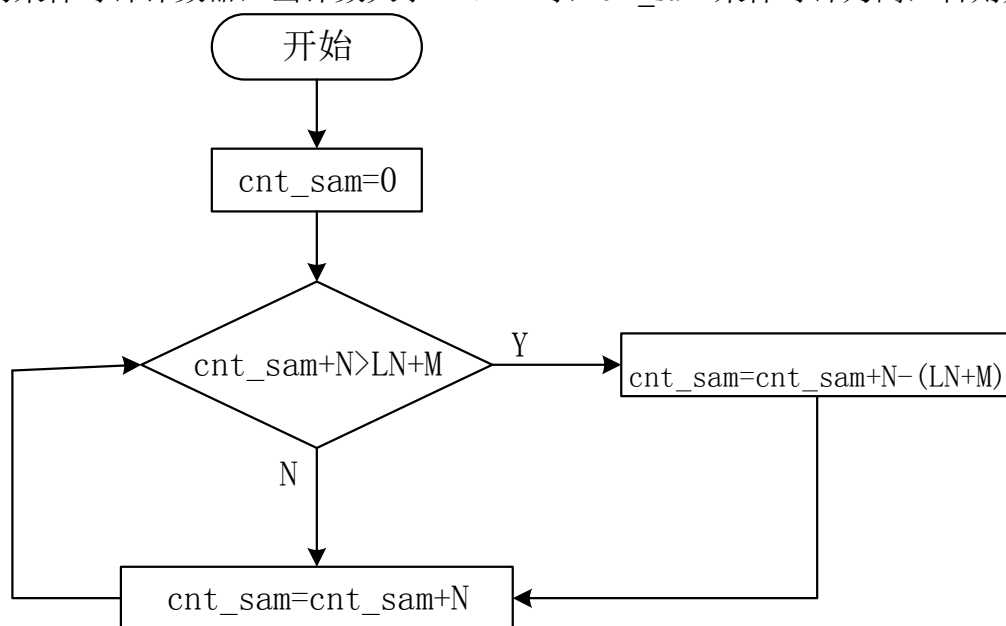


图 4-17 串口接收数据模块时钟产生流程图

由于串口数据接收时钟 clk_sam 为发送数据时钟 clk_uart 的 16 倍, 因此可以直接将 clk_sam 进行 16 分频即可得到 clk_uart 时钟。其中直接用计数器分频后的时钟 clk_uart 和 clk_sam 不能直接驱动模块, 而要用改成时钟使能的方式。否则容易出现亚稳态以及增加静态时序分析的复杂性。

由串口通信时序可知, 串口发送一帧一共包括了四段, 因此将数据发送模块分成五个状态分别是空闲状态 (IDLE), 起始位 (START_BIT), 数据位 (DATA_BIT), 校验位 (ECC_BIT) 以及停止位 (STOP_BIT), 状态跳转如图 4-18 所示, 当发送模块接收到开始信号后, 首先发送开始比特, 然后发送连续发送一个字节的的数据, 接着发送校验位, 最后发送停止位信号。

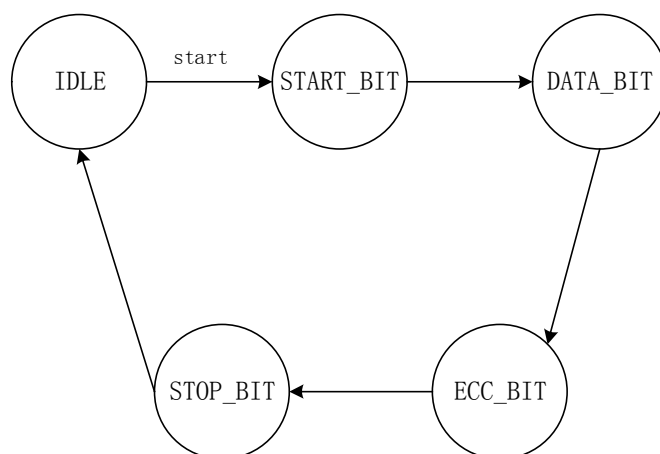


图 4-18 数据发送状态跳转图

串口接收数据的整个过程和发送过程类似,接收的采样时钟是波特率的 16 倍,因此为了避免数据进入时存在抖动现象,如图 4-19 所示,在检测到开始位时计数 clk_sam 个数,即在第 8 个 clk_sam 取数据值,这种方法能够有效的保证数据准确无误。

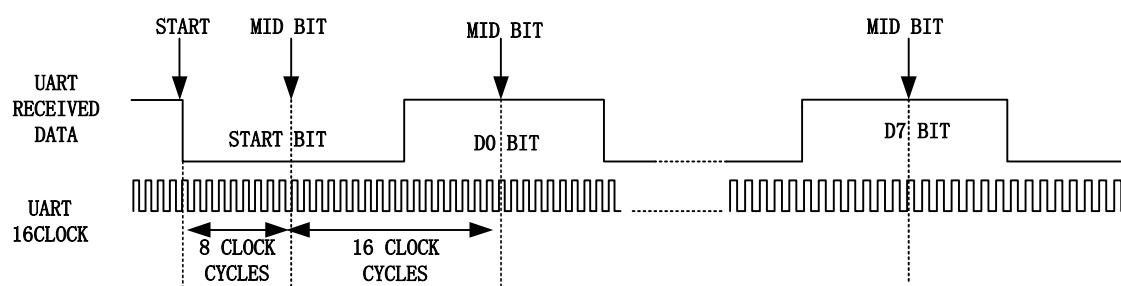


图 4-19 数据采样时序图

4.4.2 串口通信模块仿真

将串口通信模块的各个子模块的输入输出端按顺序接好,生成串口通信模块 RTL 图如图 4-20 所示。

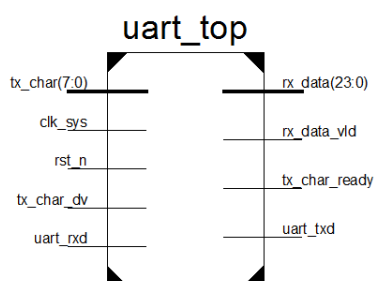


图 4-20 串口通信模块顶层 RTL

表 4-5 给出了串口通信模块输入输出端口的定义:

表 4-5 串口通信模块端口定义

| 信号名 | 信号位宽 | 传输方向 | 信号含义 |
|---------------|------|------|--------------------|
| clk_sys | 1 | 输入 | 50MHz 驱动时钟 |
| rst | 1 | 输入 | 复位信号 |
| tx_char | 8 | 输入 | 发送数据 |
| tx_char_vld | 1 | 输入 | 发送数据有效指示信号 |
| uart_rxd | 1 | 输入 | 串口接收数据线 |
| rx_data | 24 | 输出 | 接收数据 (AD9233 配置数据) |
| rx_data_vld | 1 | 输出 | 接收数据有效指示信号 |
| uart_txd | 1 | 输出 | 串口接收数据线 |
| tx_char_ready | 1 | 输出 | 准备好发送状态 |

仿真时，将串口发送数据接口与接收数据接口连接，形成闭环测试。在仿真文件中，产生 50 MHz 时钟激励以及 rst 复位激励，从图 4-21 中可以看出串口发送以及采样时钟产生正确，当串口模块发送模块准备好时，仿真文件发送数据，依次发送了 0x04,0x08,0x0c，从图中可以看出 uart_txd 接口发送数据正确，uart_rxd 接口接收数据与发送数据一致，当接收完三个字节的的数据后 rx_char 数据为 0x04080c，rx_char_vld 产生一个高电平脉冲，输出 24 位接收数据。

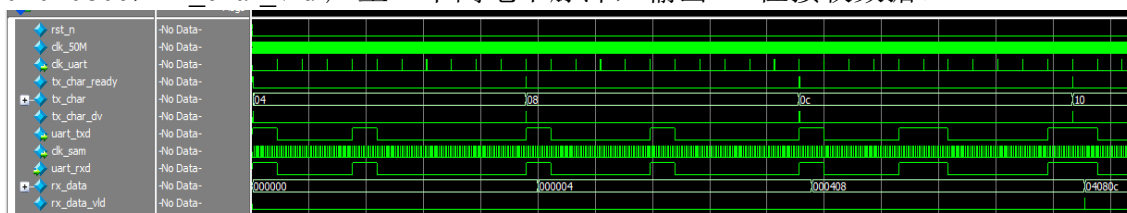


图 4-21 串口模块仿真时序图

4.5 主控程序模块

主控程序主要完成串口数据流向分配问题，串口发送的数据分为三类，第一是 SPI 模块写寄存器操作，其中包括了写寄存器指令或者读寄存器指令，第二类是请求读回增益调整模块当前增益，但是增益调整模块的时钟是由 ADC 采样数据提供的伴随时钟为 125 MHz，主系统时钟为 50 MHz，两个时钟不同步，不能直接进行数据传输，因此在跨时钟区域的问题，为了避免数据丢失，应该加入加入 FIFO 缓存模块。

串口发送的 SPI data 指令为 24 位，因此将串口发送的数据都同一为 24 位，SPI 指令高八位只有第一位是有效信息，因此可以借用其中两位表示指令的流向。此处用 data[22:21]两位表征指令的流向，data[22:21]二进制对应操作如表 4-6 所示：

表 4-6 数据流向定义

| data[22:21] | 00 | 01 | 10 |
|-------------|----------|----------|-----------|
| 流向 | SPI 写寄存器 | SPI 读寄存器 | 读增益调整模块增益 |

4.5.1 主控程序模块设计

由主控程序原理可知,主控程序模块主要包含了数据识别以及 FIFO 缓存两个模块。数据模块负责数据的流向, FIFO 模块则是负责跨时钟处理问题。数据流向主要靠接收数据的标志位决定,数据去向细分为三个方向,因此可以利用状态机进行设计。

状态跳转图如图 4-22 所示,当检测到串口发来数据时,判断标志位数据决定数据的流向,当检测到 SPI 写寄存器时,状态跳转到给 SPI 发送数据的状态 (SPI_SEND),如果是读寄存器操作则是先跳转到 SPI 发送状态再跳转到 SPI 接收状态 (SPI_REC),当接收到返回数据后将数据传给串口跳回空闲状态。当指令为读回增益值时跳转到增益状态。

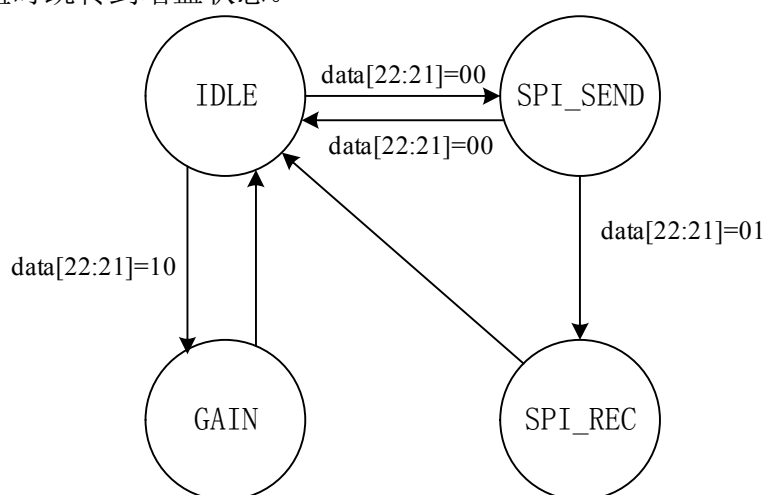


图 4-22 主控程序模块状态图

4.5.2 主控程序模块仿真

如图 4-23,将串口发送数据为 24'h000111,即是 SPI 写操作,所示,状态跳转到 SPI 写状态,写 SPI 模块发送数据正确。将串口数据设置为 24'ha00111,即是让 SPI 完成读寄存器操作,从图中可以看出,状态机先跳到 SPI_SEND 状态,然后再跳到 SPI_REC 状态,等待接收寄存器数据,接收数据为高阻态。整个 SPI 读写指令发送正确,符合设计要求。

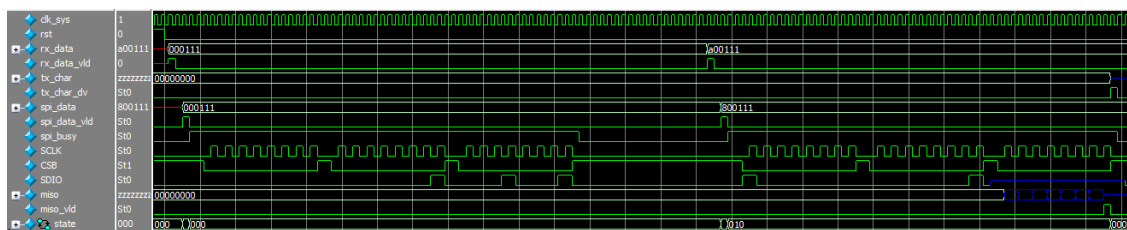


图 2-23 主程 SPI 收发数据控制

如图 4-24，主控程序接收到串口发送数据 24'h400111，即是完成增益读取操作。从图中可以看出，经过 fifo 跨时钟域处理，增益调整量被主控模块接收，符合设计要求。

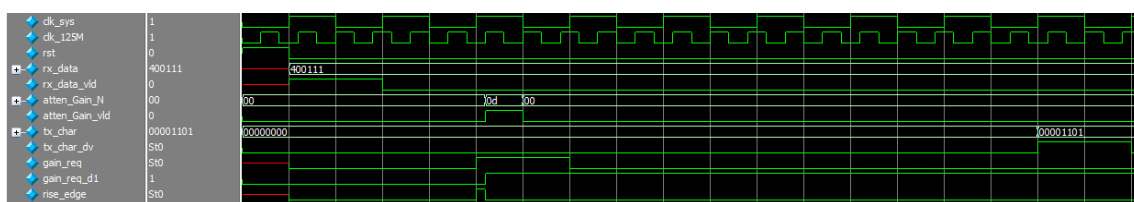


图 2-24 主程增益调整量读取控制

4.6 布局布线

将四个模块经过功能时序仿真过后，将各个子模块的输入输出线连接起来，为了使得设计清晰，顶层模块中只能出现各个模块的例化语句。然后进行综合，布局布线，下载程序。其中由于布局布线会引入器件带来的延时和不确定性，增加了数据到达寄存器输入端时建立时间或者保持时间违例的概率，因此需要做静态时序分析。

本次设计有两个输入时钟分别是：ADC 采样数据伴随时钟 125MHz，50MHz 晶振时钟。对两个时钟做周期约束，约束时钟分别是 8ns 和 20ns，占空比为 50%，采用如下命令：

```
TIMESPEC TS_clk_125M = PERIOD "clk_125M" 8 ns HIGH 50%;
```

```
TIMESPEC TS_clk_50M = PERIOD "clk_50M" 20 ns HIGH 50%;
```

然后设置输入输出的延时，I/O 口位置及标准电平等，然后进行布局布线，查看静态时序报告。如图 4-25 时序报告，图中给出了时序最差的一条路径，其建立时间裕量为 1.027 ns，因此本次设计满足时序要求。

| Endpoints | Paths | Failing Paths |
|---|-------|---------------|
| 1 Paths for end point U_atten_Gain/addr_lut_0 (SLICE_X22Y54.A2), 718 paths | 718 | 0 |
| 2 Paths for end point U_atten_Gain/addr_lut_0 (SLICE_X22Y54.A4), 1209 paths | 1209 | 0 |
| 3 Paths for end point U_atten_Gain/addr_lut_0 (SLICE_X22Y54.A5), 1208 paths | 1208 | 0 |


```

0 timing errors detected. (0 setup errors, 0 hold errors, 0 component switching limit errors)
Minimum period is 6.973ns.
-----

Paths for end point U_atten_Gain/addr_lut_0 (SLICE_X22Y54.A5), 1208 paths
-----

Slack (setup path): 1.027ns (requirement - (data path - clock path skew + uncertainty))
Source: U_atten_Gain/U_delta_9 (FF)
Destination: U_atten_Gain/addr_lut_0 (FF)
Requirement: 8.000ns
Data Path Delay: 6.938ns (Levels of Logic = 7)
Clock Path Skew: 0.000ns
Source Clock: clk_125M_BUFPG falling at 4.000ns
Destination Clock: clk_125M_BUFPG falling at 12.000ns
Clock Uncertainty: 0.035ns

Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
Total System Jitter (TSJ): 0.070ns
Total Input Jitter (TIJ): 0.000ns
Discrete Jitter (DJ): 0.000ns
Phase Error (PE): 0.000ns

```

图 4-25 关键路径时序报告

4.7 本章小结

本章详细讲述了基于 FPGA 的数字 AGC 系统增益调整设计的开发流程。整个逻辑设计主要包含对增益调整模块，串口通信，SPI 通信以及主控程序四个模块。详细介绍了每个模块的工作原理，设计框架以及端口定义，并对每个模块进行功能仿真验证。仿真通过后进行 IO、时序约束以及布局布线，最后给出了时序报告。其中针对检波器输入功率超出线性工作区域的问题，增益调整模块对输入功率进行分段处理，当输入功率处于非线性区域时，首先将功率调整到线性区域，然后根据 ADC 采样数据对应的查找表地址输出增益调整量。最终使得输出功率能在两个脉冲时间内快速锁定。

第五章 数字 AGC 系统实物测试与分析

整个数字 AGC 硬件结构以及基于 FPGA 的数字 AGC 增益控制设计完成后，为了测试该系统的工作性能，搭建了相应的实验平台。根据设计指标进行相应的测试，对频率点为 1.9 GHz 的脉冲信号和连续波信号分别进行了自动增益控制。下面将对测试结果以及性能分析进行阐述。

5.1 数字 AGC 系统测试平台

搭建数字 AGC 系统的测试实验平台所需要的仪器设备包括：PC 端，信号发生器，万用表，频谱仪，电压表，DC 隔离器以及射频连接线。数字 AGC 实验测试平台的实际连接情况如图 5-1。

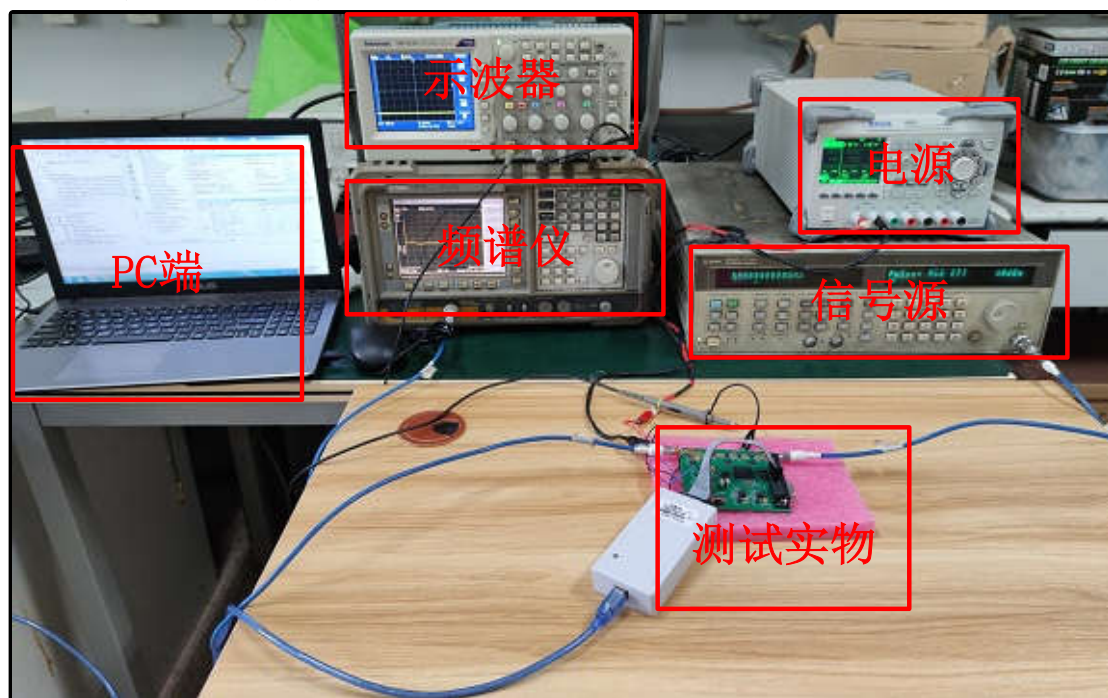


图 5-1 数字 AGC 系统测试平台

测试前，首先使用万用表检查 PCB 板是否存在电源短路，元件引脚虚焊等现象，直流电源提供 5 V 的电压，设置输入最大功率为 2 W。信号产生器输出 1.9 GHz 的脉冲信号，AGC 系统输出端接 DC 隔离器然后输入频谱仪。上电后检查各个模块供电输出电压是否正常，首先将程序下载到 FPGA 外挂 flash 中，然后 PC 端通过串口向 FPGA 发送 AD9233 寄存器配置值，此次 AD9233 的基准电压选择的是可编程基准电压，因此通过 0x18 寄存器将基准电压 VREF 设置为 1 V。当 AD9233

配置完成后,开始工作。在固定工作频率将改变功率值分别测试功率检波器的线性度,以及整个 AGC 系统输出功率值。PC 端通过 JTAG 线可以在 ISE 的 chipscope 工具中实时观测 FPGA 中的 ADC 采样数据,以及衰减器衰减量的改变情况,当上板出现输出错误时,借助 chipscope 能够很便捷的锁定 FPGA 片内的节点信号,最终快速解决问题。

5.2 功率检波器测试

由于检波器手册中给的输入输出线性度与实际中有所偏差,因此需要测试检波器在 1.9 GHz 频点处的实际输入输出线性度。如表 5-1 所示:

表 5-1 检波器实际输入输出实验数据

| 输入功率 (dBm) | 输出电平 (V) | 输入功率 (dBm) | 输出电平 (V) |
|---------------|-------------|---------------|-------------|
| 15 | 1.863 | -30 | 1.304 |
| 14 | 1.820 | -35 | 1.207 |
| 13 | 1.853 | -40 | 1.109 |
| 11 | 1.905 | -45 | 1.014 |
| 9 | 1.940 | -47 | 0.976 |
| 7 | 1.951 | -49 | 0.938 |
| 5 | 1.948 | -50 | 0.919 |
| 3 | 1.934 | -51 | 0.900 |
| 1 | 1.923 | -53 | 0.871 |
| 0 | 1.895 | -55 | 0.859 |
| -1 | 1.874 | -57 | 0.847 |
| -2 | 1.855 | -59 | 0.831 |
| -3 | 1.836 | -63 | 0.798 |
| -4 | 1.816 | -64 | 0.788 |
| -5 | 1.796 | -65 | 0.785 |
| -7 | 1.756 | -66 | 0.786 |
| -9 | 1.717 | -67 | 0.787 |
| -15 | 1.597 | -68 | 0.783 |
| -20 | 1.499 | -69 | 0.780 |
| -25 | 1.401 | -70 | 0.781 |

将表 5-1 的测试数据进行绘图,如图 5-2 所示,从图中可以看出检波器输入功率线性范围在 0~-51 dBm 之间。15 dBm~0 dBm 以及-51 dBm~-67dBm 处于非线性

区域。此处应当对增益调整算法模块的非线性区域进行调整。当检波器输入小于-67 dBm 时，视检波器输入为无效输入。

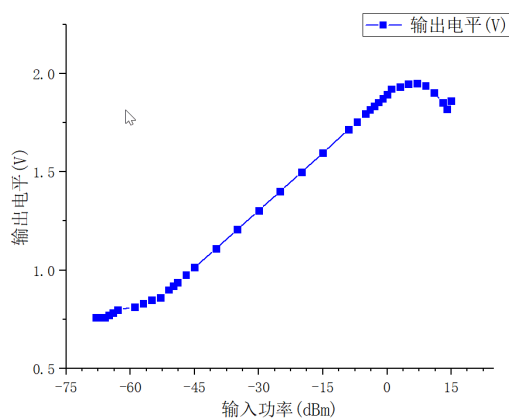


图 5-2 检波器实际输入输出关系图

5.3 放大器实际增益测试

固定增益放大器 MNA-6A+给出在频率点为 2 GHz 时最大增益为 27.3 dB，但是实际中增益会有所偏差，因此需要固定增益放大器在 1.9 GHz 的实际固定增益。表 5-2 给出了两级固定增益放大器的实际测试增益。由于功分器衰减量为 3 dB，因此可变增益放大器模块的最大增益为 47.1 dB。

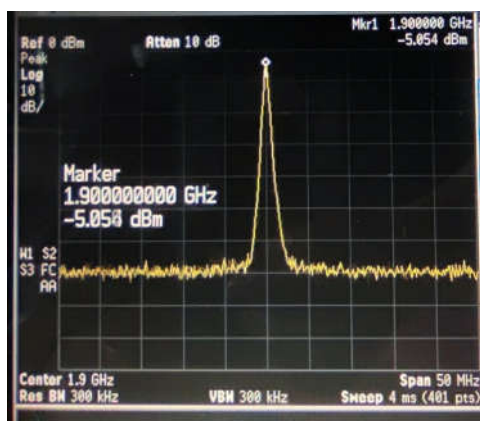
表 5-2 检波器输入输出实验数据

| 第一级 MNA-6A+ | 第二级 MNA-6A+ |
|-------------|-------------|
| 25.3 dB | 24.8 dB |

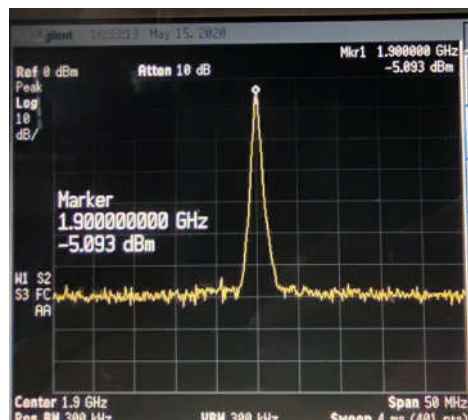
5.4 数字 AGC 系统输入输出测试

5.4.1 连续波输出测试

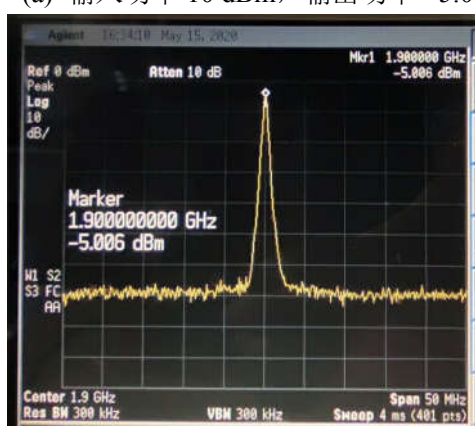
由于频谱仪不能准确测得脉冲信号功率，此处先对连续波进行测试，观测输出信号锁定状态。AGC 系统目标输出功率在-5 dBm，信号频率 1.9 GHz；输入功率测试范围 15 dBm~-55 dBm，其中图 5-3 给出了输入功率点分别是 10 dBm、5 dBm、0 dBm、-10 dBm、-20 dBm、-25 dBm、-30 dBm、-35 dBm、-40 dBm、-45 dBm、-50 dBm 的输出频谱图。



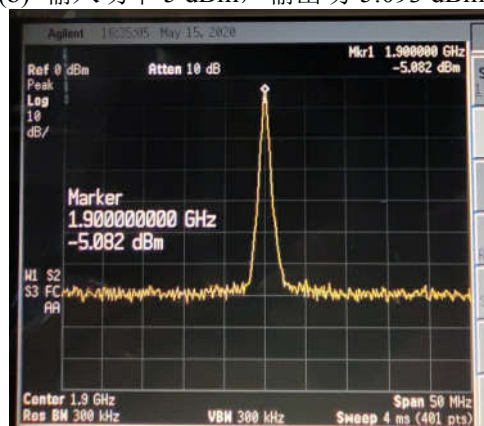
(a) 输入功率 10 dBm, 输出功率 -5.054 dBm



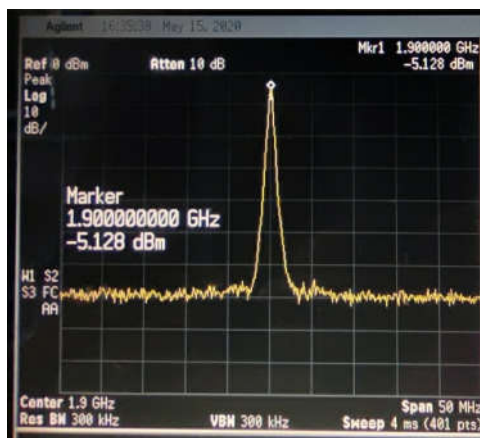
(b) 输入功率 5 dBm, 输出功率 -5.093 dBm



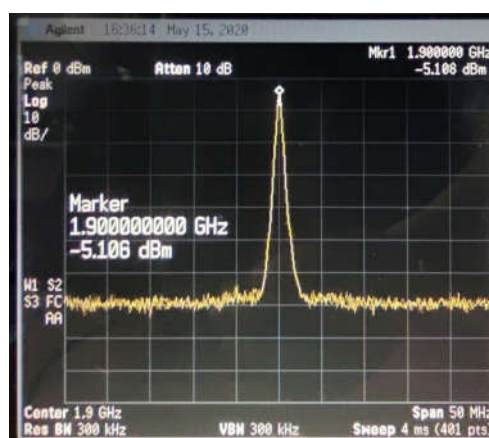
(c) 输入功率 0 dBm, 输出功率 -5.006 dBm



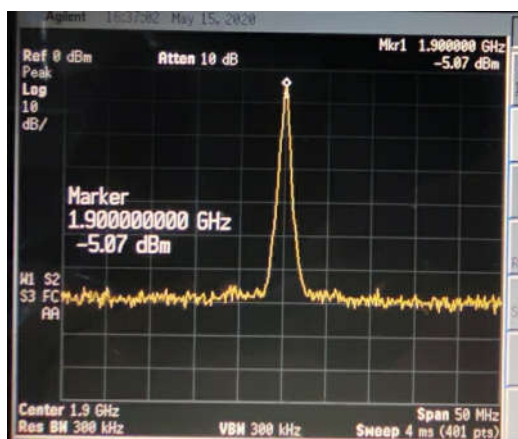
(d) 输入功率 -10 dBm, 输出功率 -5.082 dBm



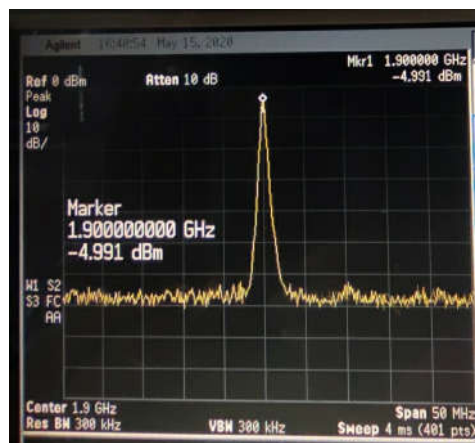
(e) 输入功率 -15 dBm, 输出功率 -5.128 dBm



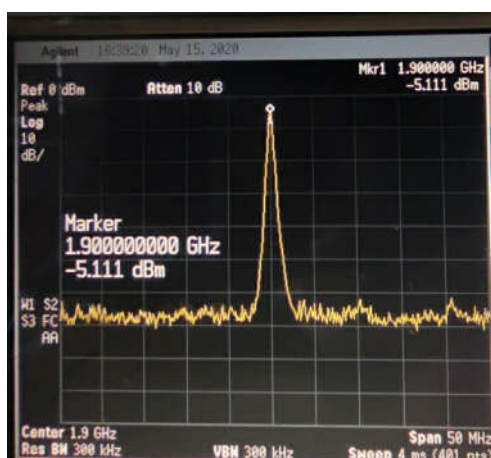
(f) 输入功率 -20 dBm, 输出功率 -5.106 dBm



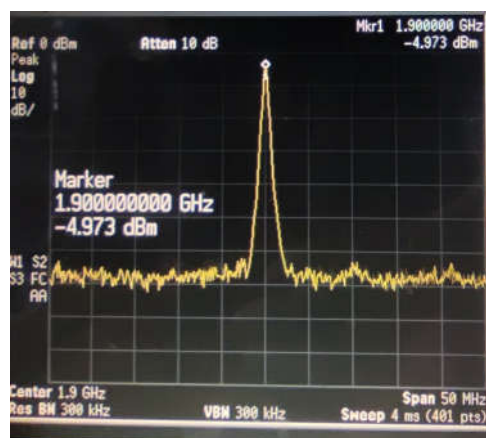
(g) 输入功率-20 dBm, 输出功率 -5.07dBm



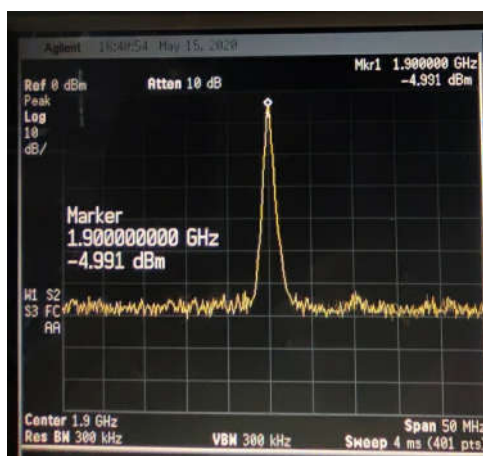
(h) 输入功率-30 dBm, 输出功率 -4.991dBm



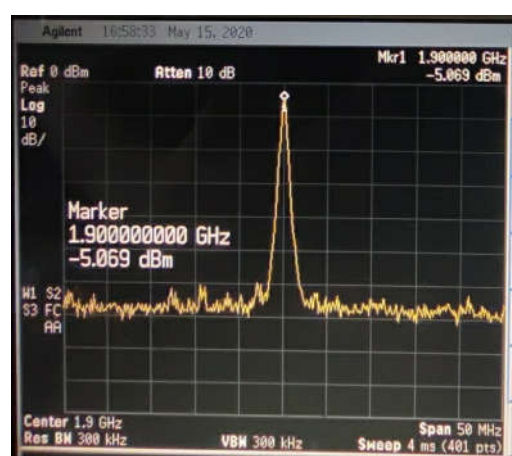
(i) 输入功率-35 dBm, 输出功率 -5.111 dBm



(j) 输入功率-40 dBm, 输出功率 -4.973 dBm



(k) 输入功率-45 dBm, 输出功率 -4.991 dBm



(k) 输入功率-50 dBm, 输出功率 -5.069 dBm

图 5-3 AGC 系统输入输出功率值

从图 5-3 中可以看出输出功率都在 $-5 \text{ dBm} \pm 0.25 \text{ dBm}$, 表 5-3 给出了输入功率从 $15 \text{ dBm} \sim 55 \text{ dBm}$ 之间变化的测试数据。

表 5-3 1.9 GHz 连续波 AGC 系统输入输出实验数据

| 输入功率 (dBm) | 输出电平 (V) |
|---------------|-------------|
| 15 | -1 |
| 12 | -3.9 |
| 11 | -4.8 |
| 10 | -5.054 |
| 5 | -5.093 |
| 0 | -5.006 |
| -10 | -5.082 |
| -15 | -5.125 |
| -20 | -5.106 |
| -30 | -4.991 |
| -35 | -5.11 |
| -40 | -4.97 |
| -45 | -4.83 |
| -50 | -5.089 |
| -52 | -5.5 |
| -55 | -9.2 |

将表 5-3 测试数据绘制成 AGC 系统输入输出动态范围曲线图如图 5-4 所示。从图中可以看出输入功率在 11 dBm~-51 dBm 区间输出锁定。输出功率精度都小于 ± 0.25 dBm。

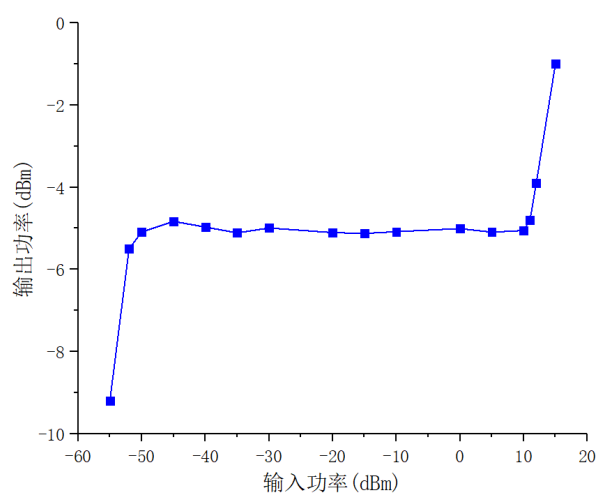


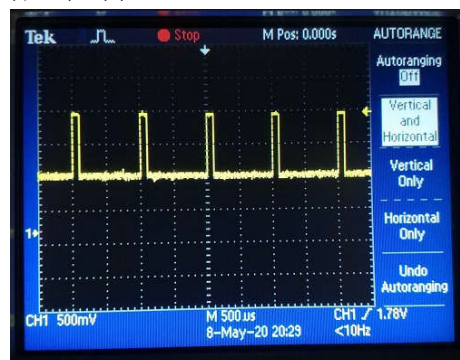
图 5-4 数字 AGC 系统输入输出动态范围曲线图

5.4.2 脉冲信号输出测试

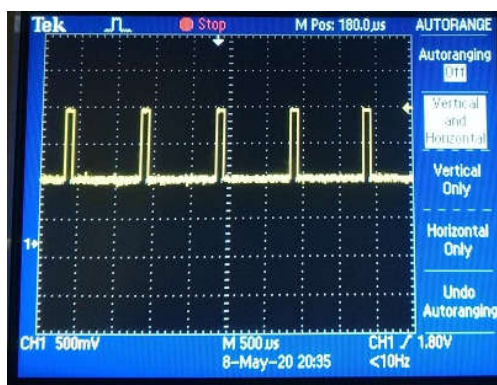
针对脉冲信号的测试，通过示波器观测检波器输出电压情况，如图 5-5 所示，脉冲周期为 1ms，脉冲宽度 10 μ s，图中给出了 10 dBm、-10 dBm、-20 dBm、-30 dBm、-40 dBm、-50 dBm 六个输入功率点的检波器输出波形图。从图中可以看出检波器输出电压值在 1.78V~1.8V，对应检波器输入输出表 5-2 可知输出功率锁定在 -5 dBm。因此本次设计能够实现脉冲信号自动增益控制。



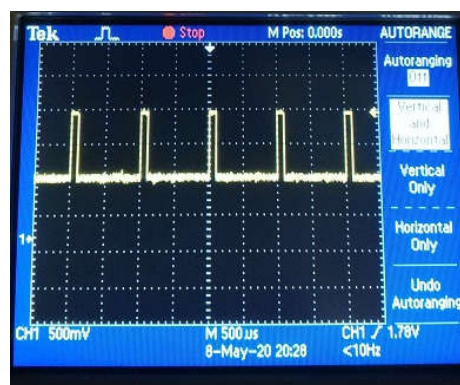
(a) 输入功率 10 dBm，输出电压 1.78V



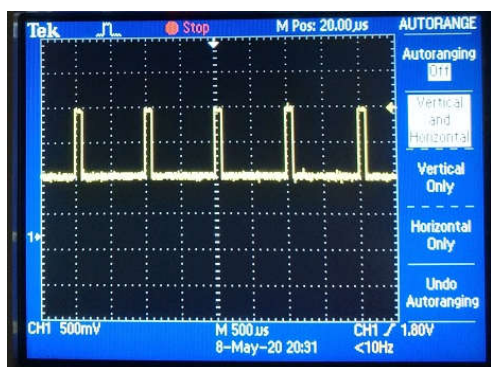
(b) 输入功率 -10 dBm，输出电压 1.78 V



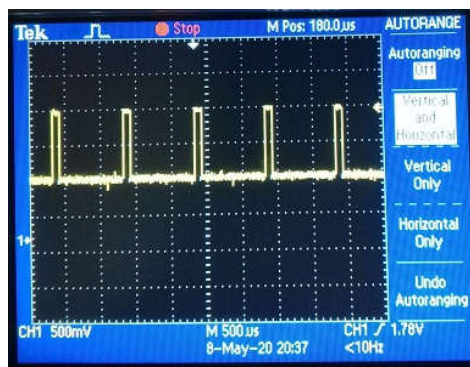
(c) 输入功率 -20 dBm，输出电压 1.8 V



(d) 输入功率 -30 dBm，输出电压 1.78 V



(e) 输入功率 -40 dBm，输出电压 1.8 V



(f) 输入功率 -50 dBm，输出电压 1.78 V

图 5-5 AGC 系统输入输出功率

5.4.3 AGC 系统输出锁定时间

AGC 系统输出锁定时间选用频谱仪测试，将频谱仪的 Span 调整为 0，即测试信号时域信号，并设置频谱仪 Trigger 为 Video，门限可设置为-40dBm。将输入功率从-70dBm 变化到 10dBm，从图 5-6 中可以看出整个输出锁定时间在 6.35 us。实现了快速调整的功能。

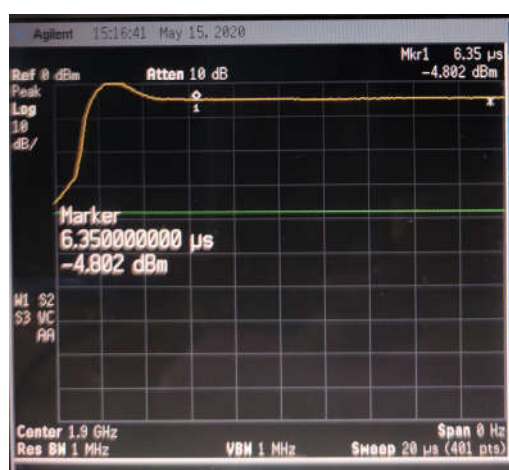


图 5-6 AGC 系统输出锁定时间

5.5 本章小结

本章介绍整个数字 AGC 系统的实验测试平台的搭建以及测试过程。首先对 AGC 可变增益放大器模块的固定增益和 AGC 反馈环路中的检波器的线性度进行测试。然后分别对载频为 1.9 GHz 的连续波以及脉冲信号进行测试，用以验证数字 AGC 系统硬件和 FPGA 逻辑设计的正确性。通过上述的测试结果和分析，本文设计的大动态脉冲 AGC 数字系统能够实现 62 dB 的调节范围，精度为 $\pm 0.25\text{dB}$ ，6.35 us 的输出锁定时间。满足设计要求。

第六章 总结与展望

6.1 总结

脉冲雷达多应用于目标追踪定位，但物体的距离以及传播过程中的障碍物使得脉冲信号的功率衰落不同，如果脉冲信号功率过低或者过高将会导致系统无法进行后续的定位运算，因此自动增益控制系统在雷达接收机前端具有重要的作用。相比模拟 AGC，数字自动增益控制系统能够实现大动态范围，高精度输出，快速锁定输出功率等优势。本文针对窄脉冲雷达信号设计了一款大动态范围，精度较高，功率锁定时间快的数字 AGC 系统。

本文首先对自动增益控制系统的模数结构以及反馈拓扑结构的工作原理进行了阐释，比较了各个模型的优缺点。针对数字自动增益控制系统的结构的各个子模块进行了详细的剖析，对可变增益放大器模块，功率检波器模块以及 ADC 采样模块的常见类型进行比较。对数字 AGC 增益算法的原理，类型以及优缺点进行了研究。最后对数字 AGC 系统的动态范围，回路建立时间，噪声系数以及线性度的基本性质以及影响因素进行了分析。

然后对数字 AGC 系统结构方案和硬件设计进行详细说明。根据设计参数要求，数字 AGC 选择采用采样数据反馈结构。其中可变增益放大器模块，选择了可变衰减器级联固定增益放大器的结构，使得整个射频链路具有良好的噪声系数以及线性度，选择了两级可变衰减器和固定增益放大器级联方式实现 60dB 的动态范围。增益控制模块选用 Xilinx 公司 Spartan-6 系列 xc6slx-2ftg256 型号的 FPGA 芯片。为了使得整个系统尽可能的小型化，将可变增益放大器模块，检波器模块，ADC 采样模块以及 FPGA 模块整合在一块 PCB 板实现。

接下来详细讲述了基于 FPGA 的数字 AGC 系统增益调整设计的开发流程。从数字 AGC 增益调整算法原理出发，由于检波器输入功率超出线性范围，因此增益调整算法选择分段处理，检波器输入功率在线性区域时选择查找表法进行增益调整。当检波器输入功率在非线性区域时首先将功率调整到线性区域，再使用查找表法，最终使得输出功率能在两个脉冲时间内快速锁定。设计中还加入上位机实时监测 AGC 系统工作状态功能。

最后对整个数字 AGC 进行测试验证。介绍了相应实验平台的建立流程和测试方法，并对测试的结果进行了分析和说明，从测试结果可以看出，本文提出的方案满足设计指标。

6.2 展望

通过本次课题，掌握了数字自动增益控制系统的原理结构以及硬件电路设计，学了 FPGA 的整套开发流程。本次课题 AGC 的动态范围可以通过使用高线性度检波器或者增加可变增益放大器模块的动态调节范围等主要方式进一步提高，接下来能通过查阅相关文献进一步改进。针对环路锁定时间更加苛刻的情况，可以通过提高 FPGA 增益模块的驱动时钟进行改进。

致 谢

回首我在电子科技大学的三年时光，收获良多。刚步入研究生生活对于学业和科研无法正确把握平衡时，我曾经感到焦虑和困惑。在此我想要感谢我的导师杨涛，杨老师在学术上帮助我解决困难，对于科研项目难题也耐心指导，生活中遇到难题也愿意帮助我。在杨老师的谆谆教诲下，我养成了细心做事的习惯，严谨的学术态度以及良好的作息规律。

感谢教研室的刘宇、彭浩和杨自强三位老师在我理论学习和科研项目上的悉心指导。

感谢师兄杨昕，你在科研和就业上慷慨的分享，让我在学习中少走弯路。教研室的所有小伙伴，感谢你们在这三年期间对我的帮助，我会珍藏我们一起科研，一起争论，一起玩笑嬉戏的时光，有你们研究生生活才变得更加美好。

感谢我的爸爸、妈妈、姐姐。你们是我情感世界的一缕阳光，在我伤心难过时是你们无私无畏的爱安抚了我，你们对我的付出的是无价之宝我会一直铭记在心。

感谢我美丽的冯阿静，查珍珠，袁媛陪我度过这珍贵的三年时光。

最后，我要感谢电子科技大学，为我提供了优秀的学习和科研平台，为我提供了舒适的生活环境，让我在这里不断提高自我。我将永远铭记“求实求真，大气大为”的校训。

人生的旅途即将开启新的篇章，我将带上这份感激之心，奋进之心继续勇往直前。

参考文献

- [1] 燕阳.X 波段调频边续波雷达射频前端分析与设计[D].成都:电子科技大学,2016,1-2
- [2] 孙圣涛.X 波段脉冲雷达前端研制[D].四川:电子科技大学, 2015,1-4
- [3] 丁鹭飞,陈建春.雷达原理.电子工业出版社, 2009
- [4] W. J. Vogel, E. K. Smith. Theory and Measurements of Propagation for Satellite to Land Mobile at UHF. ROC, 35th IEEE VTC [C].1985: 218~227
- [5] 弋稳.雷达接收机技术[M].北京: 电子工业出版社, 2005: 77-118
- [6] 胡俊杰,叶永杰,帅明.数字中频接收机中数字 AGC 的设计与实现[J].通信对抗,2015,34(01):29-33.
- [7] 夏文娟.一种 TDD 通信的快速 AGC 电路的研究与设计[D].山东:山东大学,2016,1-5
- [8] Morgan D R. A/D Conversion Using Geometric Feedback AGC[J]. IEEE Trans On Computer. 1975, 24(11): 1074-1078
- [9] T. J. SHAN and T. KAILATH. Adaptive Algorithms with an Automatic Gain Control Feature[J]. IEEE Trans. on circuit and system, 1988, 35(1):122-127
- [10] Eugenio J.Tacconi and Carlos F.Christiansen. A Wide Range and High Speed Automatic Gain Control[C]. IEEE Particle Accelerator Conference. 1993,2139-2141.
- [11] John M.Khoury. On the design of constant settling time AGC circuit[J]. IEEE Transactions on Circuits and Systems,1998,45(3):283-294
- [12] Utter A, Chen H, Ouchi S. Adaptive Two-Channel Automatic Gain Control System[J]. IEEE Trans. On Circuit and system. 2006: 1113-1121.
- [13] Daher A W, Osman Z A, Haidar A M. AGC with signal offset and peak-to-peak amplitude stabilization through feedback control[C].Sensors Networks Smart and Emerging Technologies(SENSET). IEEE, 2017:1-4.
- [14] Kreuzgruber P. A Class of Binary FSK Direc Conversion Receivers[C]. IEEE 44th Vehicular Technology Conference, 1994:457-461
- [15] Onet R, Neag M, Kovacs I, et al. Compact Variable Gain Amplifier for a Multistandard WLAN/WiMAX/LTE Receiver[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 61(1):247-257
- [16] 樊世斌.脉冲信号数字 AGC 方法[J].应用科技,1989:34-39
- [17] 卢波.短波高动态数字 AGC 射频前端设计与实现[D].黑龙江:哈尔滨工程大学,2008, 4-70

- [18] 张志刚. 90dB 大动态范围可控 AGC 系统及其在雷达远程测量平台中的应用[D]. 上海: 上海交通大学, 2009, 15-67
- [19] 王建辉. 雷达频综模块和中频接收模块的设计与实现[D]. 成都: 电子科技大学, 2010, 40-50
- [20] 柳春姐. 1.5GHz 宽动态范围微波接收机的设计与实现[D]. 山东: 山东大学, 2015, 29-34
- [21] 王新舒. 大动态自动步进增益控制电路的设计与实现[D]. 成都: 电子科技大学, 2017, 18-61
- [22] Zhou Jiaye, Tan Xi, Wang Junyu, et al. A 60-dB Linear VGA with Novel Exponential Gain Approximation[J]. Journal of Semiconductors, 2009, 30(6): 1-5
- [23] 钟锦定. 天线接收机中 80dB 自动增益控制电路的设计[D]. 西安: 西安电子科技大学, 2010, 15-56
- [24] Wang Yixiao, Ye Le, Liao Huailin, et al. Highly Reconfigurable Analog Baseband for Multistandard Wireless Receivers in 65-nm CMOS[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, 62(3): 296-300
- [25] 孙圣涛. X 波段脉冲雷达前端研制[D]. 成都: 电子科技大学, 2015, 5-7
- [26] 李晓. 无线接收机中高动态范围数字自动增益控制电路设计[D]. 陕西: 西安电子科技大学, 2011, 6-9
- [27] 刘晓明, 刘晓伟, 仲元红, 等. 中频宽带接收机 AGC 电路的研究[J]. 现代雷达, 2007, 29(7): 89-92
- [28] 数字 AGC 电路设计[J]. 现代电子技术, 2006, 29(15): 72-73, 77
- [29] Alegre J P, Celma S, Calvo B, et al. SiGe Analog AGC Circuit for an 802.11a WLAN Direct Conversion Receiver[J]. Circuits & Systems II: Express Briefs IEEE Transactions on, 2009, 56(2): 93-96.
- [30] Zhang H, Wang G, Lu M. Analysis and implementation of digital automatic gain control for DAB baseband decoder[J]. IEEE Transactions on Consumer Electronics, 2011, 57(2): 327-334
- [31] Baker M W, Sarpeshkar R. Low-Power Single-Loop and Dual-Loop AGCs for Bionic Ears[J]. IEEE Journal of Solid-State Circuits, 2006, 41(9): 1983-1996.
- [32] Zhou Y, Chia Y W. A Low-Power Ultra-Wideband CMOS True RMS Power Detector[J]. Microwave Theory & Techniques IEEE Transactions on, 2008, 56(5): 1052-1058
- [33] Rumberg B, Graham D W. A Low-Power Magnitude Detector for Analysis of Transient-Rich Signals[J]. IEEE Journal of Solid-State Circuits, 2012, 47(3): 676-685
- [34] Huang P C, Chen Y H, Wang C K. A 2-V 10.7-MHz CMOS limiting amplifier/RSSI[J]. IEEE Journal of Solid-State Circuits, 2000, 35(10): 1474-1480
- [35] Y. Fujimoto, H. Tani, M. Maruyama, et al. A low power switched capacitor variable gain amplifier[J]. IEEE Journal of Solid-State Circuits, 2004, 39(7): 1213-1216

- [36] B. Rahmatian, S. Mirabbasi. A Low-Power 75dB Digitally Programmable CMOS Variable Gain Amplifier. Canadian Conference on Electrical and Computer Engineering, 2007, 522 ~ 525
- [37] M. Parlak, M. Matsuo, J. Buckwalter. A 6-bit Wideband Variable Gain Amplifier with Low Group Delay Variation in 90nm CMOS. Silicon Monolithic Integrated Circuits in RF Systems, 2012, 147~150
- [38] 陈宇.数字控制可变增益放大器的设计[D].湖北:华中科技大学,2014,5-10
- [39] Yun Chui, Paul R.Gray, Borivoje Nikolic. A 14 bit 12MS/s CMOS Pipeline ADC With Over 100-dB SFDR. IEEE[J]. Journal of Solid-State Circuits, 2004,39(12).2139-2151
- [40] Yoshika M, Ishikawa K, Takayama T,et al. A 10-b 50MS/s 820uW SAR ADC with on-chip digital calibration [J]. IEEE Trans Circuits and systems,2010,4(6):410-416
- [41] 宋璧若.高精度 $\Sigma \Delta$ ADC 设计[D].西安:西安电子科技大学,2013,8-20
- [42] 罗睿明.无线传感射频接收机中自动增益控制电路的设计[D].安徽:中国科学技术大学,2013, 20-24
- [43] 袁孝康.自动增益控制与对数放大器[M].北京: 国防工业出版社, 1987:15-20
- [44] 王景帅.自动增益控制放大器的设计与实现[D].天津:天津大学,2016,9-15
- [45] 牟新刚, 周晓, 郑晓亮. 基于 FPGA 的数字图像处理原理及应用[M]. 北京: 电子工业出版社, 2017, 38-40
- [46] 田生宏,田培成. 可编程逻辑器件 CPLD 和 FPGA 的特点和应用[J]. 科技视界, 2015(18):134-134
- [47] 夏宇闻. Verilog 数字系统设计教程: Digital system design tutorial[M].北京: 北京航空航天大学出版社, 2008
- [48] 陈志刚.基于 ModelSim 的 VHDL 仿真技术研究与应用[J].电脑知识与技术, 2019, 15(31): 286-287
- [49] AD9233 [OL]. http://www.analog.com/static/imported-files/zh/data_sheets/AD9233_cn.pdf, 2006
- [50] Piyu Dhaker.SPI 接口简介[J].电子产品世界,2019,26(6):82-85
- [51] 聂涛, 许世宏. 基于 FPGA 的 UART 设计[J]. 现代电子技术, 2006, (2): 127-12

攻读硕士学位期间取得的成果

硕士期间获奖情况：

- [1] 获得研究生一等奖等奖学金两次，二等奖学金一次（电子科技大学：2017/11,2018/11,2019/11）。
- [2] 第三届全国大学生集成电路创新创业大赛西南赛区二等奖（工业和信息化部：2019/07）。