

浙江大学

本科实验报告

课程名称: 计算机组成

姓 名: 胡亮泽

学 院: 计算机科学与技术学院

系: 计算机科学与技术系

专 业: 计算机科学与技术

学 号: 3120102116

指导教师: 姜晓红

2014 年 4 月 28 日

浙江大学实验报告

课程名称: Computer Organization 实验类型: 综合

实验项目名称: Lab7 是: 单周期 CPU

学生姓名: 胡亮泽 专业: 计算机科学与技术

学号: 3120102116

同组学生姓名: 王艺 指导老师: 姜晓红

实验地点: 东 4-509 实验日期: 2014 年

4 月 28 日

一、 实验目的和要求

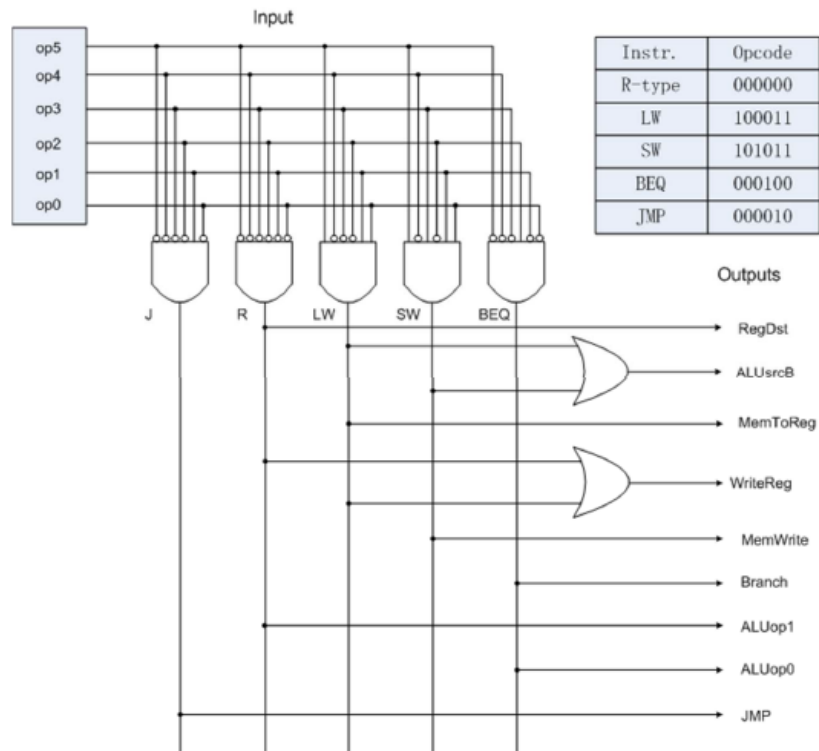
实现单时钟 CPU 的控制器, 用以实现 R 指令。

二、 实验内容和原理

本次实验中的控制器需要发出的控制信号主要有:

1. RegDst
2. ALUscrB
3. MemToReg
4. WriteReg
5. MemWrite
6. Branch
7. ALUOp1
8. ALUOp0
9. JMP

对于以上控制信号的实现的逻辑图如下:



具体实验代码如下：

```
module control( input wire[5:0] op,
                output wire RegDst,
                output wire ALUSrcB,
                output wire MemToReg,
                output wire WriteReg,
                output wire MemWrite,
                output wire Branch,
                output wire ALUOp1,
                output wire ALUOp0,
                output wire anode,
                output wire dot
            );

    wire J,R,LW,SW,BEQ;
    wire JMP;

    and
        and1(J,~op[5],~op[4],~op[3],~op[2],op[1],~op[0]),
        and2(R,~op[5],~op[4],~op[3],~op[2],~op[1],~op[0]),
        and3(LW,op[5],~op[4],~op[3],~op[2],op[1],op[0]),
        and4(SW,op[5],~op[4],op[3],~op[2],op[1],op[0]),
        and5(BEQ,~op[5],~op[4],~op[3],op[2],~op[1],~op[0]);

    or
        or1(ALUSrcB,LW,SW),
        or2(WriteReg,R,LW);

    assign RegDst = R;
    assign MemToReg = LW;
```

```

assign MemWrite = SW;
assign Branch = BEQ;
assign ALUOp1 = R;
assign ALUOp0 = BEQ;
assign JMP = J;

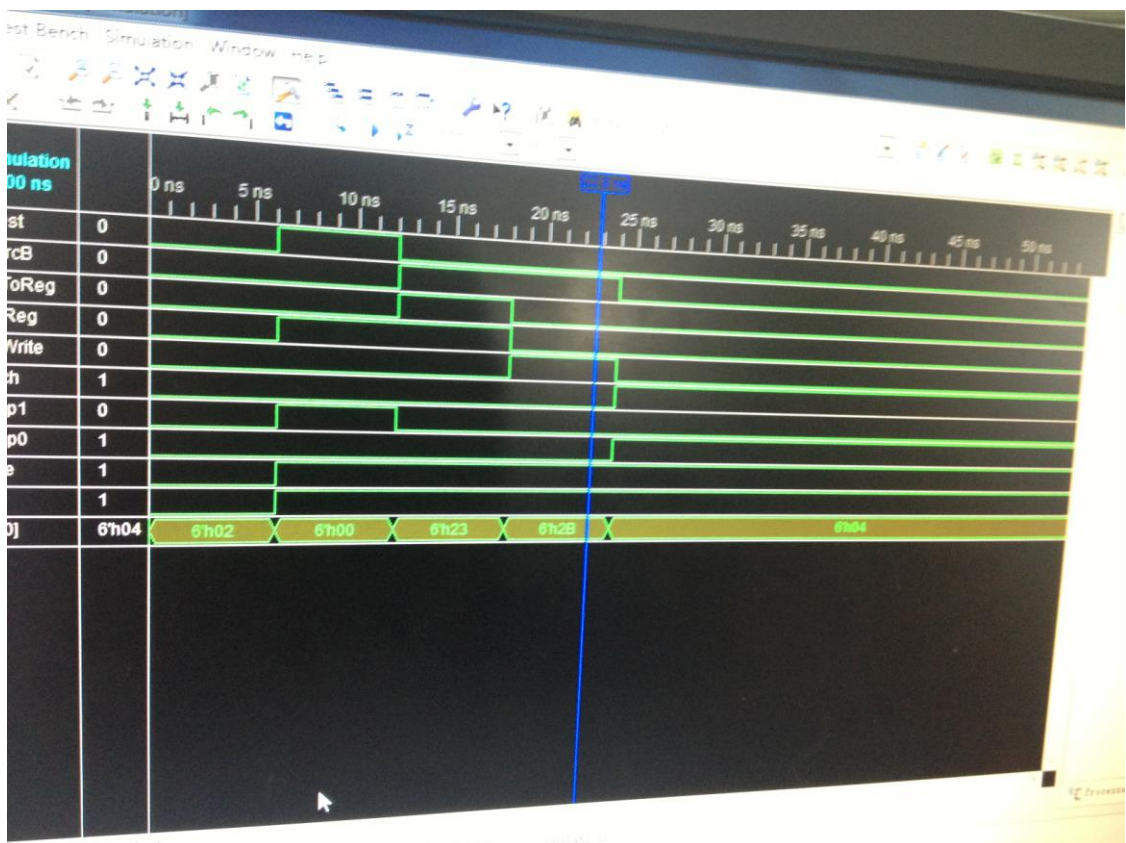
assign anode = ~JMP;
assign dot = ~JMP;

endmodule

```

具体原理主要是通过门级的描述将对应的逻辑关系组合在一起，比较简单，这里不多做赘述。

三、 实验结果



测试结果按照逻辑电路图中的五个不同的与门分别输入不同的 Op 信号。每次输入相应的信号后可以得到对应的控制信号电平，如上图所示。具体对应关系完全符合逻辑电路图，这里不多做赘述。

四、 讨论与心得

本次实验巩固了我对单周期 CPU 中控制信号实现的方法以及对应逻辑关系的认识，并实现了简单的单时钟周期 CPU 控制器，为接下来的实验做好了

准备。