

COMPLEMENTOS

FUNDAMENTOS DE DISEÑO DIGITAL
OPTATIVA I. ISISA

Los complementos se usan en la Electrónica Digital para diferentes manipulaciones lógicas, como la sustracción.

Cualquier cantidad en un sistema numérico base 'b', puede tener dos complementos:

- Complemento a la base
 - Complemento a la base-1
-

Complemento a la base

$$\text{comp } a \text{ b} = (b^n)_{10} - Nb$$

Donde:

b: base

n: número de elementos enteros

m: número de elementos fraccionarios

Nb: cantidad

Complemento a la (base-1)

$$\text{comp } a \text{ (b-1)} = (b^n - b^{-m})_{10} - Nb$$

Donde:

b: base

n: número de elementos enteros

m: número de elementos fraccionarios

Nb: cantidad

Complementos en el sistema binario

- **comp a 1:** $\text{comp } a \text{ (b-1)} = \text{comp } a \text{ (2-1)} = \text{comp } a \text{ 1}$

cambiar 0's x 1's

cambiar 1's x 0's

- **comp a 2 :** $\text{comp } a \text{ b} = \text{comp } a \text{ 2}$

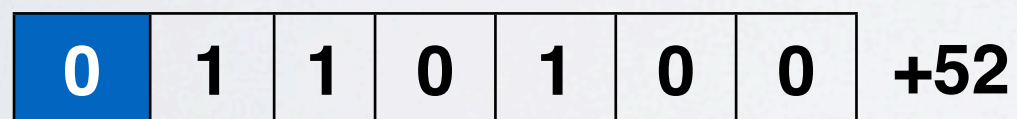
sumar un '1' al bmp del comp a 1 de la cantidad original

Representación de cantidades con signo

Existen principalmente dos sistemas que permiten representar cantidades lógicas con signo:

- **Sistema signo-magnitud:** se agrega un bit a la izquierda del BMP de la cantidad que indica el signo de la misma.

BIT DE SIGNO: '0' representa signo positivo (+)
'1' representa signo negativo (-)



bit de
signo

magnitud



bit de
signo

magnitud

Representación de cantidades con signo

- **Sistema de complemento a 2:** sistema más empleado para representar cantidades negativas que trabaja de la siguiente manera:

* Si el número es positivo:

0	1	0	1	1	0	1	+45
----------	----------	----------	----------	----------	----------	----------	------------

bit de
signo

magnitud

* Si el número es negativo:

1	0	1	0	0	1	1	-45
----------	----------	----------	----------	----------	----------	----------	------------

bit de
signo

magnitud

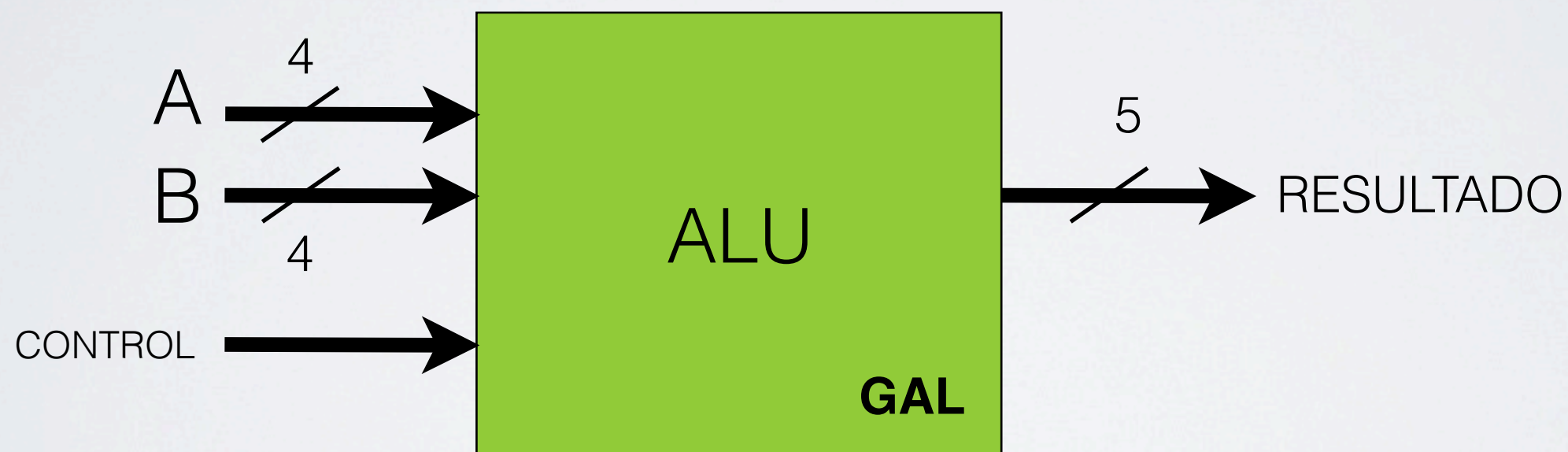
	1	0	1	1	0	1
comp a	0	1	0	0	1	0
1						
+						1
	<hr/>					
comp a	0	1	0	0	1	1
2						

SUMADOR/RESTADOR DE 4 BITS

FUNDAMENTOS DE DISEÑO DIGITAL
OPTATIVA I. ISISA

PRACTICA 3

- Diseñe un circuito lógico que sume o reste dos números binarios de 4 bits, a través de una entrada de control se decidirá si se suman o restan.
- Describa en VHDL el circuito anterior.
- Implemente el circuito en una GAL22V10



SUMADOR DE 4 BITS

Medio sumador

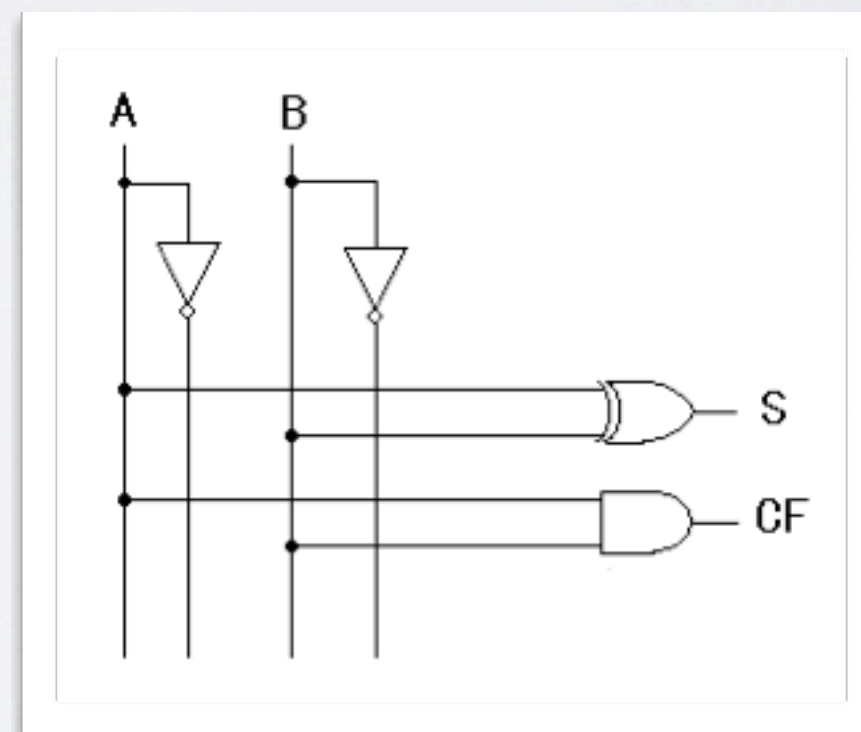
$$S = \sum m(1,2)$$

$$CF = \sum m(3)$$

A	B	S	CF
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = AB' + A'B = A \oplus B$$

$$CF = AB$$



SUMADOR DE 4 BITS

Sumador completo

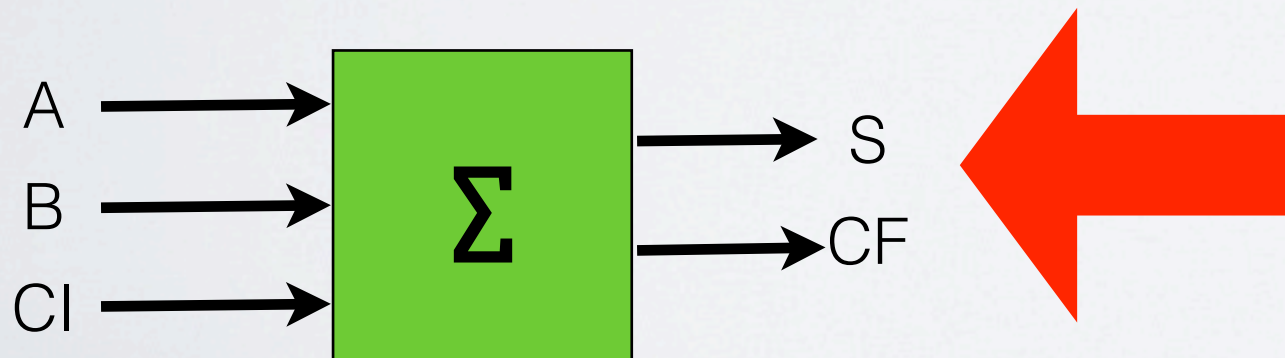
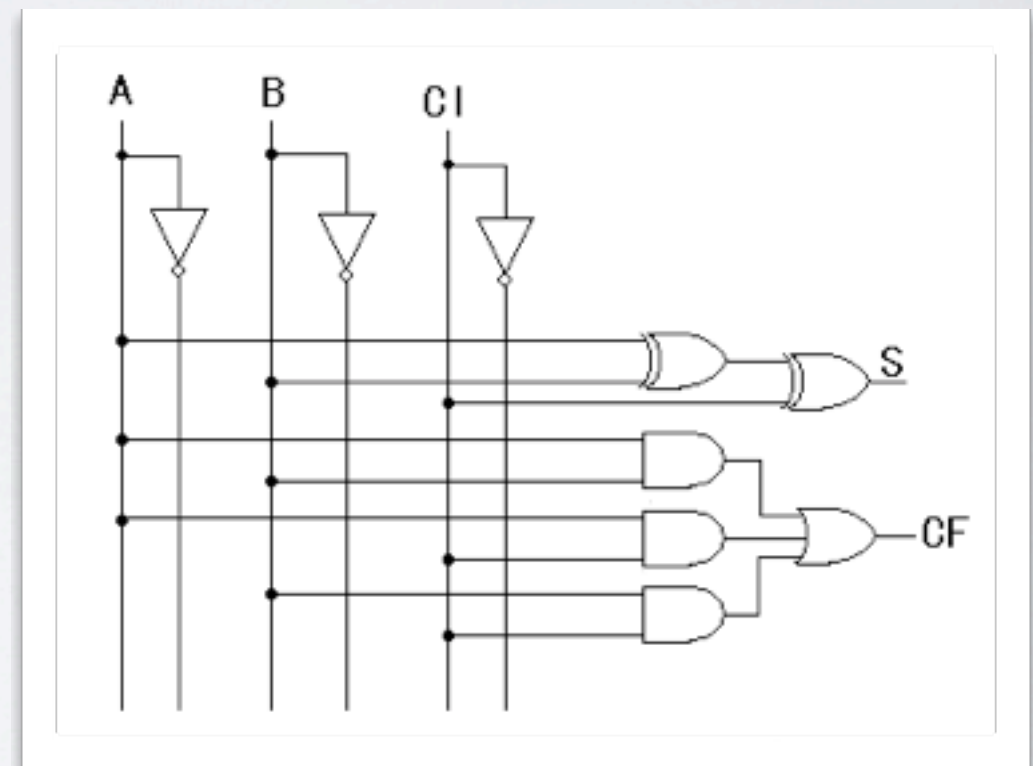
A	B	CI	S	CF
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S = \sum m(1,2,4,7)$$

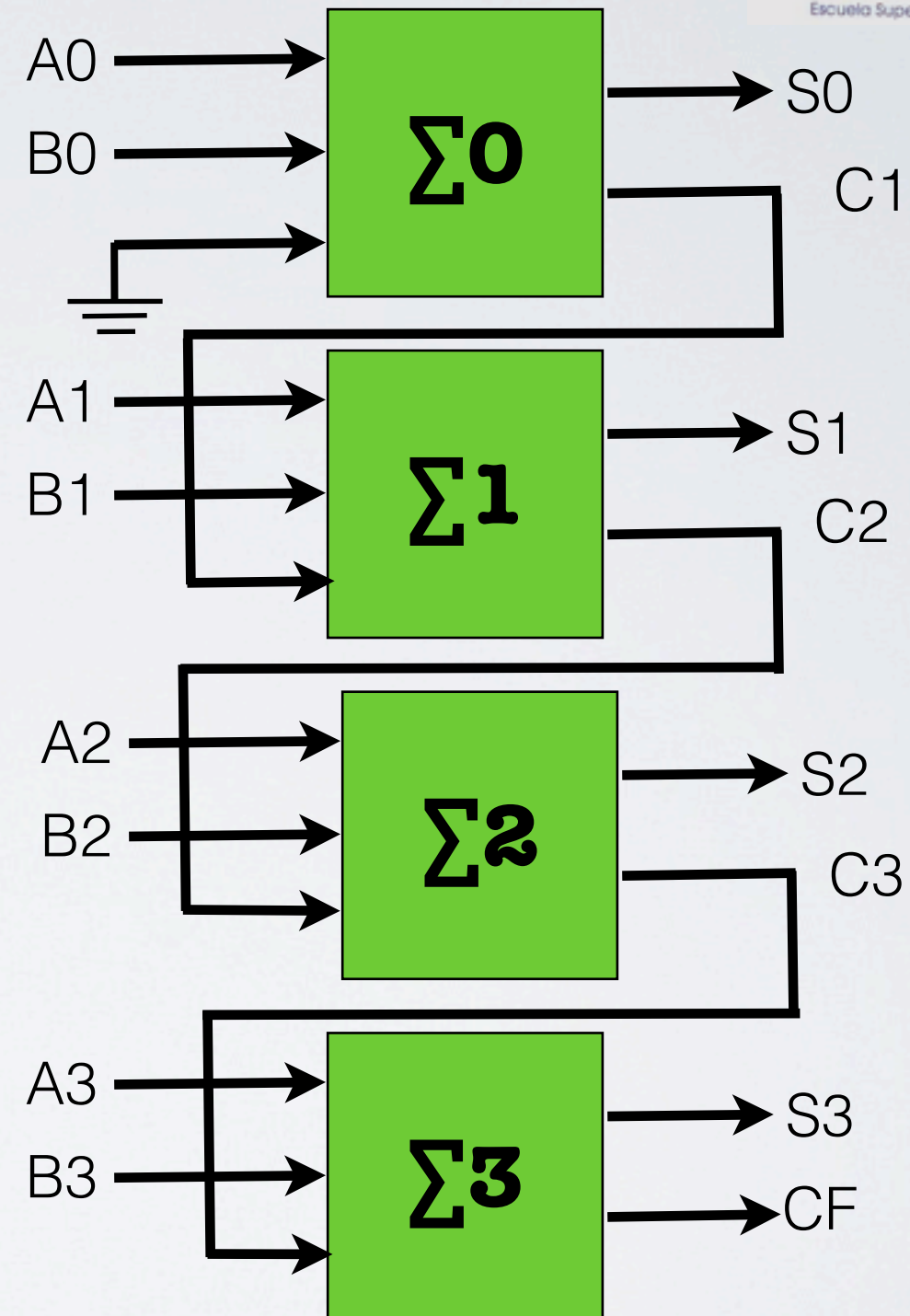
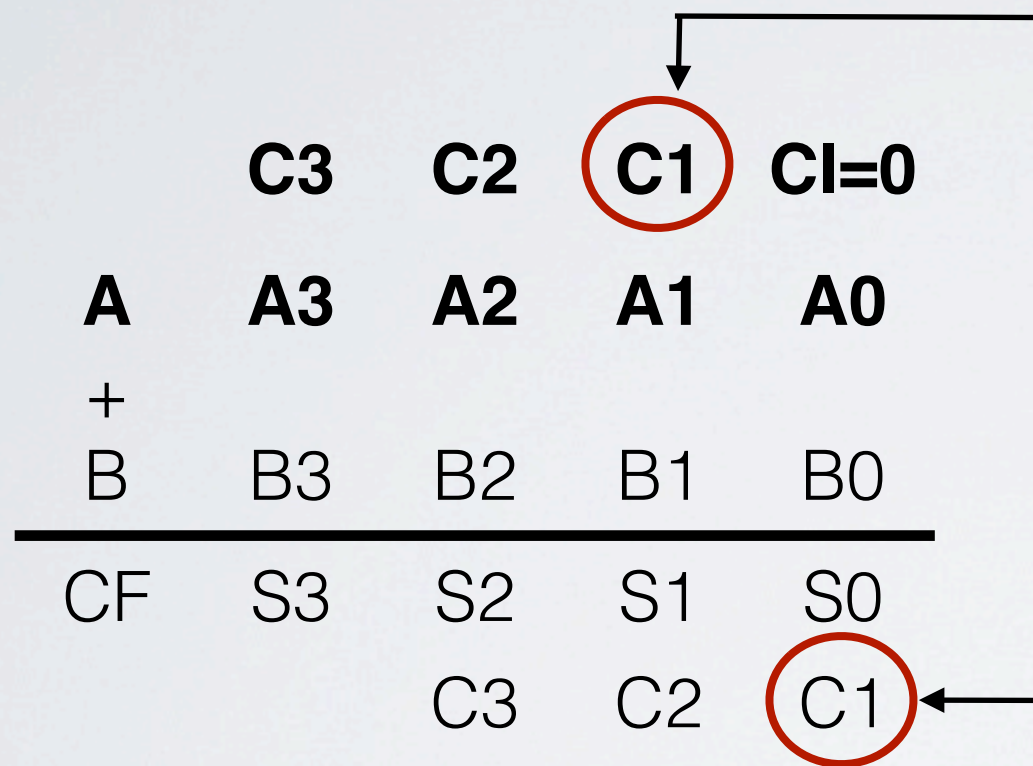
$$S = A \oplus B \oplus CI$$

$$CF = \sum m(3,5,6,7)$$

$$S = AB + ACI + BCI$$



SUMADOR DE 4 BITS



RESTADOR DE 4 BITS

Método de resta por complemento a 2

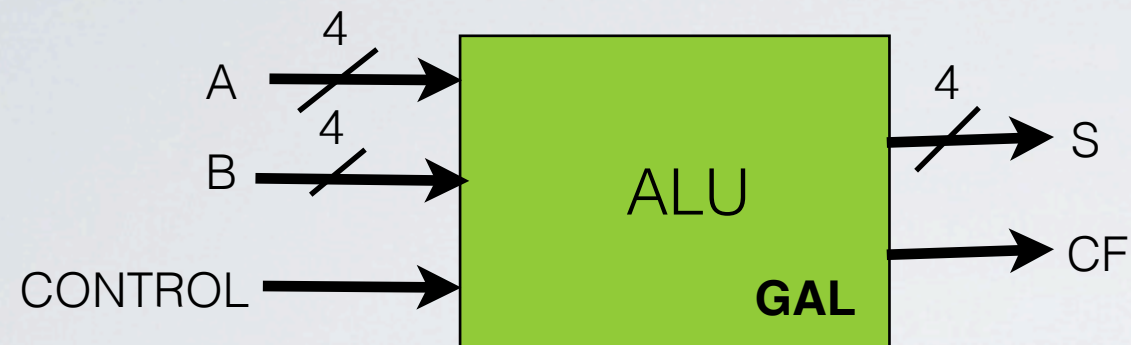
Considerando la resta de dos números binarios el **minuendo** y el **sustraendo**, se tiene:

1. Obtenga el **comp a 2** del sustraendo.
2. Sume el minuendo al comp a 2 del sustraendo.

Este método permite encontrar resultados negativos, los cuales estarán representados en complemento a 2.

NOTA: Es necesario que ambos números tengan el mismo número de bits.

PRACTICA 3



**CONTROL
XOR**

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

**Si A=0
F=B**

**Si A=1
F=B'**

PRACTICA 3

