

HERNÁNDEZ ESCOBEDO FERNANDO	INSTITUTO POLITÉCNICO NACIONAL	ESCUELA SUPERIOR DE CÓMPUTO
NUMERO DE LA TAREA 4	Figura de la implementación básica del subconjunto MIPS	10 DE ABRIL DEL 2019
GRUPO (3CM3)	ARQUITECTURA DE COMPUTADORAS	

Explicar la “Figura 4.2 La implementación básica del subconjunto MIPS, incluidos los multiplexores y las líneas de control necesarias”

La Figura 4.2 muestra la ruta de datos de la Figura 4.1 (Una vista abstracta de la implementación del subconjunto MIPS que muestra las unidades funcionales principales y las conexiones principales entre ellas.), que se entregó en la tarea anterior, con los tres multiplexores requeridos agregados, así como las líneas de control para las unidades funcionales principales. Una unidad de control, que tiene la instrucción como una entrada, se utiliza para determinar cómo configurar las líneas de control para las unidades funcionales y dos de los multiplexores. El tercer multiplexor, que determina si $PC + 4$ o la dirección de destino de la rama se escribe en el PC, se configura en función de la salida zero de la ALU, que se utiliza para realizar la comparación de una instrucción beq.

La regularidad y simplicidad del conjunto de instrucciones MIPS significa que se puede usar un proceso de decodificación simple para determinar cómo establecer las líneas de control.

En este primer diseño, cada instrucción comienza la ejecución en un borde del reloj y completa la ejecución en el siguiente borde del reloj.

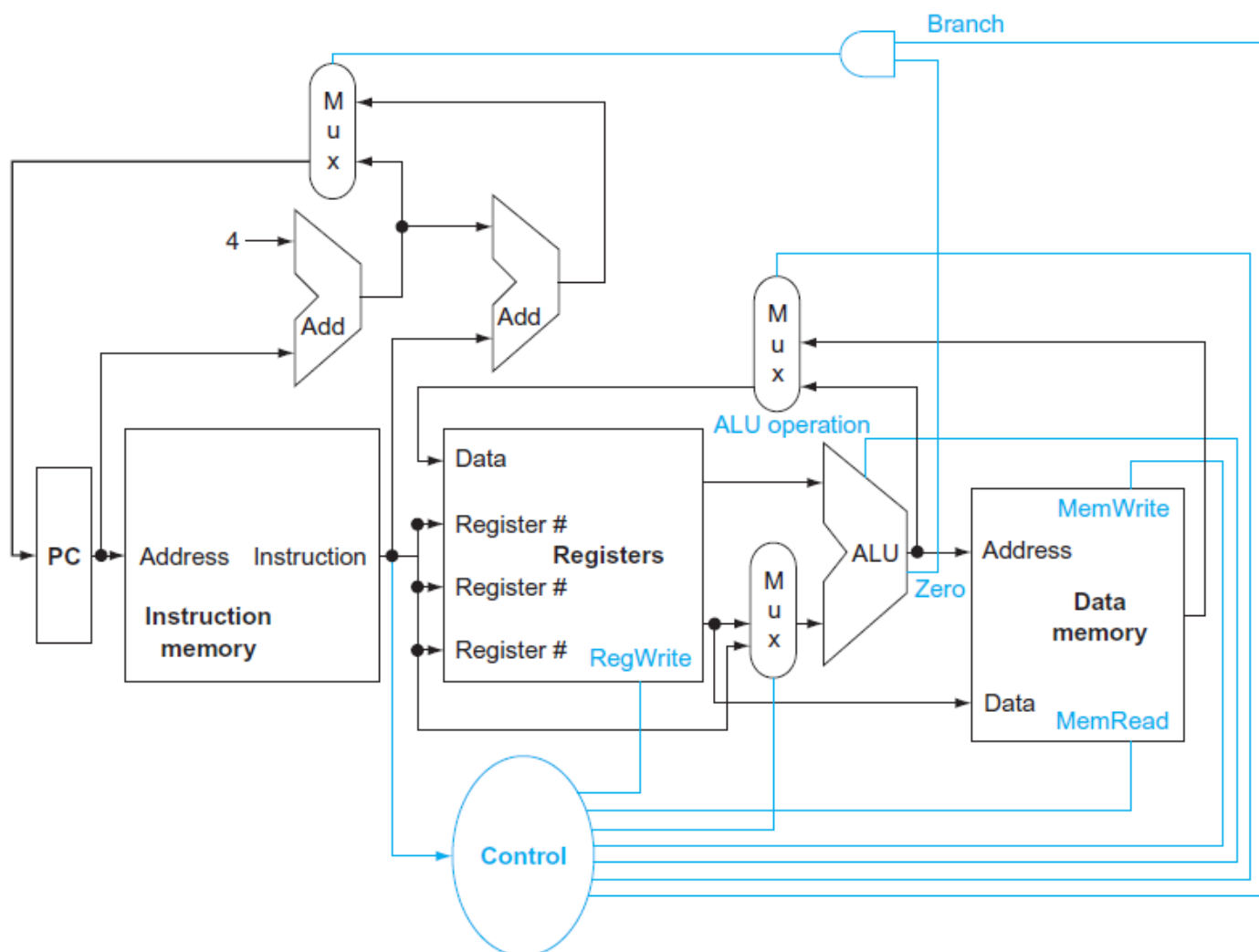


Figura 4.2 2 La implementación básica del subconjunto MIPS, incluidos los multiplexores y las líneas de control necesarias

Conforme a cada multiplexor se puede explicar en pocas palabras que:

1. El multiplexor superior ("Mux") controla qué valor reemplaza el PC (PC + 4 o la dirección de destino de la branch); el multiplexor está controlado por la compuerta "AND" que junta la salida cero de la ALU y una señal de control que indica que la instrucción es una branch.
2. El multiplexor medio, cuya salida vuelve al archivo de registro, se utiliza para dirigir la salida de la ALU (en el caso de una instrucción aritmética-lógica) o la salida de la memoria de datos (en el caso de una carga) para escribirlo en el archivo de registro.
3. El multiplexor inferior se usa para determinar si la segunda entrada ALU es de los registros (para una instrucción aritmética lógica o una branch) o del campo fuera de juego de la instrucción (para una carga o almacenamiento). Las líneas de control, las de color azul, agregadas son sencillas y determinan la operación realizada en la ALU, si la memoria de datos debe leer o escribir, y si los registros deben realizar una operación de escritura.

CONCEPTOS:

a).- asserted (afirmado): Es un término usado para indicar una señal que es lógicamente alta o verdadera.

b).- assert (afirmar): Es un término usado para especificar que una señal debe ser manejada lógicamente alta

c).- deassert (desautorizar): Es un término usado para especificar que una señal debe ser manejada lógicamente baja

d).- deasserted (desautorizado): Es un término usado para indicar una señal que es lógicamente baja o falsa

***Nota:** Se usan los términos afirmar y desestimar porque cuando implementamos hardware, en los momentos 1 representa un nivel lógico alto y, a veces, puede representar un nivel lógico bajo.

BIBLIOGRAFÍA.

- Patterson, D.A. & Hennessy, J.L. (2014). *COMPUTER ORGANIZATION AND DESIGN: THE HARDWARE/SOFTWARE INTERFACE*. United States: ELSEVIER.