

Bitslice Prozessoren \rightarrow Bitweises Rechnen
Gehäuse von Mikrochip teurer als Chip selbst
Prozessor, Hauptspeicher, Bussystem, E/A-Geräte,

Bus
Serieller Bus: Eine Leitung
Paralleler Bus: Mehrere einzelne Leitungen
Adressbus, Datenbus, Steuerbus

\hookrightarrow
 \hookrightarrow
 \hookrightarrow Koordiniert die Daten auf den Bussen

Busarbiter \rightarrow Asynchroner Bus

Bussteuerung wird von CPU angesteuert

CPU-Cache

Haupt-/Arbeitsspeicher (V-RAM) \nearrow Lesen & Schreiben möglich

Festplatte \hookrightarrow Random Access Memory

Flash-ROM (BIOS) Festplattencontroller Laden von Programmen Festplatte \rightarrow Hauptspeicher

\hookrightarrow Read Only Memory

\downarrow
Nur Lesen möglich

\hookrightarrow Anfangs mit UV-Licht lösbar

RAM \rightarrow SRAM, DRAM

\downarrow
Statisch

Flip-Flops

(fällt in irgend-
einen Zustand)

(Initialisierung von
Variablen muss
direkt geschehen)

(Java Variable
wird mit 0
vorbelegt)

\downarrow
Dynamisch

Kondensatoren

(müssen geladen/
aufgefrischt werden)

(Bausteine geben
sich selbst ein Signal
zum Auffrischen)

Cache: Klein aber sehr schnell, läuft mit CPU-Frequenz

Statischer Speicher

Emittergekoppelte Logik ECL

TTL

200KB - 8 MB

Daten Hauptspeicher \rightarrow Cache / Heute: Programme für Cache zu groß

Speicherverwaltung

Cache wird geladen, entladen, geladen, usw. ...

Serielle Busse: SATA

Früher: Parallele Busse Heute: Serielle Busse

CPU greift nicht in Datenübertragung von Festplatte zu Hauptspeicher

DMA-Zugriff

Informationenspeicherung auf Festplatte Aluminiumscheibe mit magnetischer Schicht
Lese/Schreibkopf auf Luftpolster erkennt Nord/Südpol
Magnetisierung auf verschiedene Richtungen, Winkel, Quam-Modulation
Information im Winkel des Signals

SSD \Rightarrow Flash-~~RAM~~s

North/Southbridge: Aufgabenübernahme von CPU, Optimierung Speicher
Übersetzung Parallel zu Seriell und andersherum
Grafikbaustein

Statusregister

CPU ist vergesslich/flüchtig, Cache gehört für CPU zum Hauptspeicher

Northbridge regelt Datenaustausch Cache zu Hauptspeicher

Write back \Rightarrow Write through ~~zu Haupt~~

\downarrow \hookrightarrow Zuerst Cache und dann Hauptspeicher

Cacheinhalt...