

Implementierung eines multithreaded TCP/IP Stacks für einen auf AMIDAR basierten Java Prozessor

Bachelorarbeit
Robert Wiesner
31. Mai 2017



TECHNISCHE
UNIVERSITÄT
DARMSTADT



Erklärung gemäß § 22 Abs. 7 APB

Hiermit erkläre ich gemäß § 22 Abs. 7 der Allgemeinen Prüfungsbestimmungen (APB) der Technischen Universität Darmstadt in der Fassung der 4. Novelle vom 18. Juli 2012, dass ich die Arbeit selbstständig verfasst und alle genutzten Quellen angegeben habe und bestätige die Übereinstimmung von schriftlicher und elektronischer Fassung.

Darmstadt, den 31. Mai 2017

Ort, Datum

Robert Wiesner

Fachbereich Elektro- und Informationstechnik

Institut für Datentechnik

Fachgebiet Rechnersysteme

Prüfer: Prof. Dr.-Ing. Christian Hochberger

Betreuer: Dipl.-Inform. Changgong Li

Inhaltsverzeichnis

1	Einleitung	3
1.1	Motivation	3
1.2	Aufgabenstellung	3
2	Grundlagen	4
2.1	Ethernet	4
2.2	IP	4
2.3	TCP	4
2.4	DHCP	4
2.5	AMIDAR	4
3	Implementierung	5
3.1	Überblick	5
3.2	TCP Stack	5
3.3	IP Stack	5
3.4	DHCP	5
3.5	Stream Sockets	5
4	Evaluation	6
4.1	Testaufbau	6
4.2	Funktionen	6
4.3	Performanz	6
5	Zusammenfassung	7
5.1	Fazit	7
5.2	Ausblick	7

1 Einleitung

1.1 Motivation

Diese Arbeit basiert auf den im Fachgebiet Rechnersystem entwickelten AMIDAR Prozessor und der dafür angepassten Java API. Zum Zeitpunkt der Arbeit verfügt AMIDAR mit der dazugehörigen API über grundlegende Netzwerk Funktionalitäten. Dazu gehören die Unterstützung für die Protokolle Ethernet, ARP, begrenzt IPv4 und UDP. Mit UDP kann keine korrekte und verlustfreie Datenübertragung garantiert werden, welche für viele Netzerkanwendungen vorausgesetzt wird. Im Rahmen dieses Projektes wird TCP Stack entwickelt, sowie der IP Stack erweitert um eine geordnete und verlustfreie Datenübertragung zu realisieren.

1.2 Aufgabenstellung

2 Grundlagen

2.1 Ethernet

2.2 IP

2.3 TCP

2.4 DHCP

2.5 AMIDAR

3 Implementierung

3.1 Überblick

3.2 TCP Stack

3.3 IP Stack

3.4 DHCP

3.5 Stream Sockets

4 Evaluation

4.1 Testaufbau

4.2 Funktionen

4.3 Performanz

5 Zusammenfassung

5.1 Fazit

5.2 Ausblick

Abkürzungsverzeichnis

CLB Configurable Logic Block

CPU central processing unit

ELF Executable and Linking Format

FPGA Field Programmable Gate Array

MC Microcontroller

CPU central processing unit

NCD Native Circuit Description Format

SoC System on Chip

Sph SpartanMC Hex Dateiformat

XDL Xilinx Design Language Format

Abbildungsverzeichnis

Literaturverzeichnis

- [BUG] *BUG Xilinx XDL Programm*. <http://forums.xilinx.com/t5/Spartan-Family-FPGAs/A-bug-for-Spartan-6/td-p/271026>
- [ELF] *Executable and linkable Format*. <http://www.linux-kernel.de/appendix/ap05.pdf>
- [GNU] *GNU - make*. <http://www.gnu.org/software/make/manual/make.html>
- [OSE] *Open Source ELF-Library*. <https://www.hpi.uni-potsdam.de/hirschfeld/trac/SqueakMaxine/browser/com.oracle.max.elf?rev=1d81ff0c9a2a8a101fe33f4ac1495decc6147517#src/com/oracle/max/elf>
- [UCS] *XDL Use Case Senarios*. http://www.cs.indiana.edu/hmg/le/project-home/xilinx/ise_5.2/help/data/xdl/xdl-ucs-ext.html
- [XDL] *Xilinx Design Language*. http://www.cs.indiana.edu/hmg/le/project-home/xilinx/ise_5.2/help/data/xdl/xdl.html