

3 FERRAMENTA DE SÍNTSESE E SIMULAÇÃO

3.1 ABRIR O PROGRAMA QUARTUS

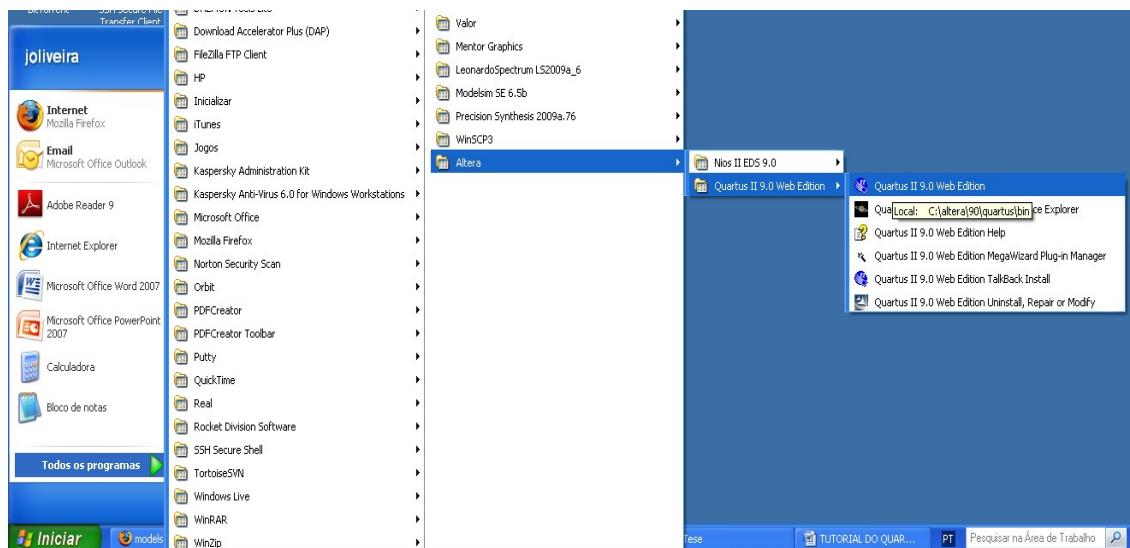


Figura 1: Chamando Quartus II.

Ao abrir o programa Quartus II aparecerá a tela mostrada na Figura 37 com uma janela exibindo as seguintes opções: Criar um novo projeto, Abrir um projeto da lista e Tutorial interativo.

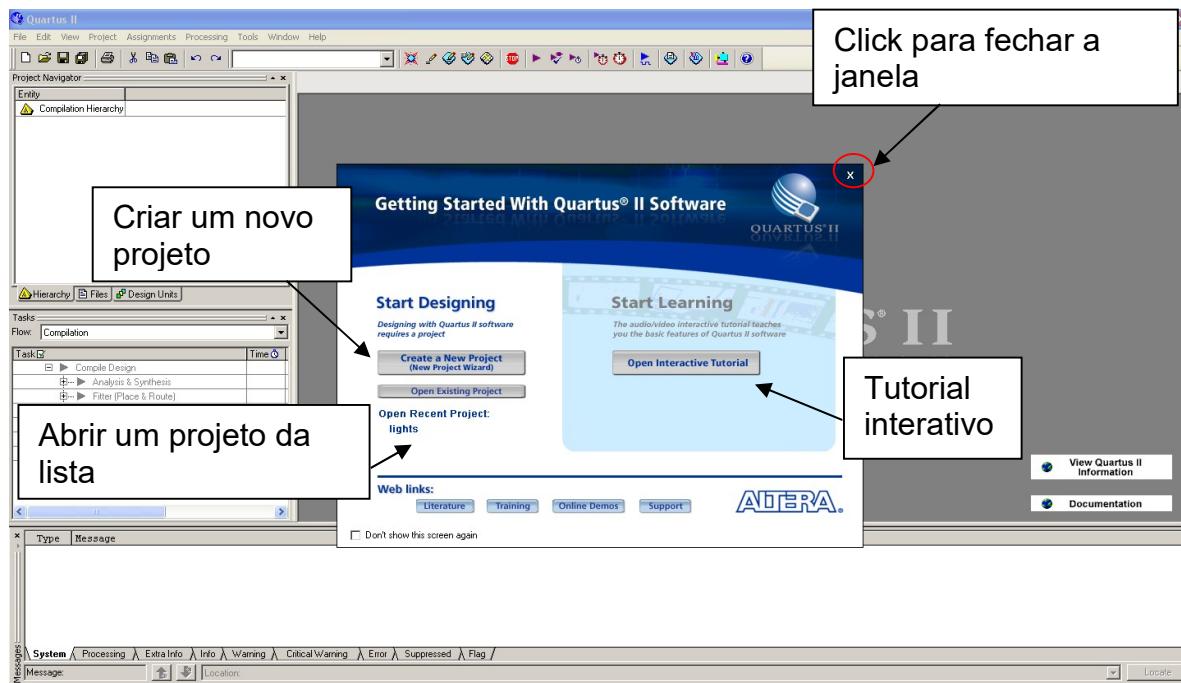


Figura 2: Tela inicial do Quartus.

A opção Criar um novo projeto permite a criação de um projeto definindo-se a tecnologia e os arquivos esquemáticos/verilog do projeto. A opção Abrir um projeto da lista permite abrir um projeto

previamente criado e o Tutorial interativo demonstra as operações básicas do Quartus, tais como elaboração de um projeto e simulação. Para executar os próximos passos deste tutorial, deve-se fechar a janela inicial (click no x). Desta maneira, obtém-se a tela ilustrada na Figura 3.



Figura 3: Tela inicial do Quartus II

3.2 DEFINIÇÃO DO TIPO DE ARQUIVO DO PROJETO

Para definir o tipo de arquivo do projeto utilize o menu *File -> New*. As principais opções são as seguintes: *Block Diagram/Schematic File*, *SystemVerilog HDL File*, *Verilog HDL File*, *VHDL File* conforme exibido na Figura 4.

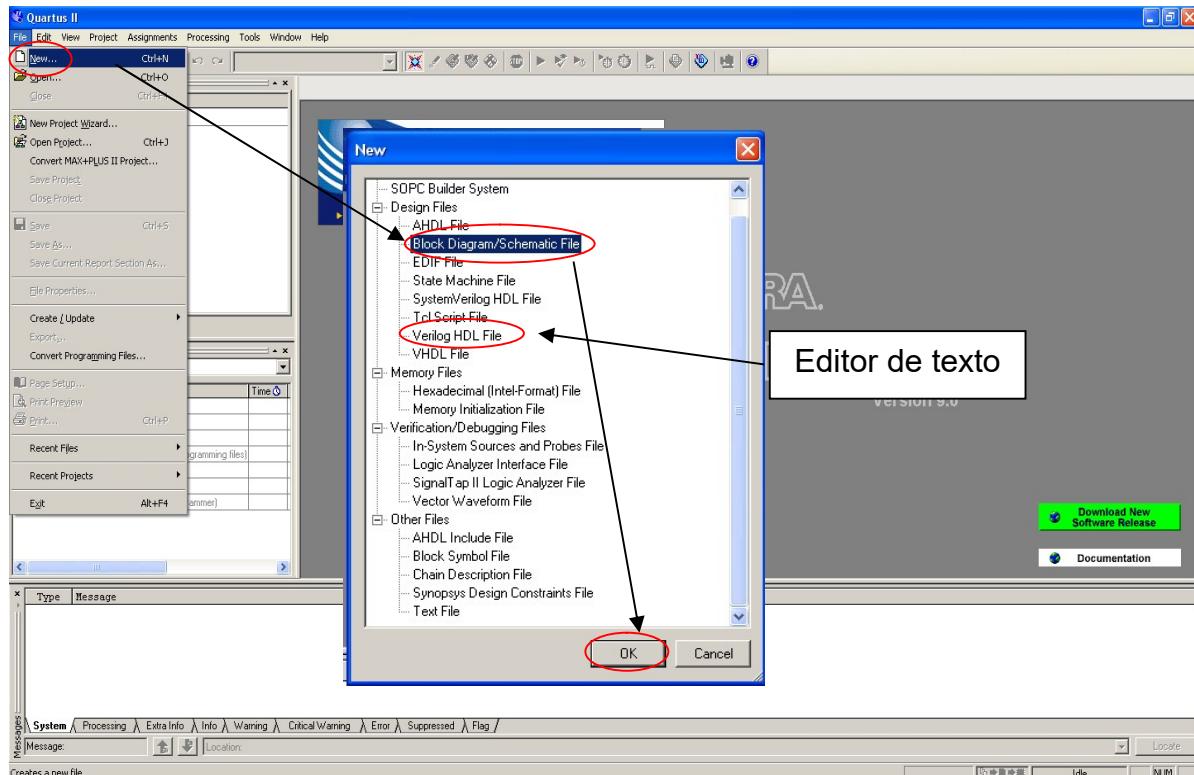


Figura 4: Criação do projeto com esquemático

No ambiente Quartus II, como apresenta a Figura 4 são disponibilizados dois editores para descrevê-los: Editor (Gráfico) de Bloco e Editor de Texto. Isso é porque neste ambiente a construção do circuito pode ser feito em nível de abstração comportamental via uma linguagem de descrição de *hardware* (*Hardware Description Language* - HDL) tais como Verilog, e VHDL ou em nível de abstração estrutural via captura de esquemáticos.

As opções *System Verilog HDL File*, *Verilog HDL File*, *VHDL File* são utilizados para criação de projetos com as linguagens de descrição de hardware System Verilog, Verilog e VHDL, respectivamente.

3.3 CRIAÇÃO DE ARQUIVO PARA EDIÇÃO VERILOG-HDL

Para o desenvolvimento de um projeto descrito em Verilog deve-se selecionar: *File => new => Verilog HDL file*, como apresenta a Figura 5.

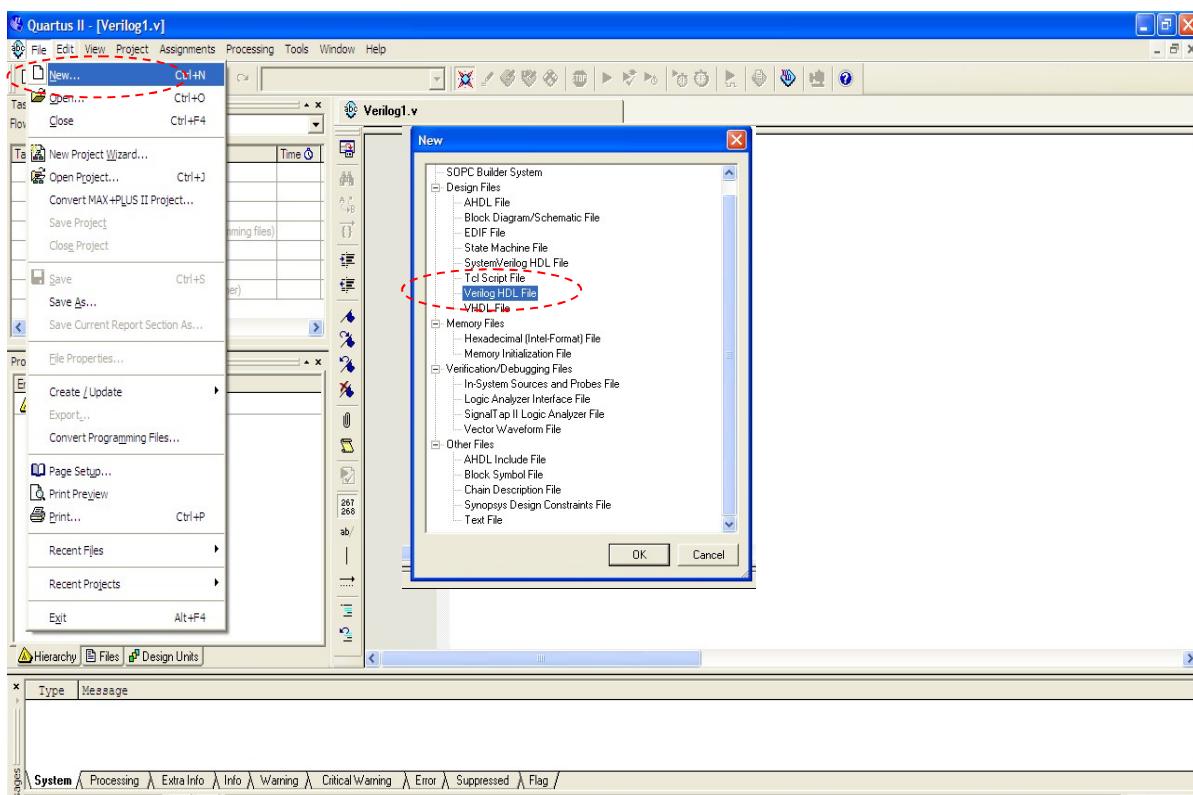


Figura 5: Criação de projeto descrito em Verilog.

A Figura 6 apresenta o local em que se edita um código utilizando a linguagem descrição de hardware.

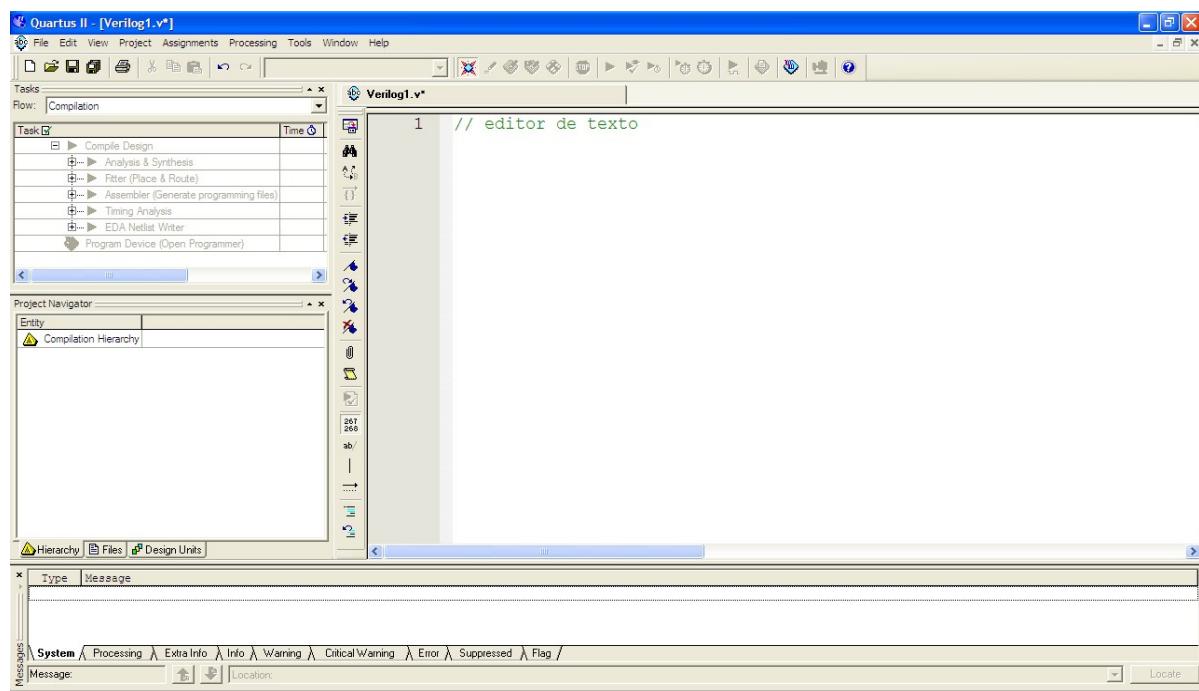


Figura 6: Editor de texto.

3.4 CRIAÇÃO DO PROJETO

Ao salvar/modificar o arquivo, o Quartus II pergunta se um novo projeto deve ser criado com este arquivo. Neste caso, selecione a opção **Sim** conforme exibido Figura 7.

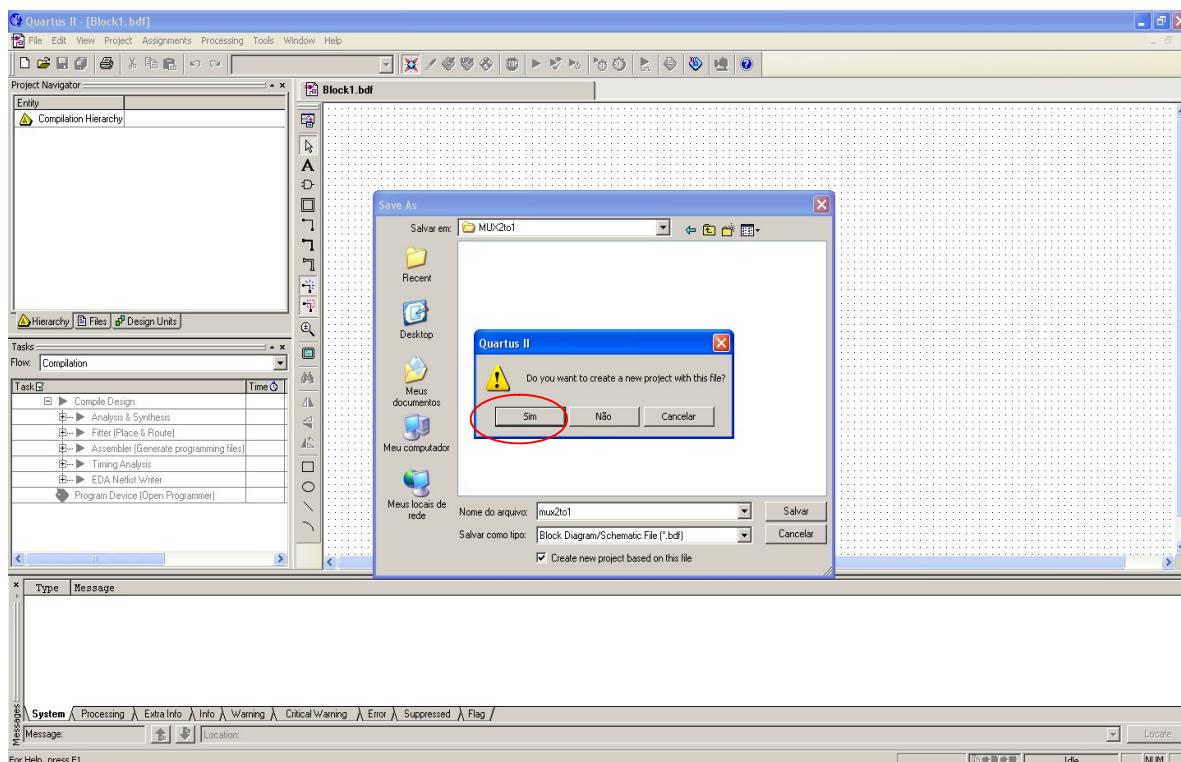


Figura 7: Tela de criação do projeto – 01

Ao selecionar a opção **Sim**, na próxima tela, mostrada na Figura 8, deve-se selecionar a opção **Next**.

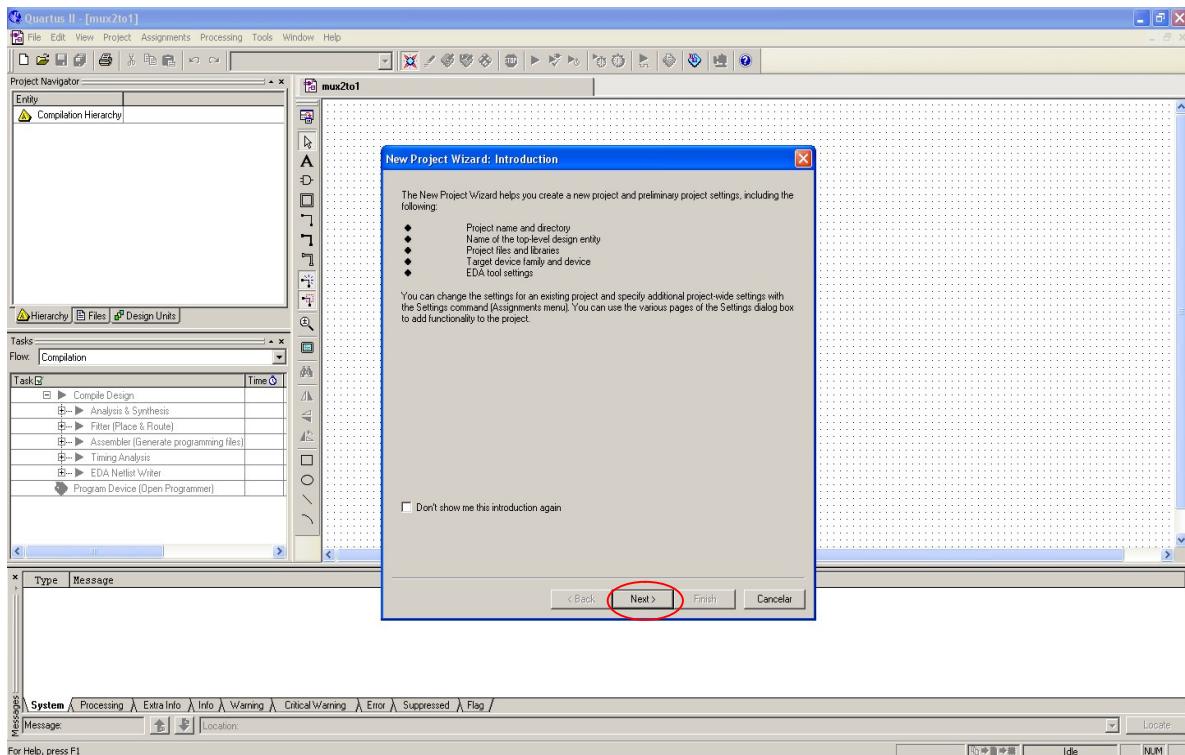


Figura 8: Tela de criação do projeto – 02.

3.5 DEFINIÇÃO DO NOME DO PROJETO

Após a seleção da opção **Next**, na tela ilustrada na Figura 9, o Quartus exibe as seguintes informações: diretório do projeto, nome do projeto e nome do arquivo de maior hierarquia. É obrigatório que o nome do projeto seja o mesmo nome do arquivo de maior hierarquia. O Quartus automaticamente preenche estes campos baseado nas informações inseridas nas telas anteriores. Portanto, não é necessário alterar nenhum destes campos.

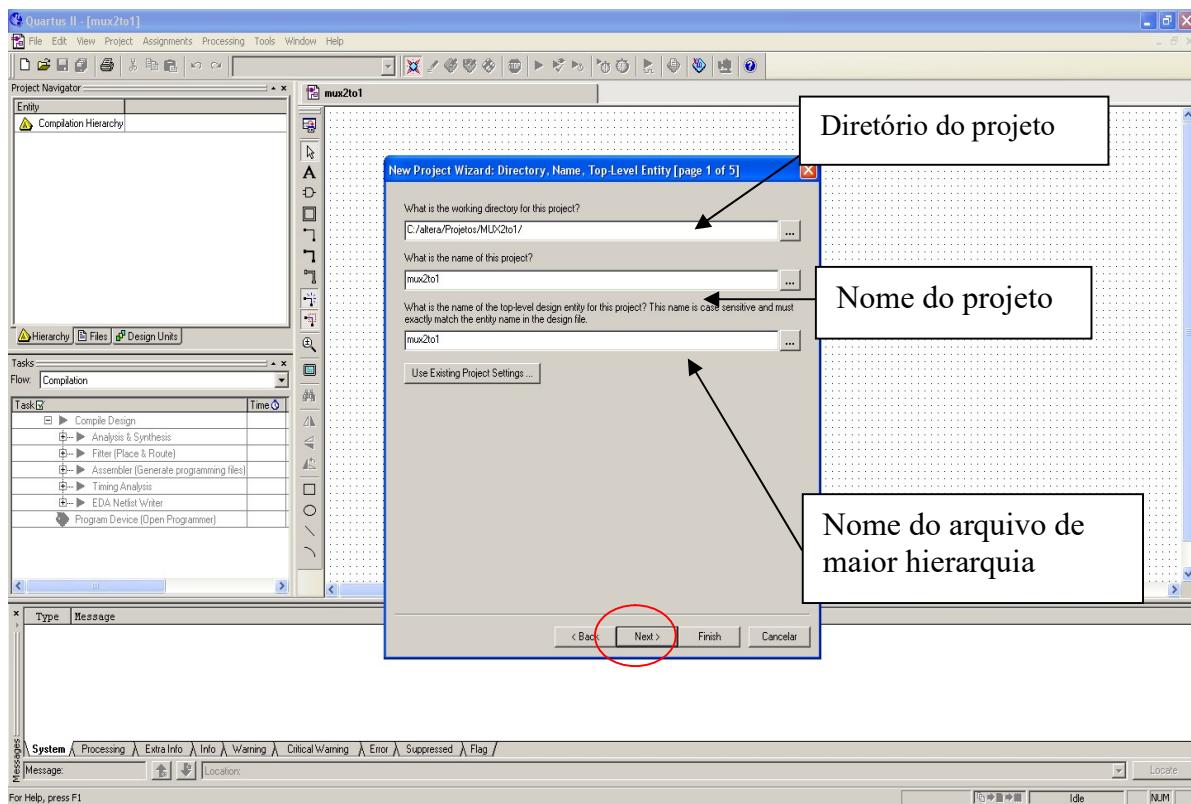


Figura 9: Tela de criação do projeto - 03

3.6 INSERÇÃO DOS ESQUEMÁTICOS DO PROJETO

Na próxima tela é exibida a lista de arquivos do projeto e uma opção para seleção e inserção de outros arquivos do projeto. No caso do exemplo deste tutorial haverá apenas um arquivo. Neste caso, deve-se selecionar a opção Next.

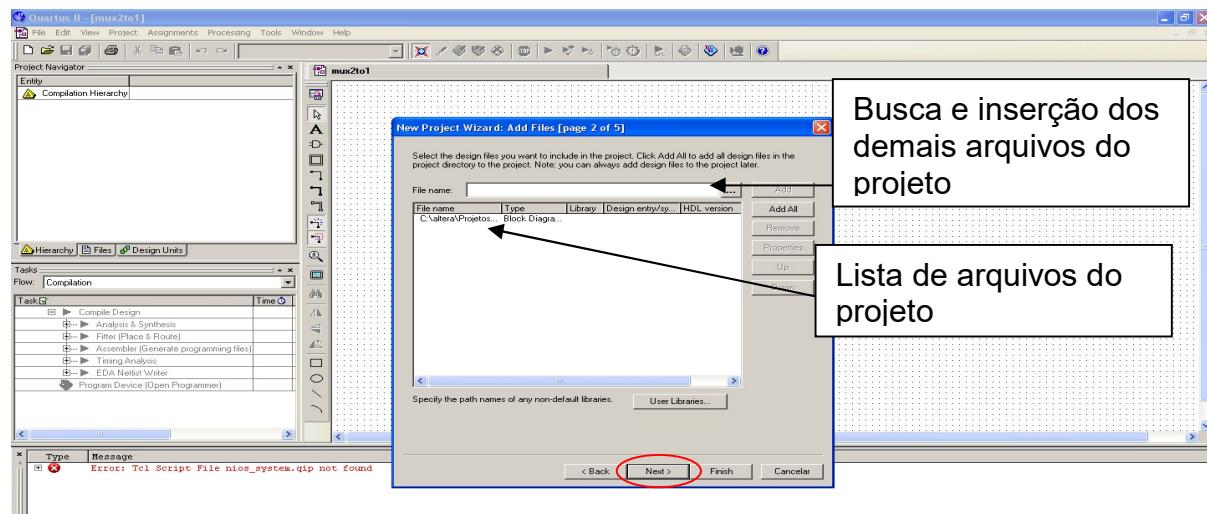


Figura 10: Tela de criação do projeto – 04

3.7 DEFINIÇÃO DA TECNOLOGIA (FPGA)

Uma vez inseridos os arquivos do projeto, o próximo passo é definir a tecnologia, isto é, a família e o dispositivo de lógica programável que será utilizado no projeto. Neste exemplo, deve-se escolher o dispositivo EP2C35F672C6 da família Cyclone II, conforme ilustrado na Figura 11 que faz parte do kit DE2 da Altera. Após a escolha do dispositivo, selecionar Next.

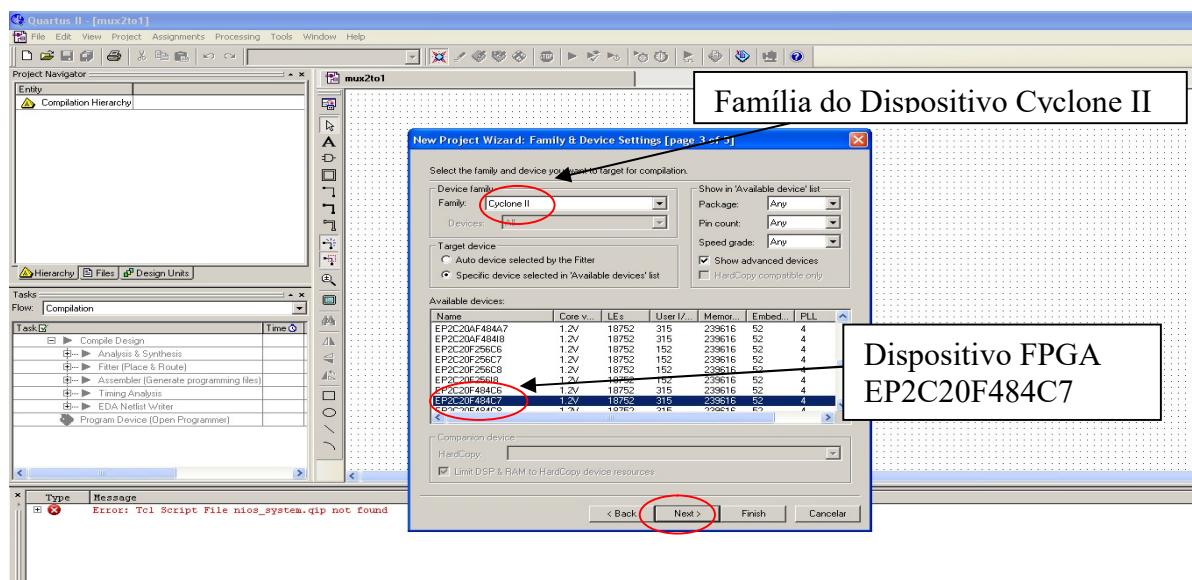


Figura 11: Tela de criação do projeto - 05.

3.8 DEFINIÇÃO DAS FERRAMENTAS DE TERCEIROS

A tela exibida na Figura 12 permite a escolha das ferramentas de síntese, simulação e análise de tempo de outros fabricantes cujos arquivos podem ser integrados ao ambiente de desenvolvimento da ferramenta Quartus II. Neste exemplo, nenhuma ferramenta externa será utilizada e, por isso, deve-se selecionar a opção **None** em todos os campos e em seguida **Next**.

Estas ferramentas são selecionadas quando se desenvolve sistemas digitais com linguagem de descrição de hardware (HDL). As ferramentas de síntese genéricas possibilitam a escolha da tecnologia de diversos fabricantes de dispositivos de lógica programável e ASIC. A saída destas ferramentas é um arquivo com uma descrição do sistema em termos de portas lógicas mapeado para a tecnologia escolhida. O arquivo de saída é o EDIF que pode ser utilizado no Quartus para que seja feita a síntese física, isto é, as interconexões dos elementos lógicos de acordo com o modelo descrito em HDL.

No caso da ferramenta de simulação, o Quartus pode gerar após a síntese física, um arquivo em HDL com os parâmetros de atrasos extraídos do leiaute do dispositivo. Este arquivo pode ser utilizado para simulação com atrasos em uma outra ferramenta de simulação como, por exemplo, ModelSim da Mentor Graphics.

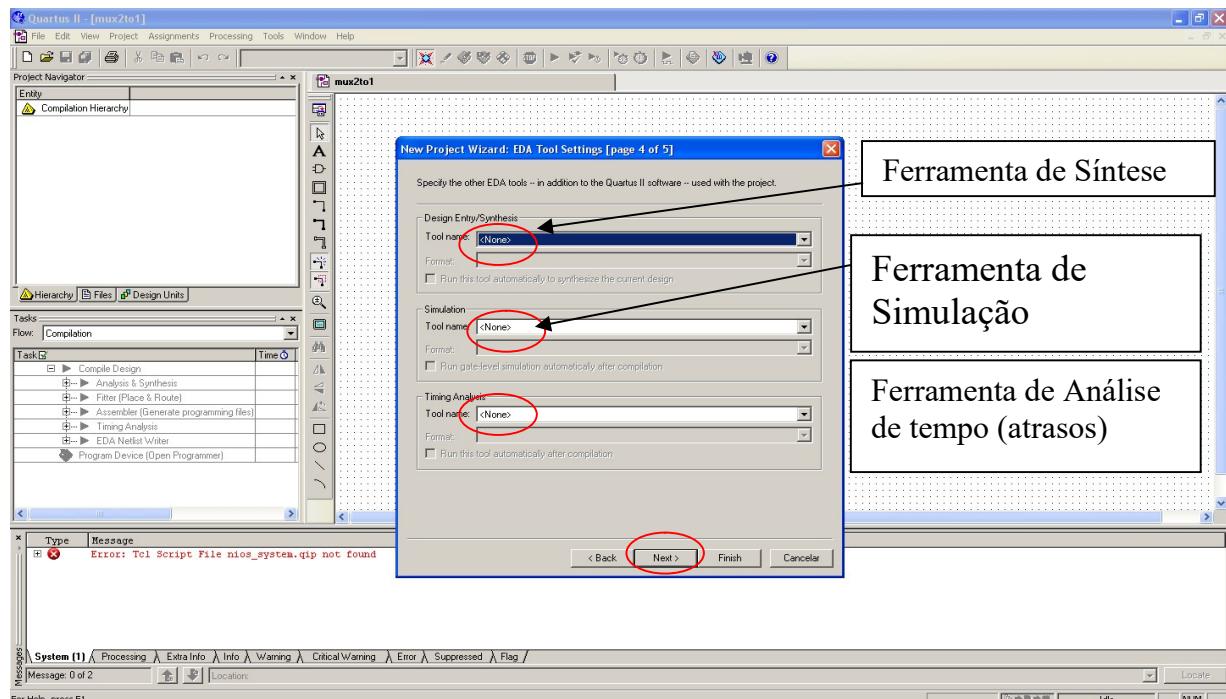


Figura 12: Tela de criação do projeto – 06.

3.9 FINALIZAÇÃO DA CRIAÇÃO DO PROJETO

Na última etapa de criação do projeto, a ferramenta exibe as configurações selecionadas nas etapas anteriores, tais como nome do projeto, família do dispositivo, ferramentas e tensão de operação do núcleo (core) do dispositivo de lógica programável, conforme ilustrado na Figura 13. Para finalizar a criação do projeto, deve-se selecionar a opção **Finish**. A tela final, após a criação do projeto.

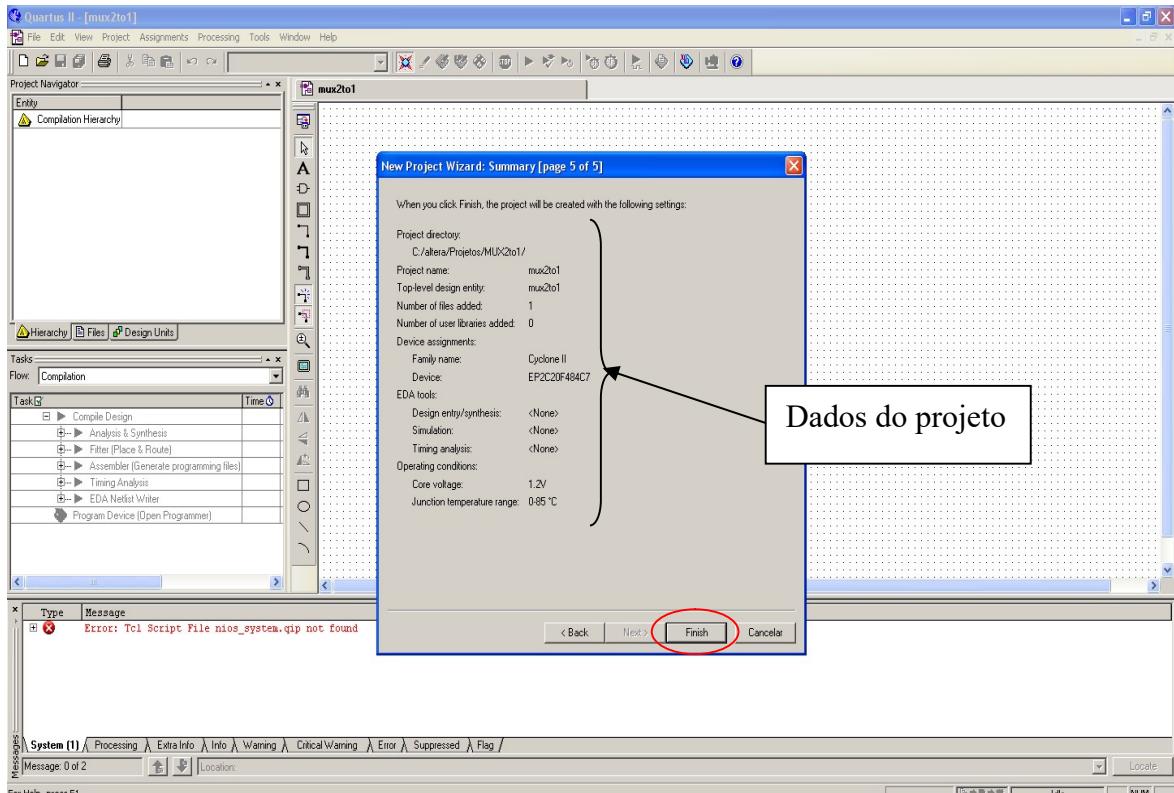


Figura 13: Tela de criação do projeto – 07.

3.10 CONFIGURAÇÕES ADICIONAIS

Há duas configurações adicionais que devem ser realizadas para evitar algumas mensagens de “erros” durante a compilação e possíveis falhas de funcionamento do projeto após a programação do dispositivo de lógica programável, isto é, a configuração de pinos não-utilizados e o valor da carga capacitiva. Para isto, deve-se selecionar no menu **Assignments -> Device -> Device and Pins Options** conforme ilustrado na Figura 14.

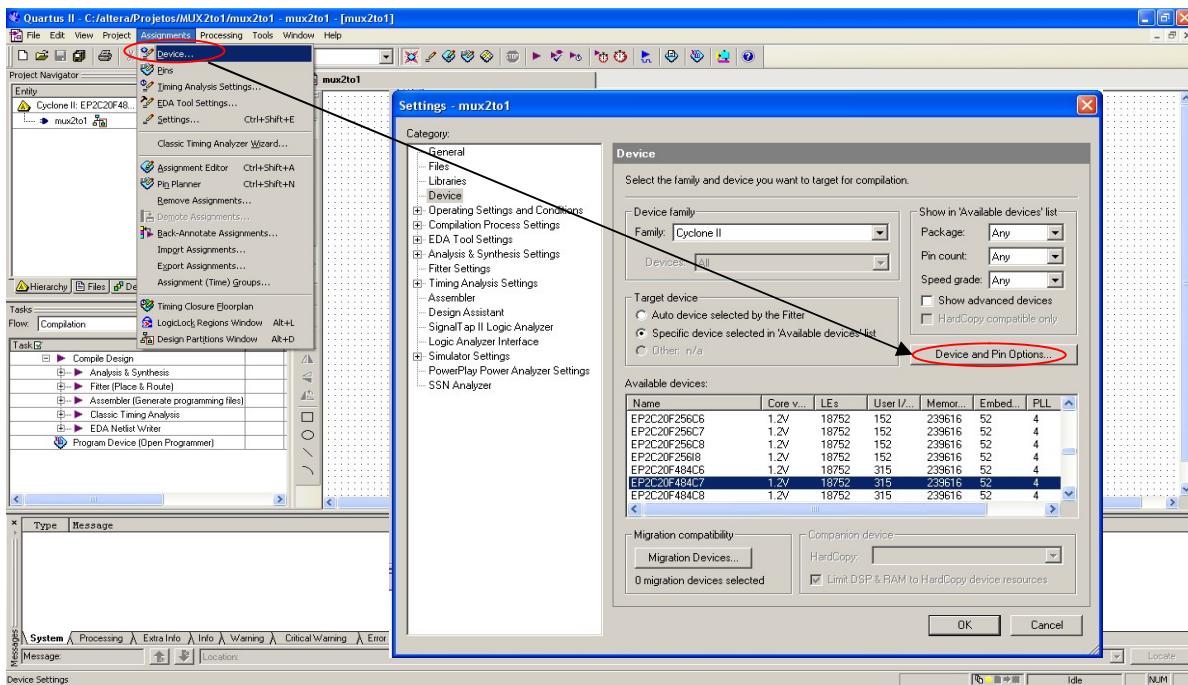


Figura 14: Seleção das opções de dispositivos e pinos.

3.10.1 Configuração dos Pinos Não-Utilizados

Todos os pinos que não forem utilizados devem ser configurados como entradas em Tri-State, pois o Quartus configura automaticamente os pinos não utilizados como saídas conectadas ao GND.

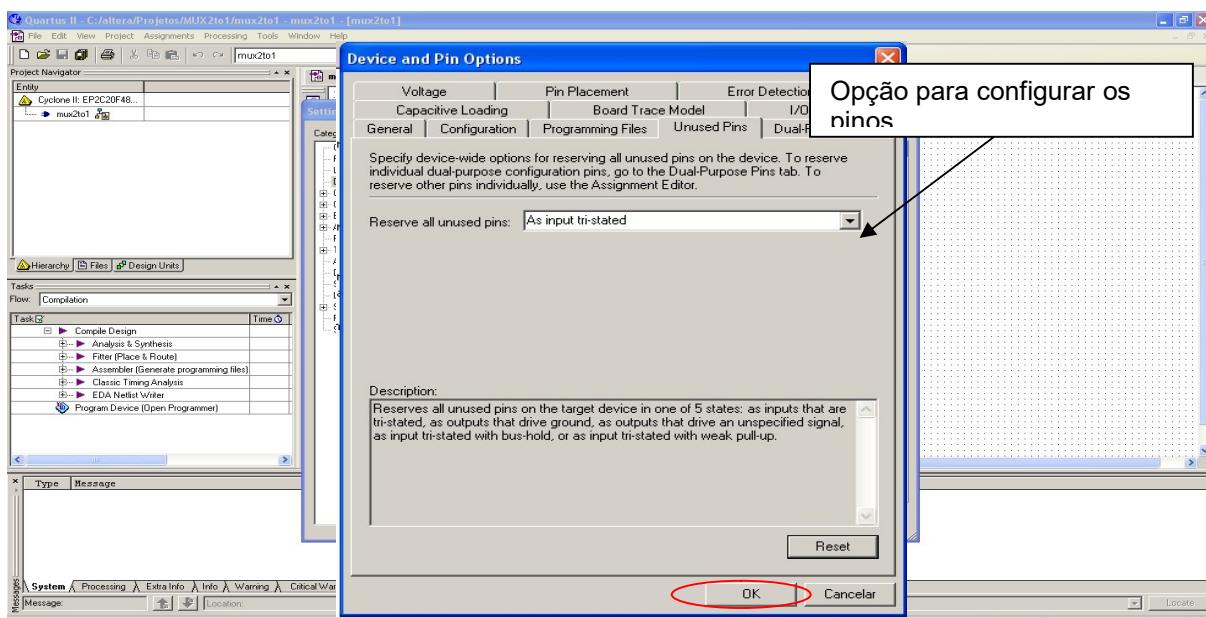


Figura 15: Configurar pino como entrada.

3.10.2 Configuração da Carga Capacitiva

Para configurá-lo assingments -> device -> device and pin options e capacitive loading.

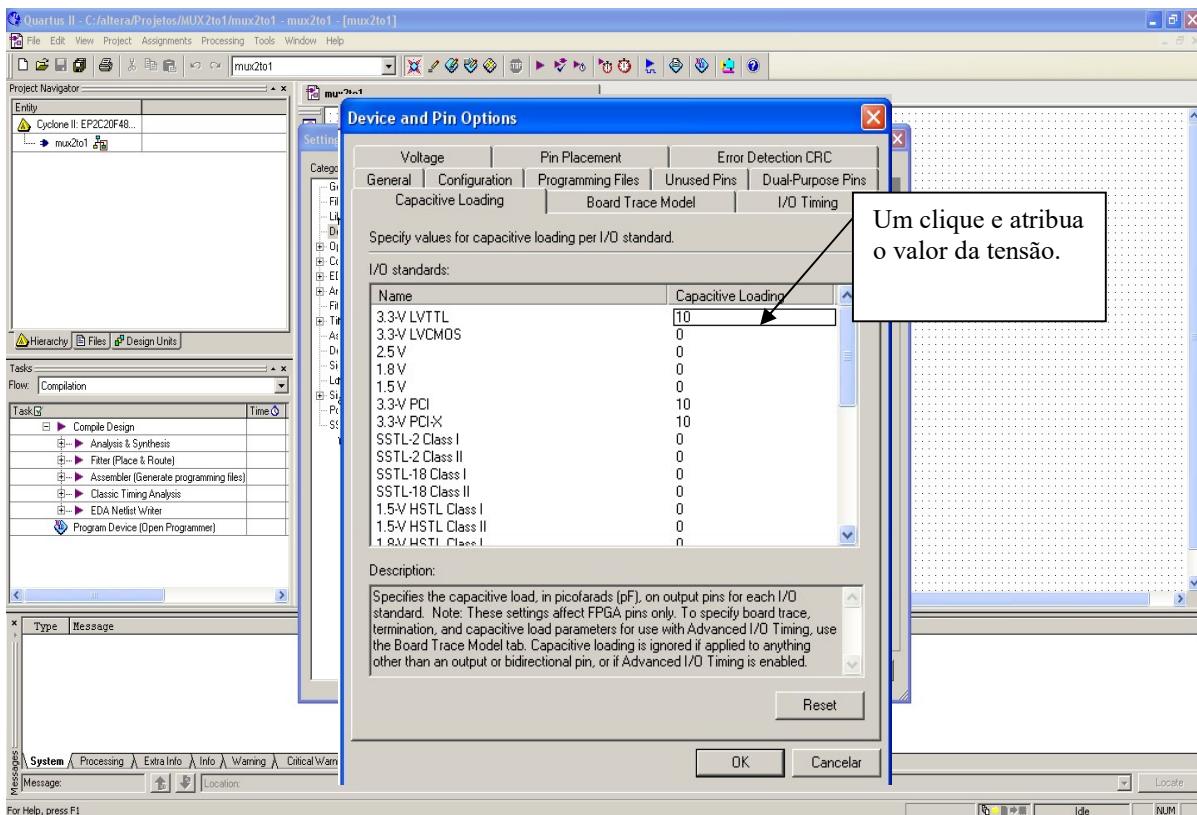


Figura 16: Configuração da carga capacitiva.

4.3.4 Compilação e síntese do projeto

Antes de se compilar salva o diagrama completo em compilar como ilustrado na Figura 17.

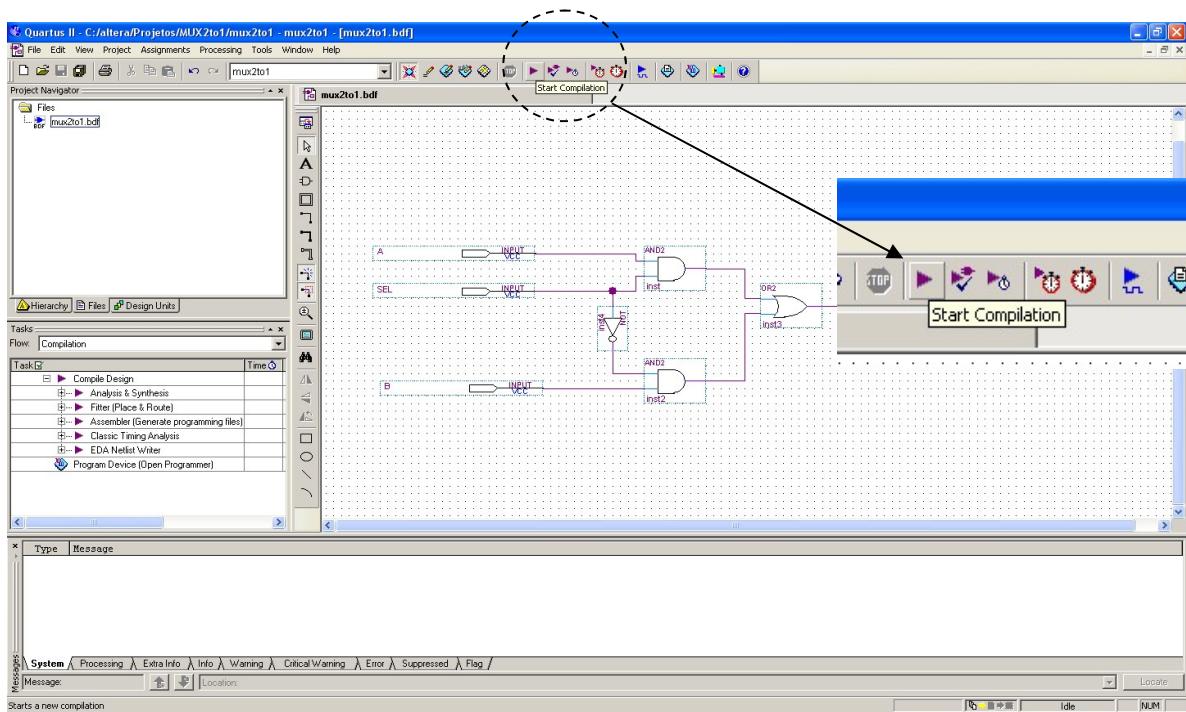


Figura 17: Ícone destacado da simulação.

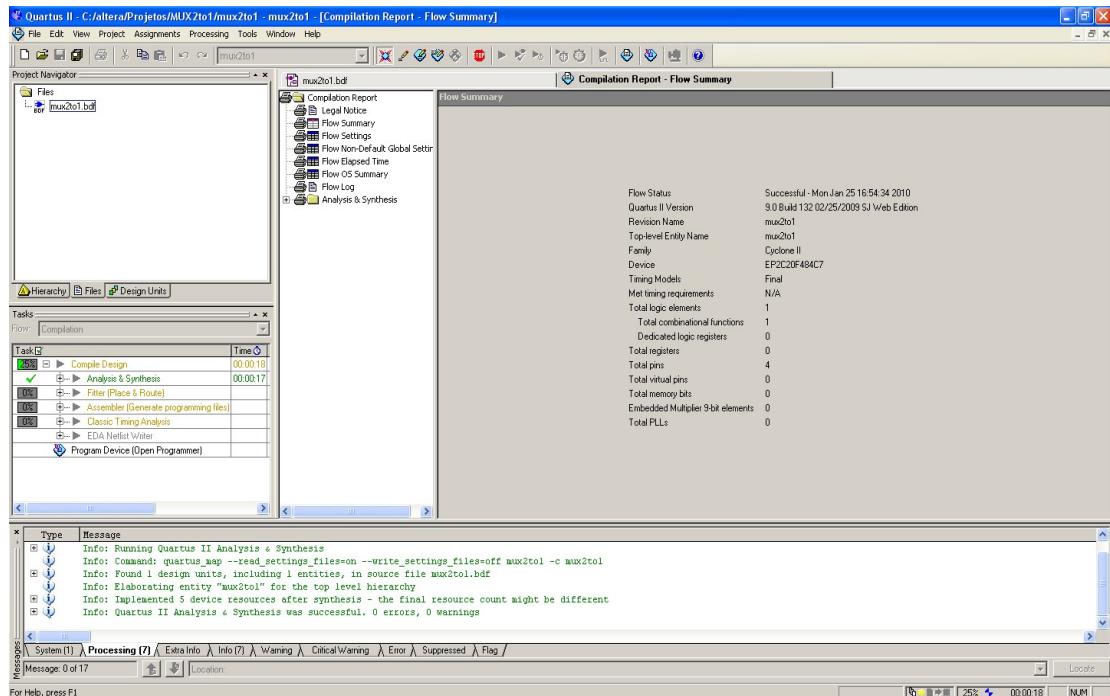


Figura 18: Relatório da compilação.

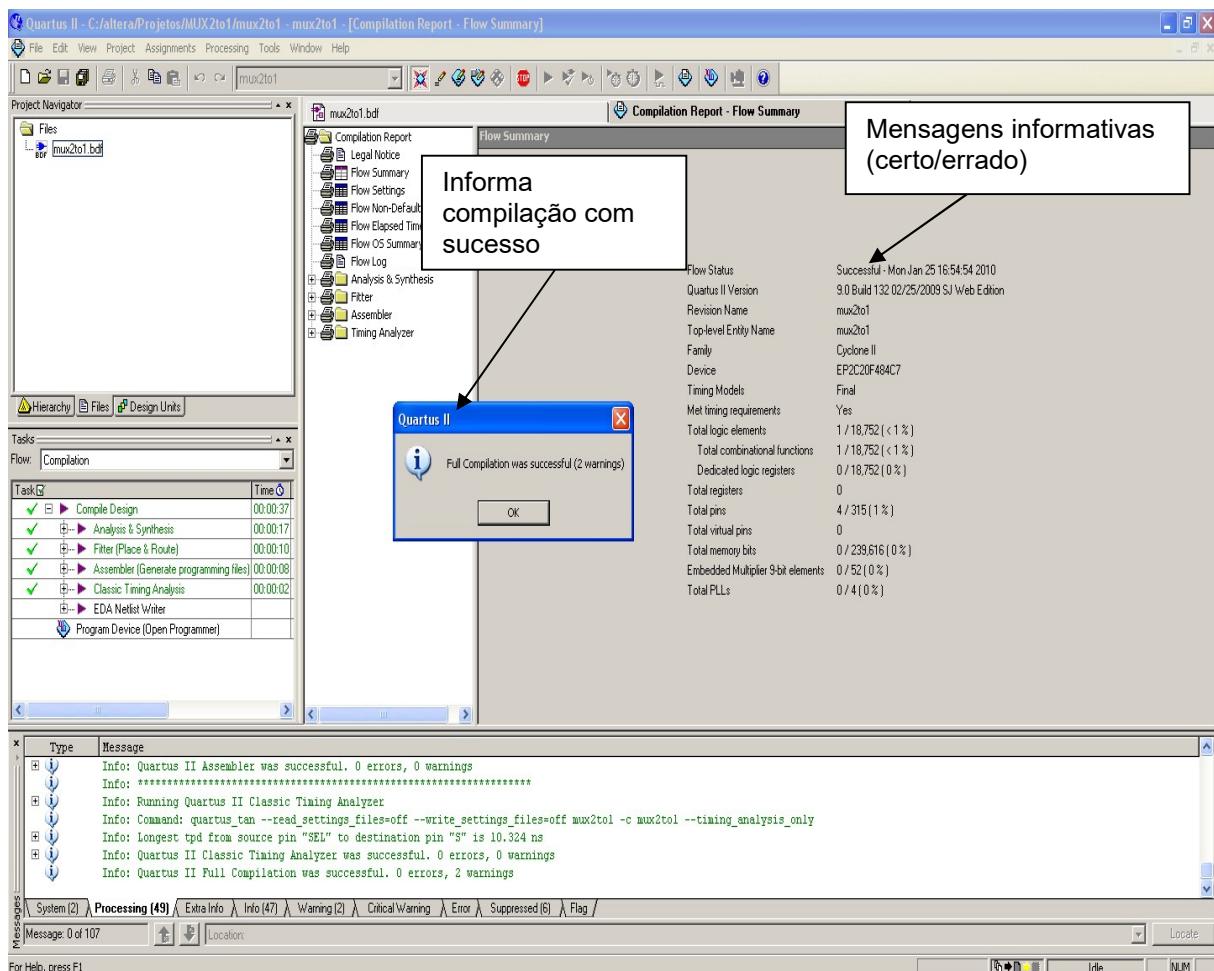


Figura 19: Resumo do fluxo de compilação.

Durante a compilação, todas as mensagens são exibidas na guia *Processing* da janela *Messages*. Algumas das mensagens podem ter sua origem localizada no projeto ou em algum arquivo fonte. Algumas mensagens são agrupadas. Para expandir um grupo de mensagens, clique no ícone +. Para tentar localizar a origem de uma mensagem – é uma prática muito útil na correção de erros de código – basta dar um clique duplo sobre a mensagem à qual deseja-se localizar sua origem. Por exemplo, clicando-se duas vezes sobre a primeira mensagem de erro (as mensagens de erro são as mensagens em vermelho, enquanto as mensagens *warning* são exibidas em azul e as mensagens meramente informativas são exibidas em verde).

4.3.5 Visualizando o relatório da compilação

A Figura 20, apresenta um relatório de informações após o processo de compilação do esquema elétrico.

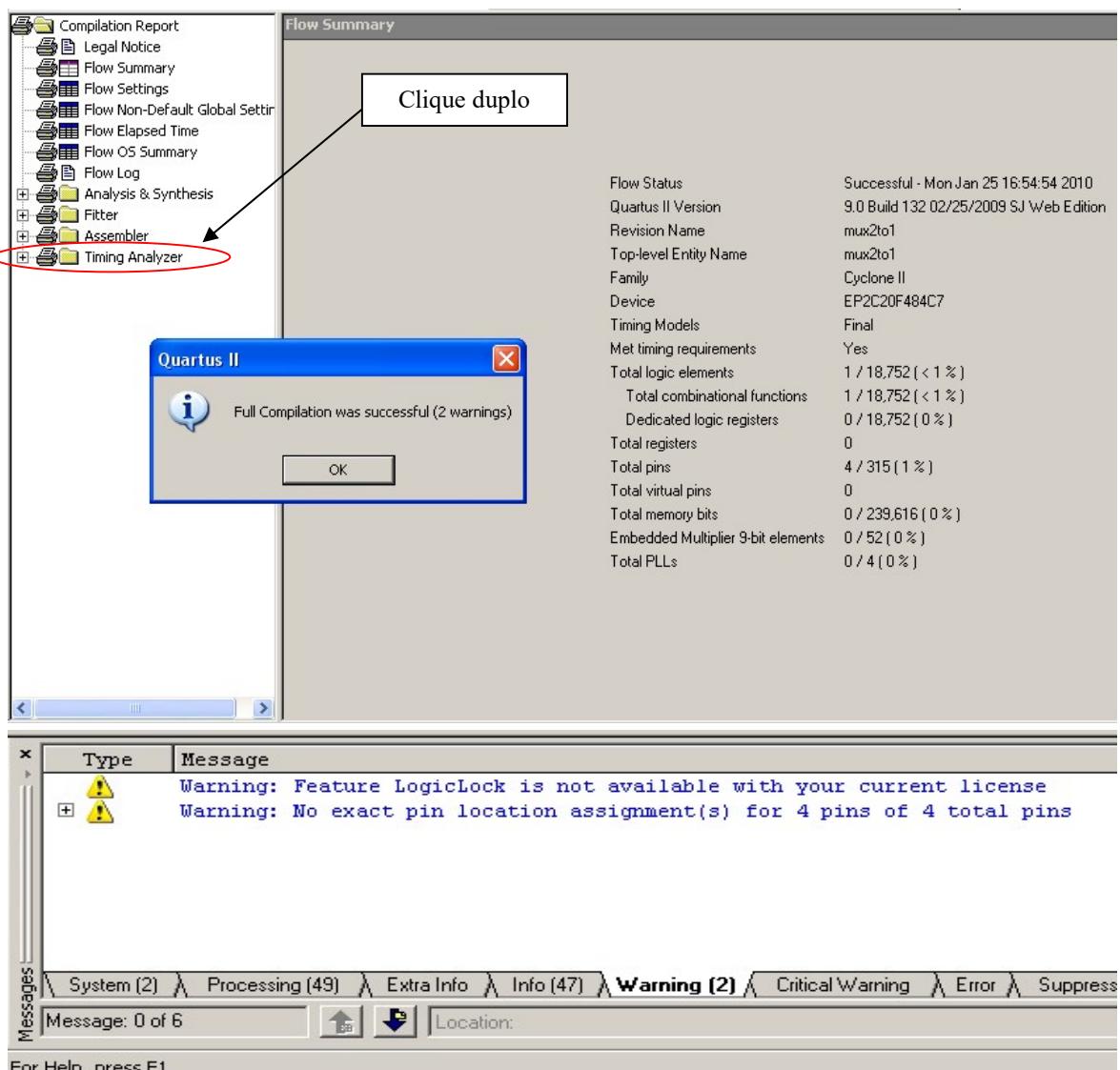


Figura 20: Informações da compilação com sucesso.

Neste relatório é possível visualizar as análises de atrasos entre os sinais de entradas e saída. Para isso, clique duas vezes na pasta *Timing Analyser* como ilustrado na Figura 21, em seguida clique em *tpd*, para visualizar as informações. Não existindo mais erros a etapa de compilação esta encerrada, agora é necessário simular o circuito para averiguar a funcionalidade do projeto.

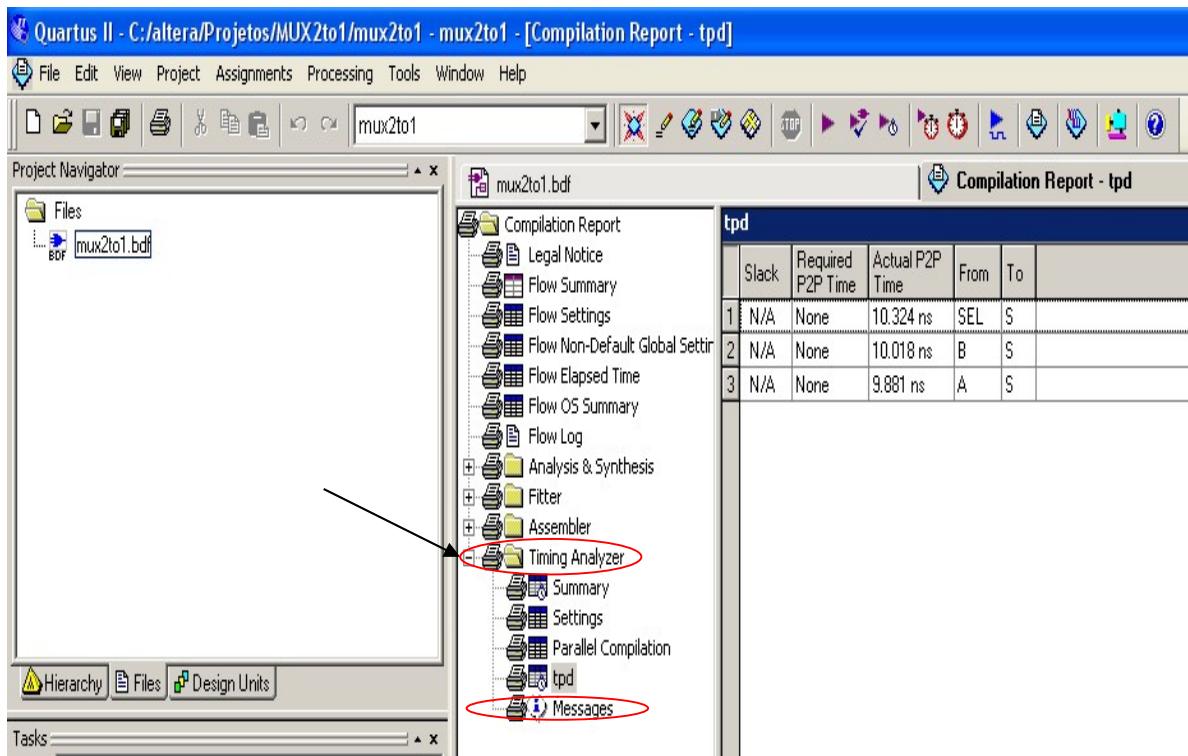


Figura 21: Analise do desempenho da contagem do tempo.

4 SIMULANDO O CIRCUITO

4.1 CRIANDO O ARQUIVO DE SIMULAÇÃO

Tendo sido corretamente compilado o projeto, o Quartus II possui uma ferramenta de simulação que pode ser utilizada para simular o comportamento do circuito projetado, com e sem atrasos, de forma a validar a lógica implementada e assim comprovar o correto funcionamento do sistema. Para esta finalidade, os passos são os seguintes:

Criar um novo arquivo, do tipo *Vector Waveform File (vwf)*, clique em: *New -> Vector Waveform File -> OK*, como na Figura 22.

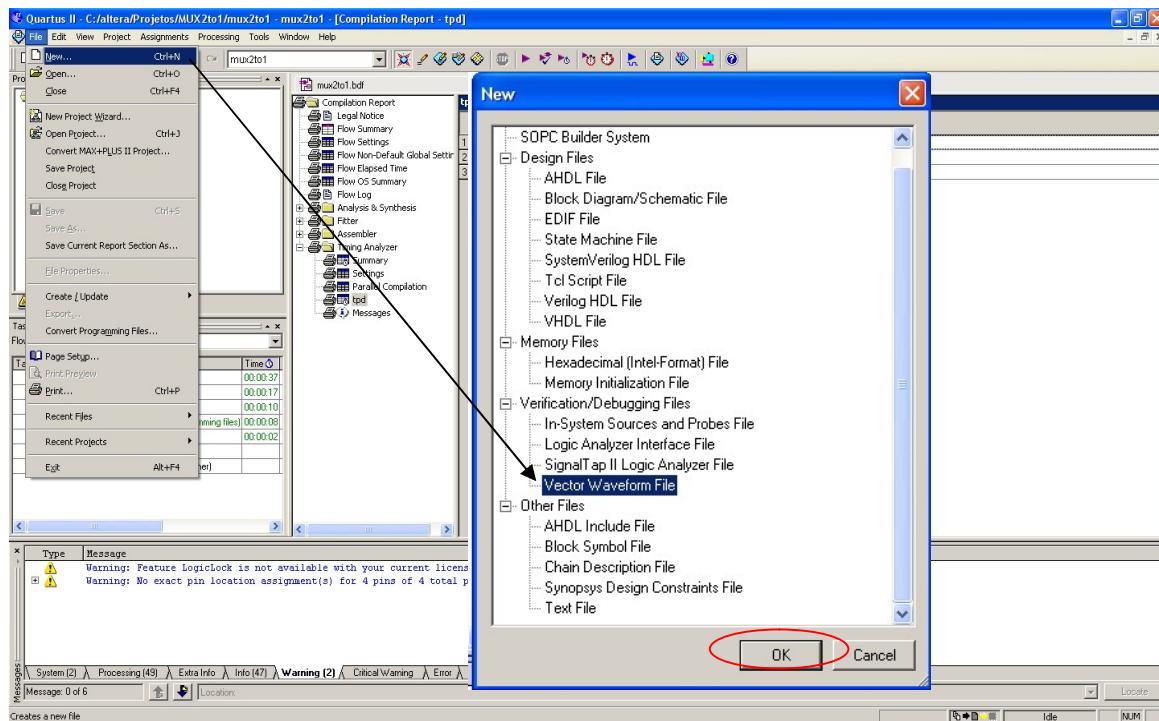


Figura 22: Criar um arquivo .vWF.

Desta maneira, obtém-se a janela para edição das formas de onda, conforme ilustrado na Figura 23.

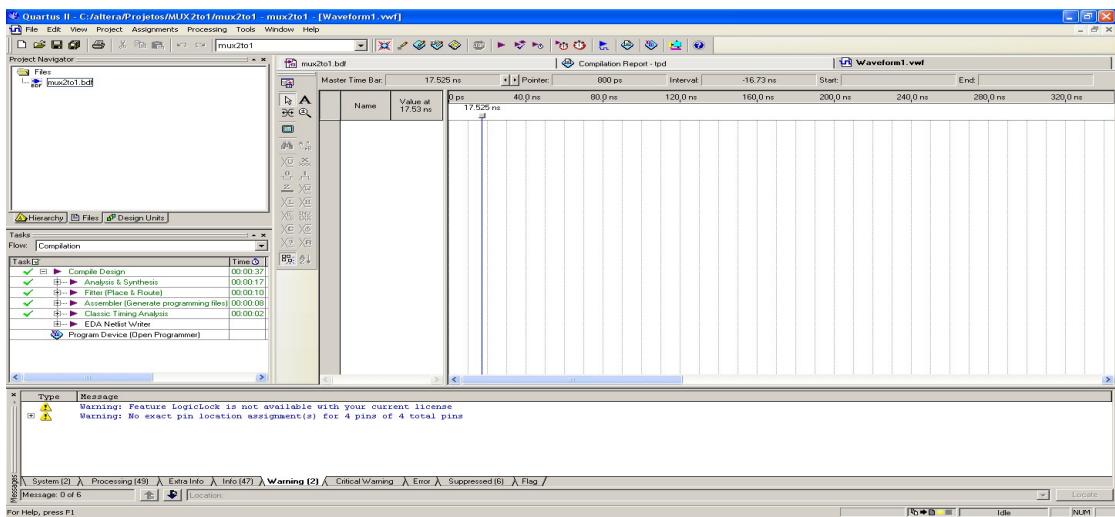


Figura 23: Janela para editar os sinais.

Para gerar a forma de onda é conveniente acrescentar todos os sinais que serão analisados. Por consequência, devem-se seguir os passos **Edit -> Insert -> Insert Node or Bus** como ilustrado na Figura 24. Em seguida dê um clique em *Node Finder*. E abrirá uma nova janela como apresentada na Figura 25.

Quando estiver nesse ponto é muito importante observar se o arquivo mux2t01.bdf está selecionado em *Look in* e se o filtro estiver selecionado também como **Pins: all**, pois, selecionados tem-se as opções dos pinos de entradas e saídas onde serão apresentados de maneira que possam ser inseridos no arquivo de forma de ondas. Terminando isto, selecionam-se os pinos desejados e clique no botão em destaque na Figura 25.

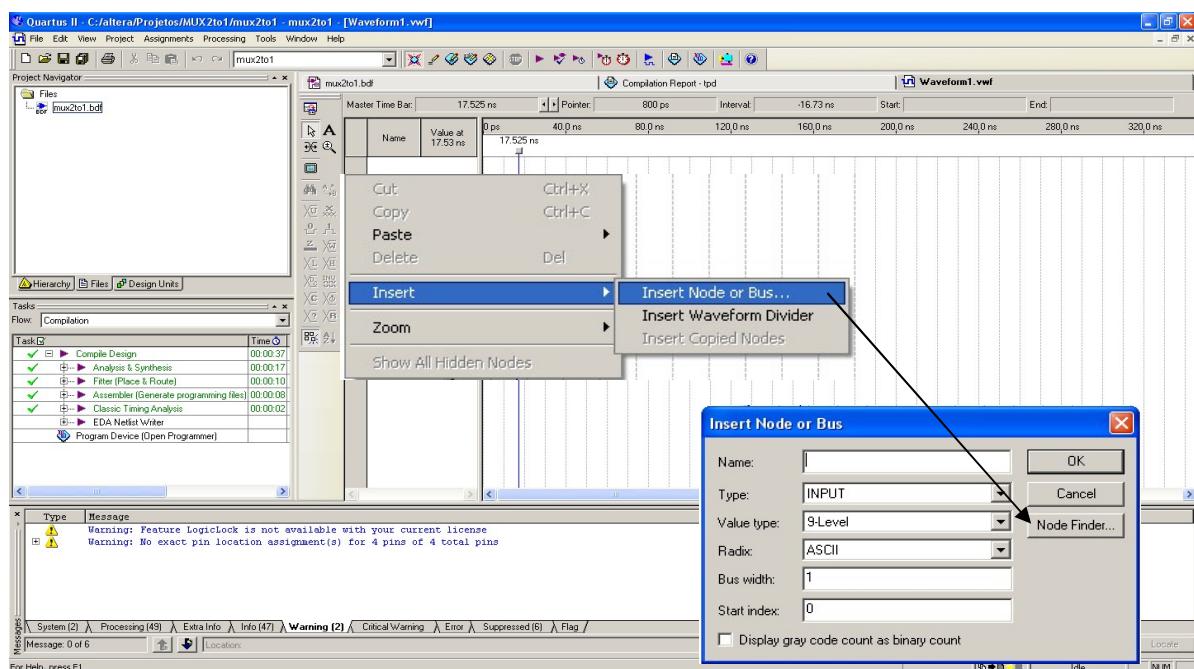


Figura 24: Gerando arquivo de ondas criados.

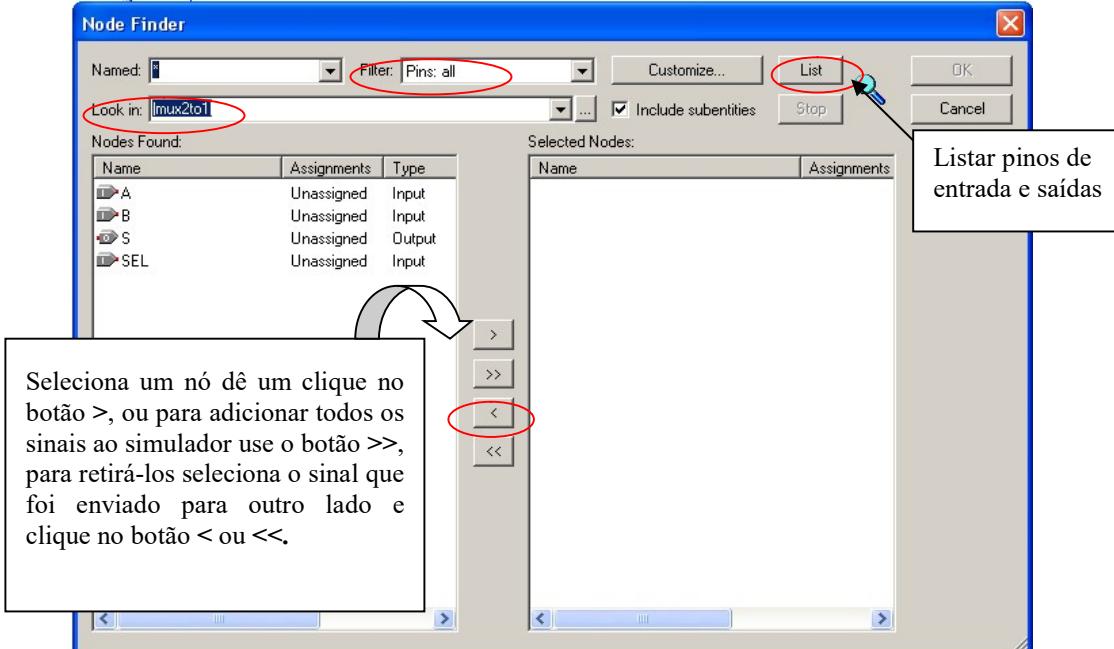


Figura 25: Caixa para inserir os sinal.

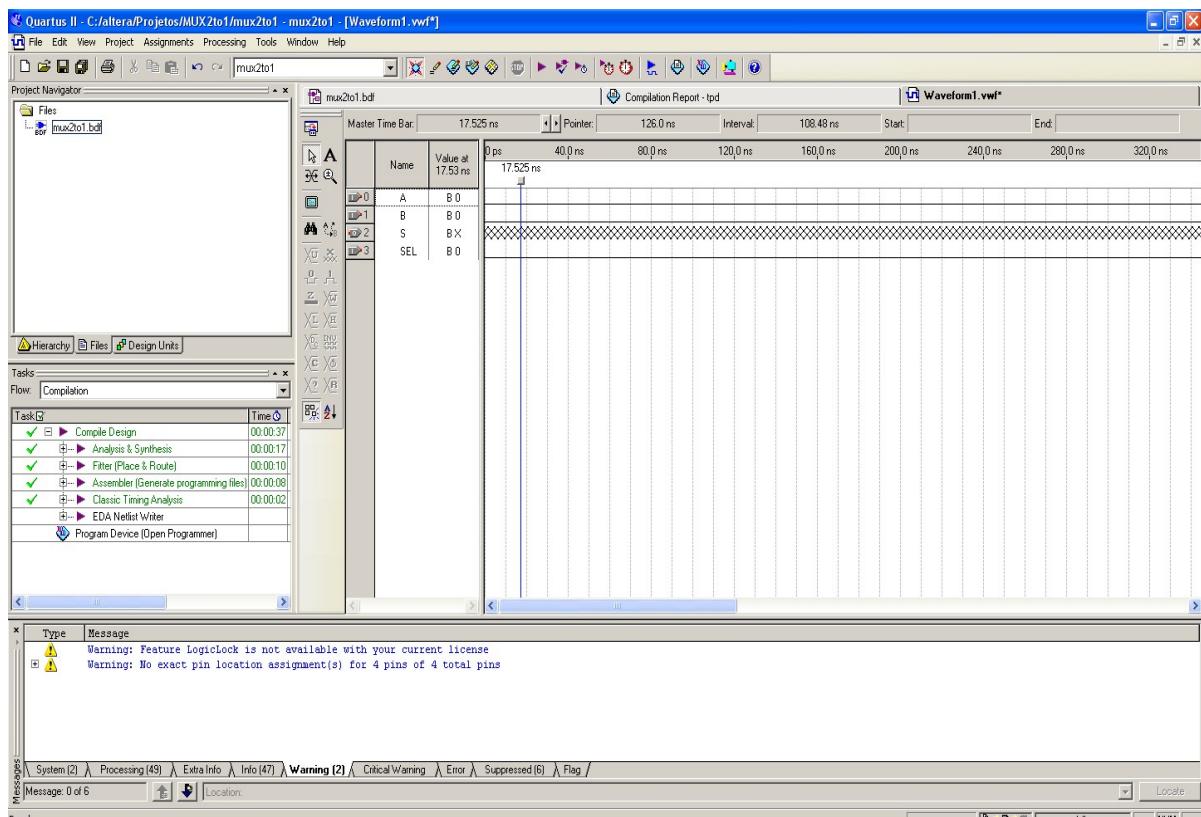


Figura 26: Elementos para edição de forma de onda de cada sinal.

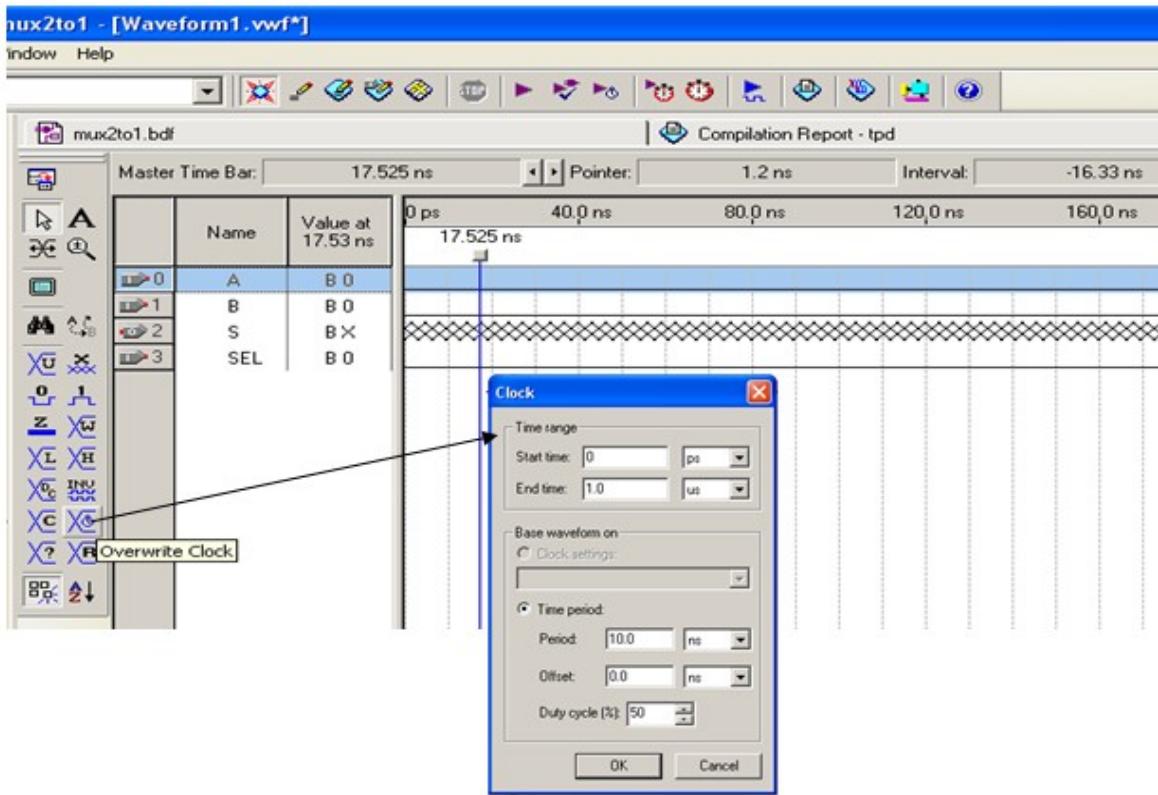


Figura 27: Ajuste do período do sinal de clock.

Editam-se as formas de ondas da maneira que todas as possíveis situações (a maioria) de funcionamento do circuito sejam contempladas e que a relação temporal entre sinais obedeça às restrições temporais consideradas nas especificações do projeto. Proporciona o desenvolvimento periódico (sinais de relógio/sinais clock).

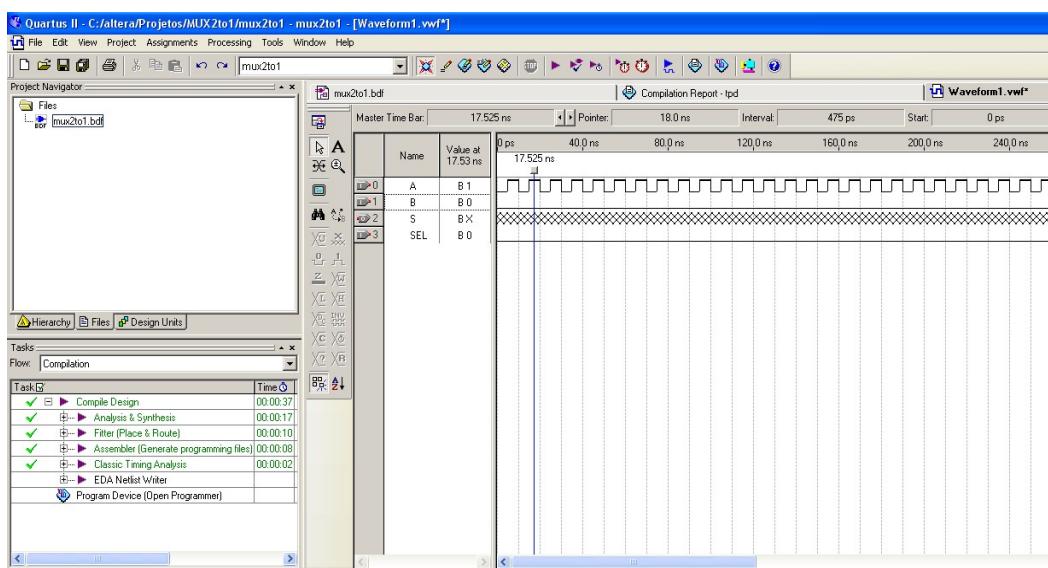


Figura 28: Alterando o sinal A.

Para fazer com que o intervalo de tempo de simulação apareça na Figura 29, é preciso definir o ZOOM, vá em *View -> Zoom*.

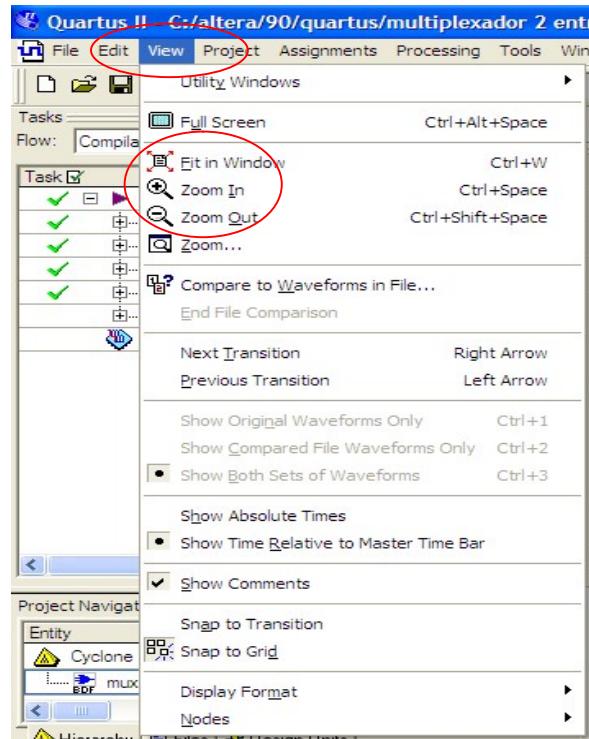


Figura 29: Definindo o ZOOM.

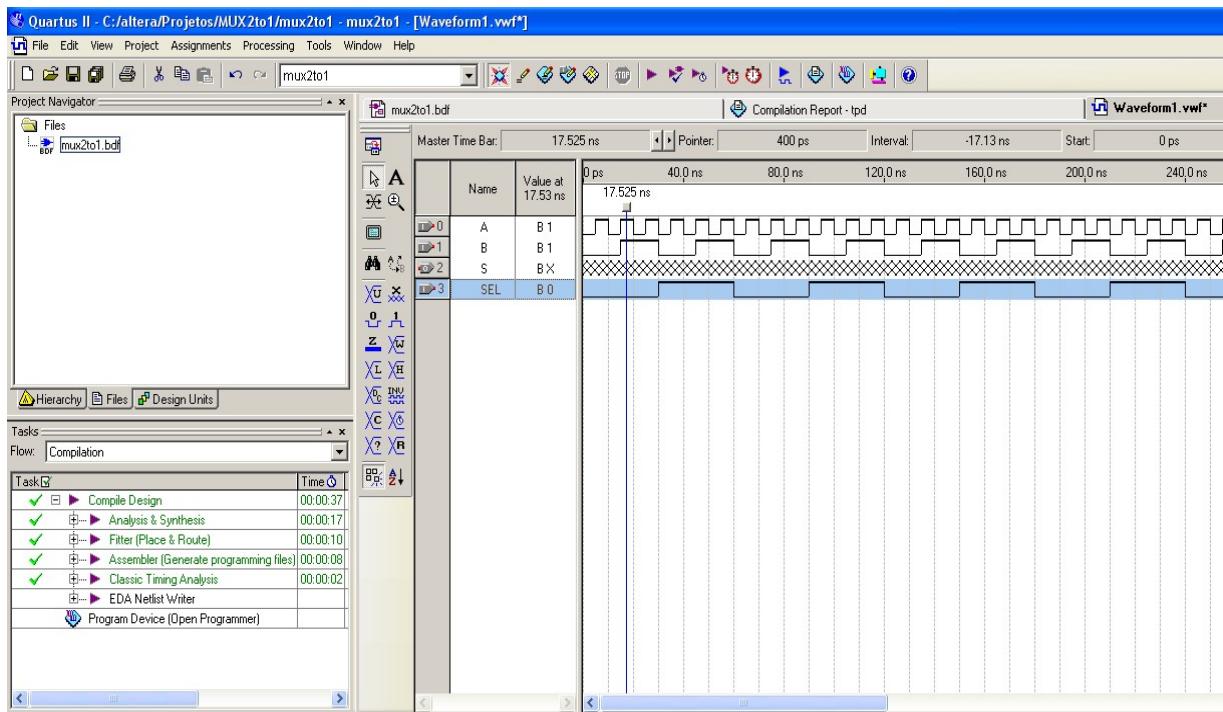


Figura 30: Saída do simulador.

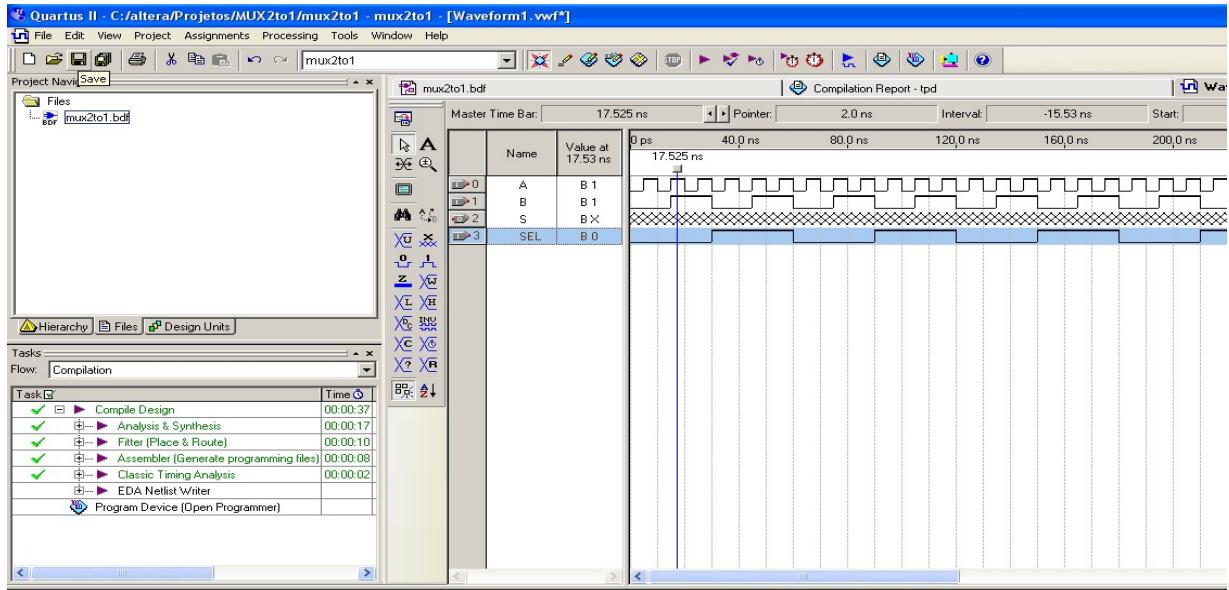


Figura 31: Configuração dos sinais.

É preciso salvar as configurações dos sinais antes de salvar como demonstra a Figura 32.

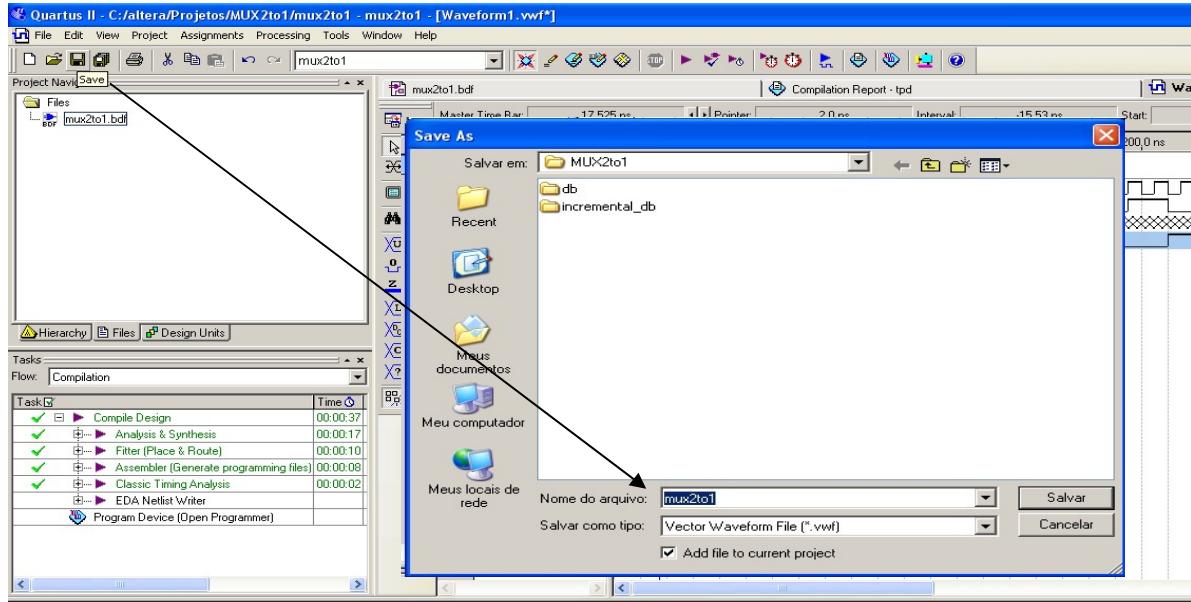


Figura 32: Salvando os sinais antes da simulação.

4.2 EXECUTANDO A SIMULAÇÃO FUNCIONAL

Para obter a simulação funcional deve-se realizar os seguintes passos: vá até *Processing* -> *Simulator Tool* -> um clique, exibirá uma janela *Simulator Tool*, como apresenta a Figura 33. Escolha a opção de simulação funcional.

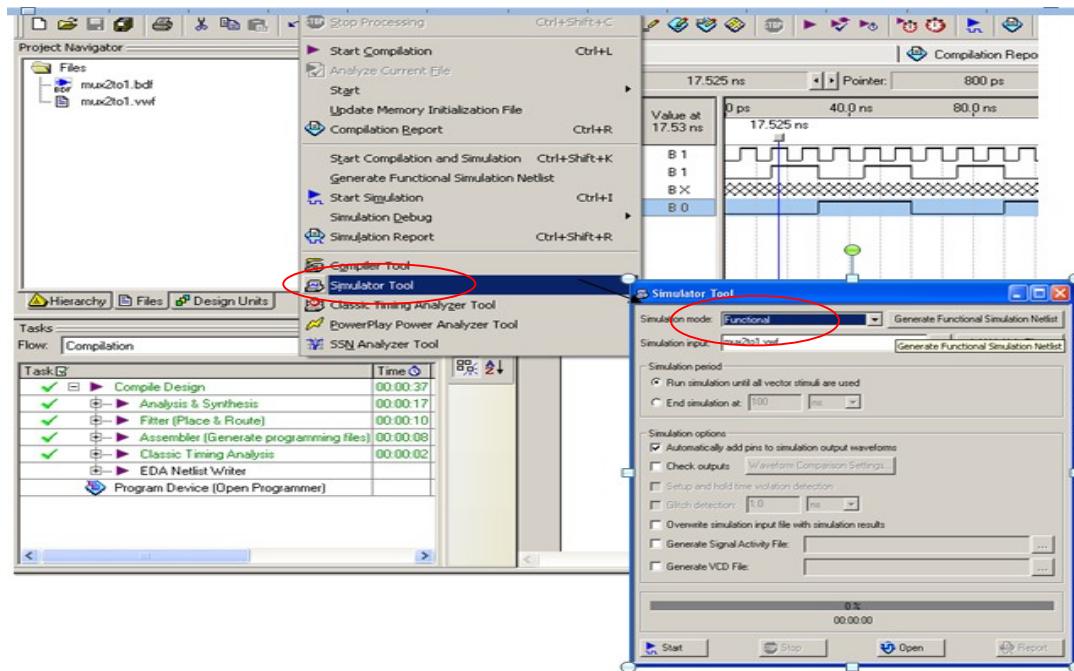


Figura 33: Simulação funcional.

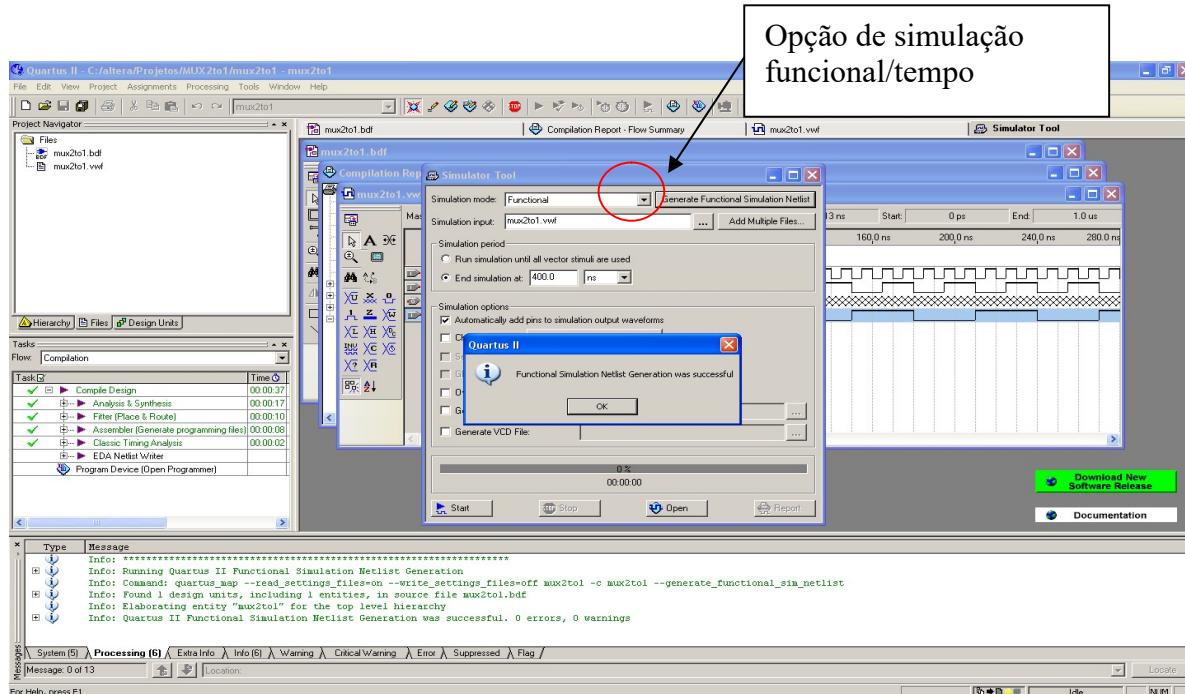


Figura 34: Escolhendo o tipo de simulação.

Feito este procedimento, clique em *START*, aguarde a confirmação da simulação como mostra a Figura 35 e sem seguida pressione *OK*.

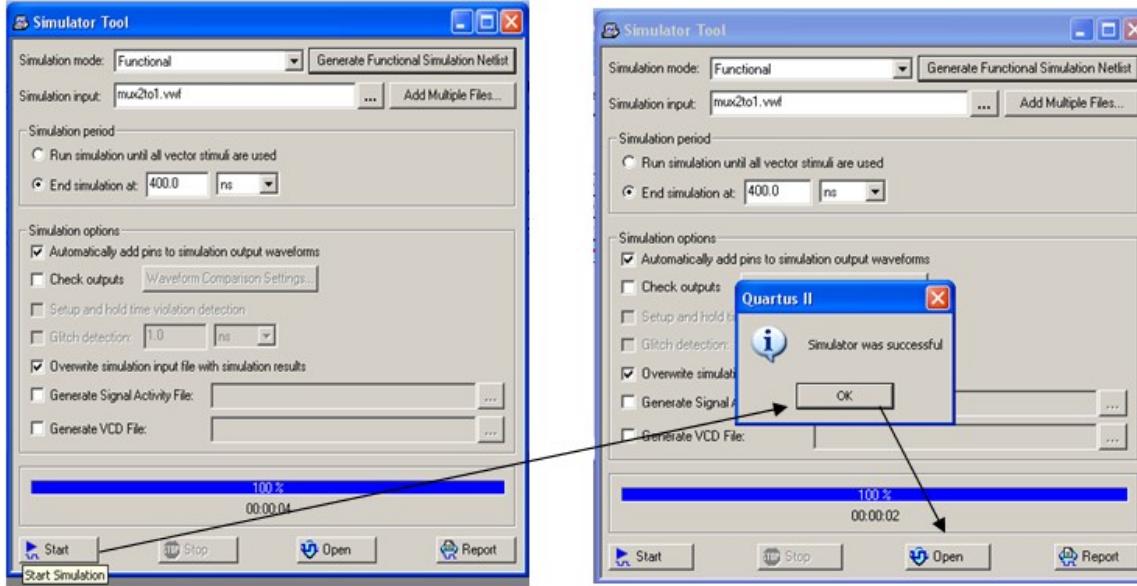


Figura 35: Resultado da simulação.

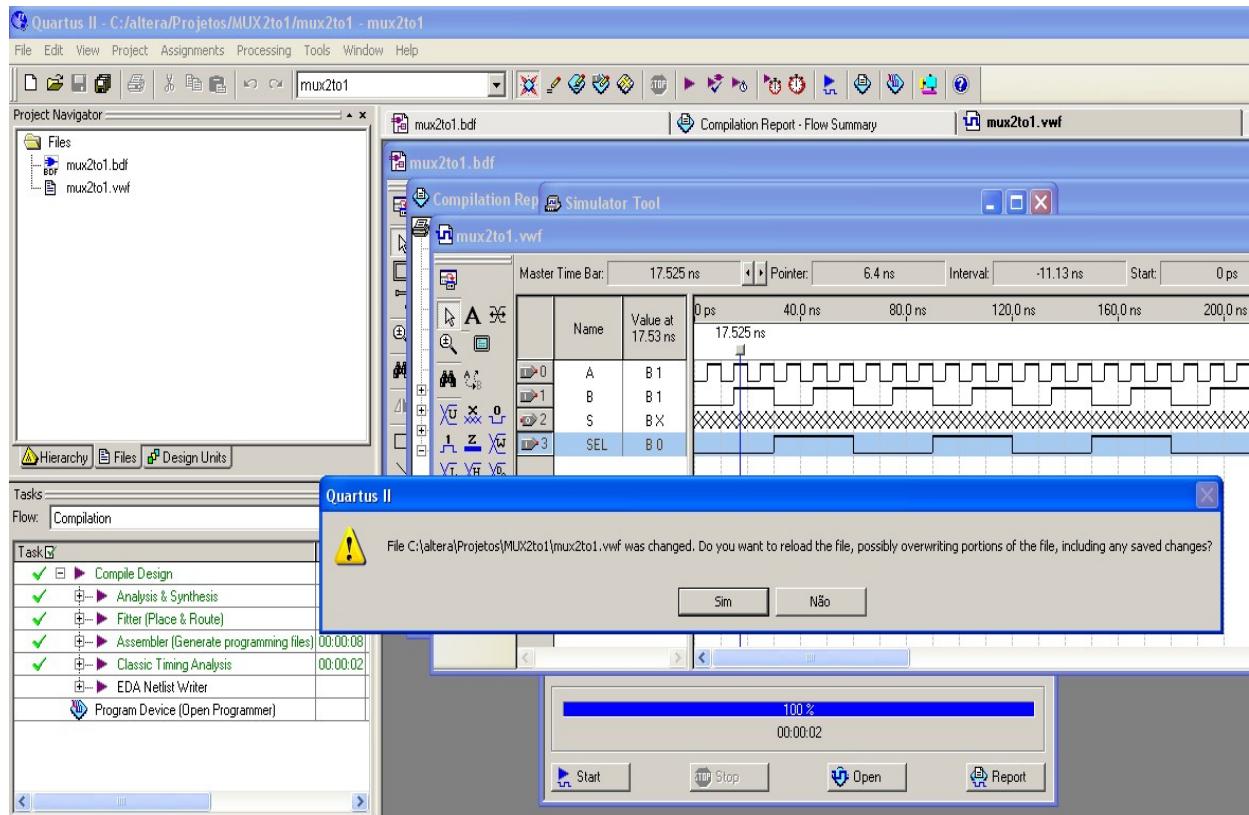


Figura 36: Salvando as simulações.

Essa opção de simulação ignora os atrasos de cada porta. Em outras palavras, esse modelo de simulação intenciona a verificação da funcionalidade lógica do circuito

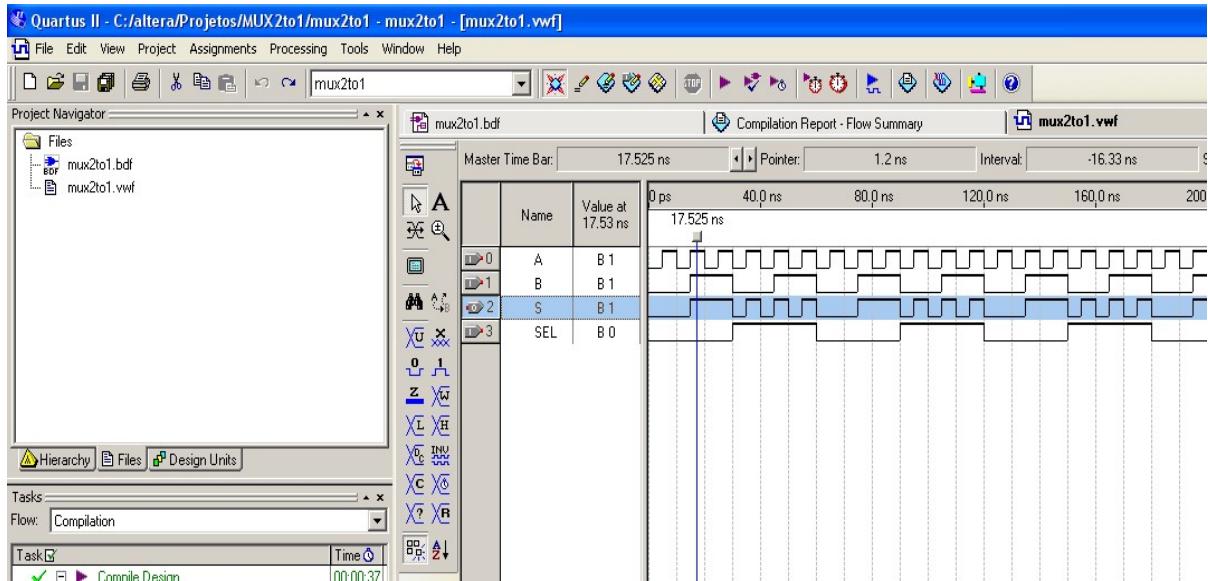


Figura 37: Formas de ondas resultantes da simulação.

4.3 EXECUTANDO A SIMULAÇÃO COM ATRASOS

Para obter a simulação com atraso, deve-se proceder da seguinte maneira: vá até *Processing* -> *Simulator Tool* -> um clique, exibirá uma janela *Simulator Tool*, como apresenta a Figura 38. Seleciona a opção *Timing*.

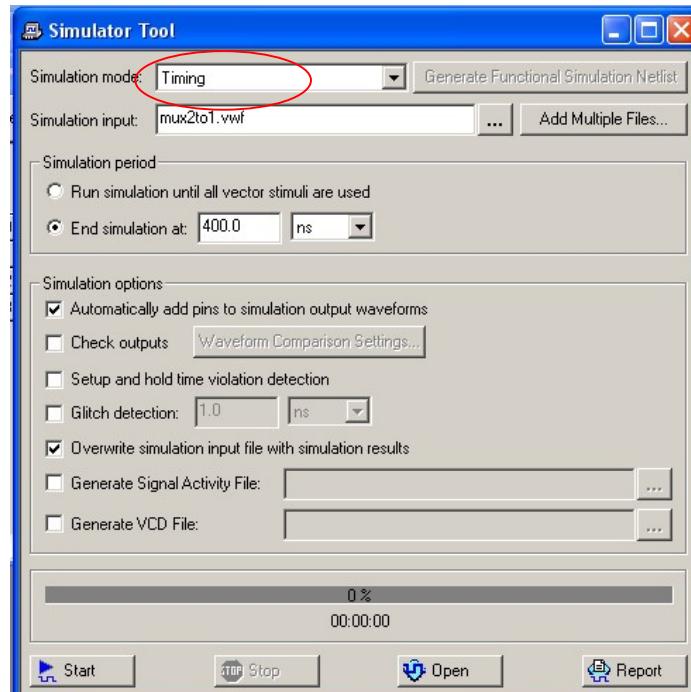


Figura 38: Configurando a simulação com atraso.

O modo *Timing* é o mais recomendada já que se levam em consideração as características de temporização (e atrasos) do circuito (Nicolato, 2002).

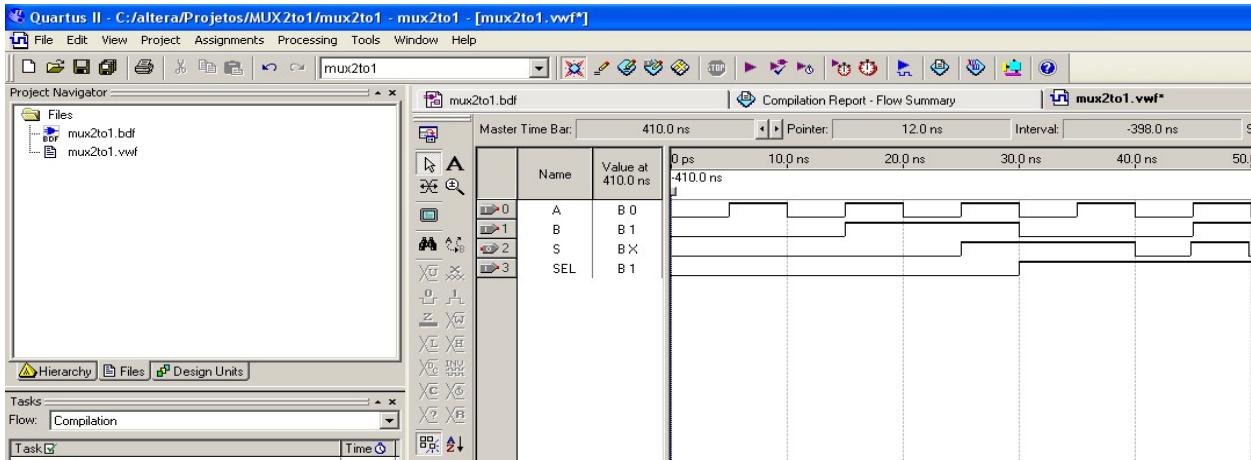


Figura 39: Resultado da simulação.

Uma boa estratégia de projeto consiste, principalmente, realizar uma simulação funcional para determinar o correto funcionamento do circuito, em seguida, realizar a simulação com atraso e, finalmente, verificar a sua funcionalidade completa utilizando a placa de desenvolvimento da ALTERA.

4.4 VISUALIZANDO O CIRCUITO MAPEADO PARA FPGA

Para visualizar o circuito mapeado para FPGA, deve-se proceder da seguinte maneira: Clique em *Tool -> Netlist Viewers -> Technology Map View (Post-Mapping)*, conforme ilustrado na Figura 40.

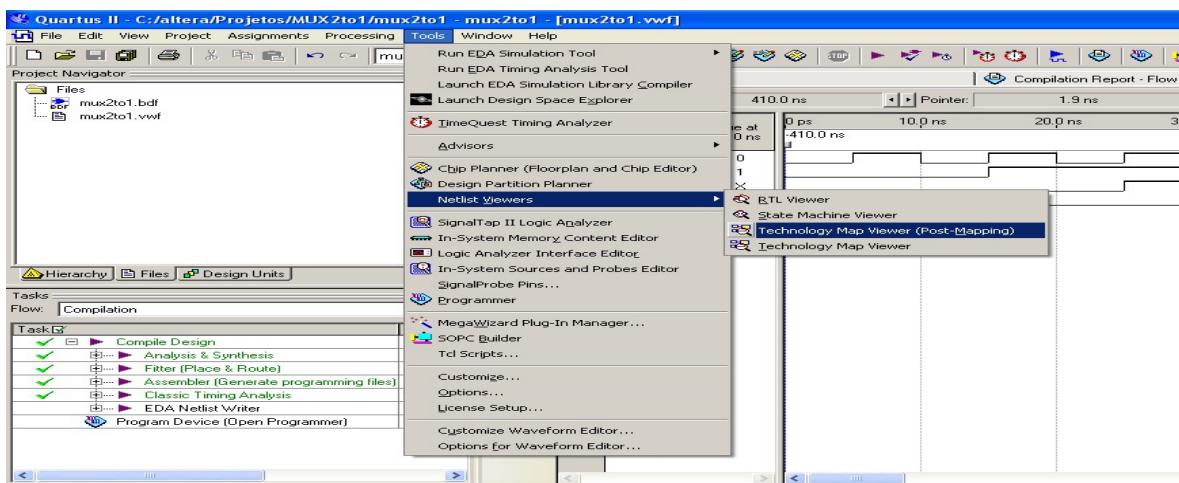


Figura 40: Mapeando para FPGA.

Na Figura 41, apresenta a síntese RTL desta função realizada pelo software Quartus II da Altera.

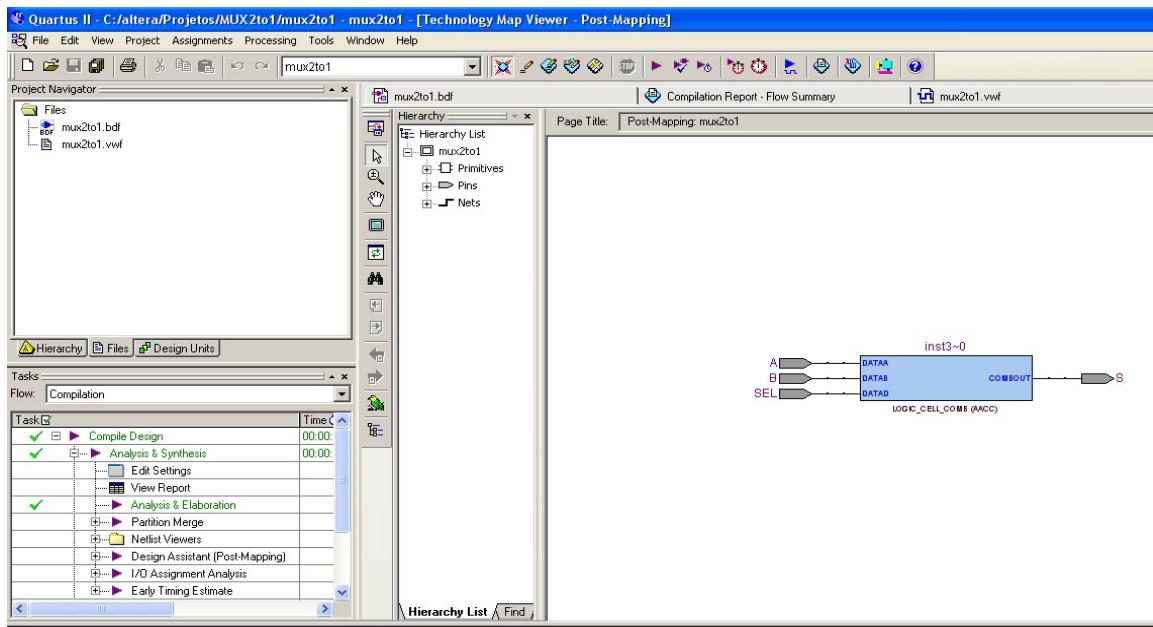


Figura 41: Resultado do Mapeamento em FPGA.

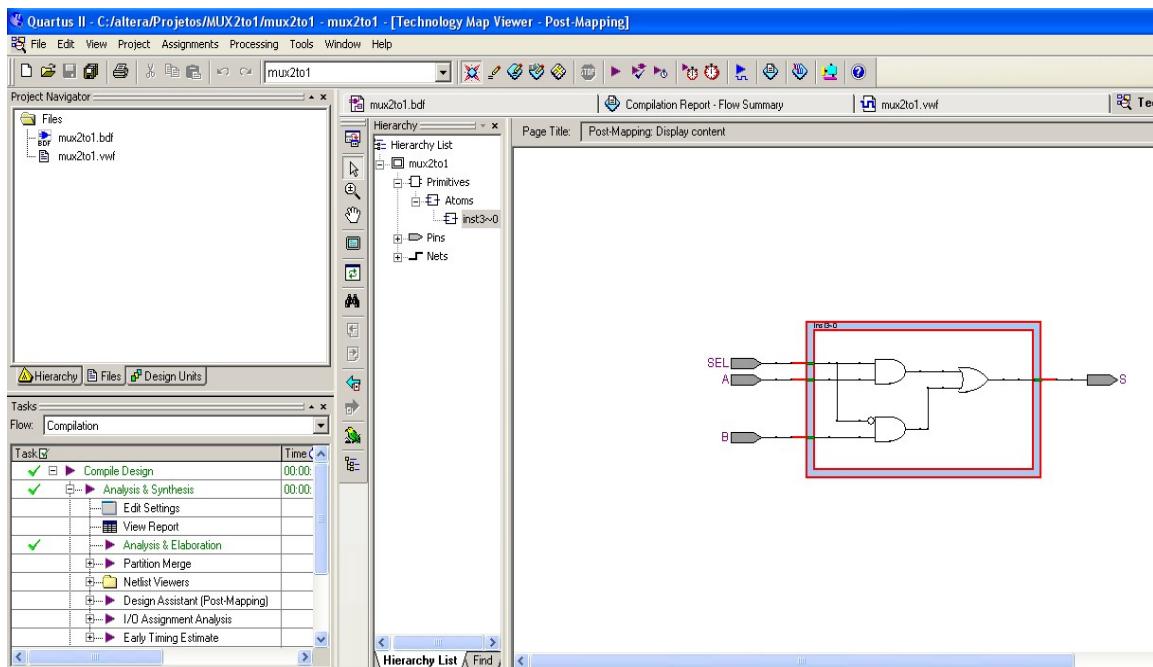


Figura 42: Estrutura interna.

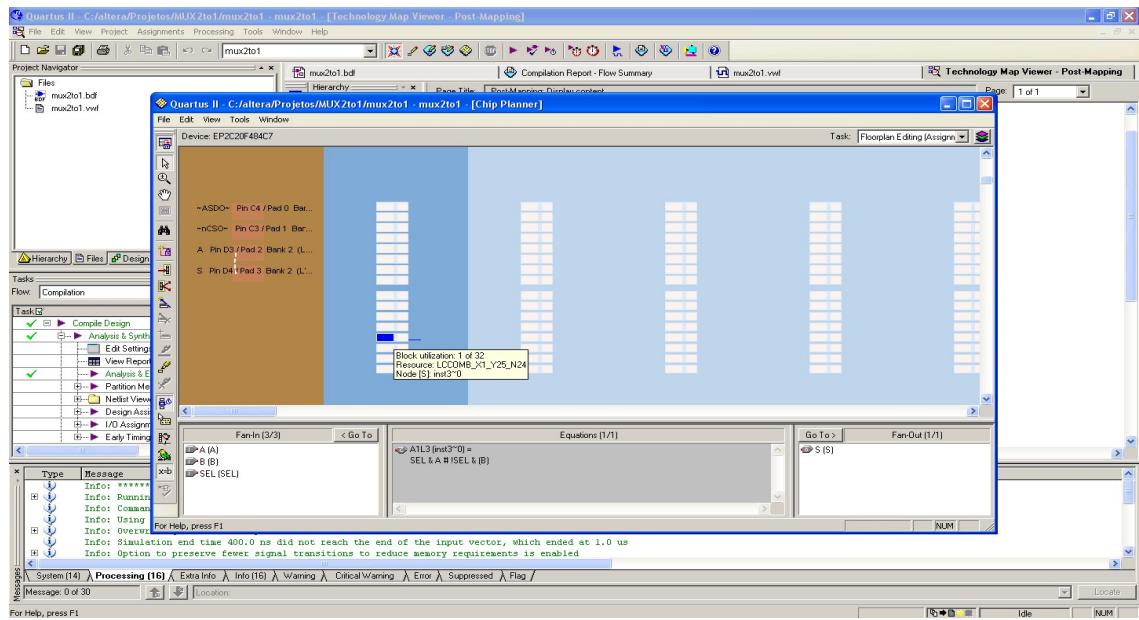


Figura 43: Estrutura interna do FPGA.

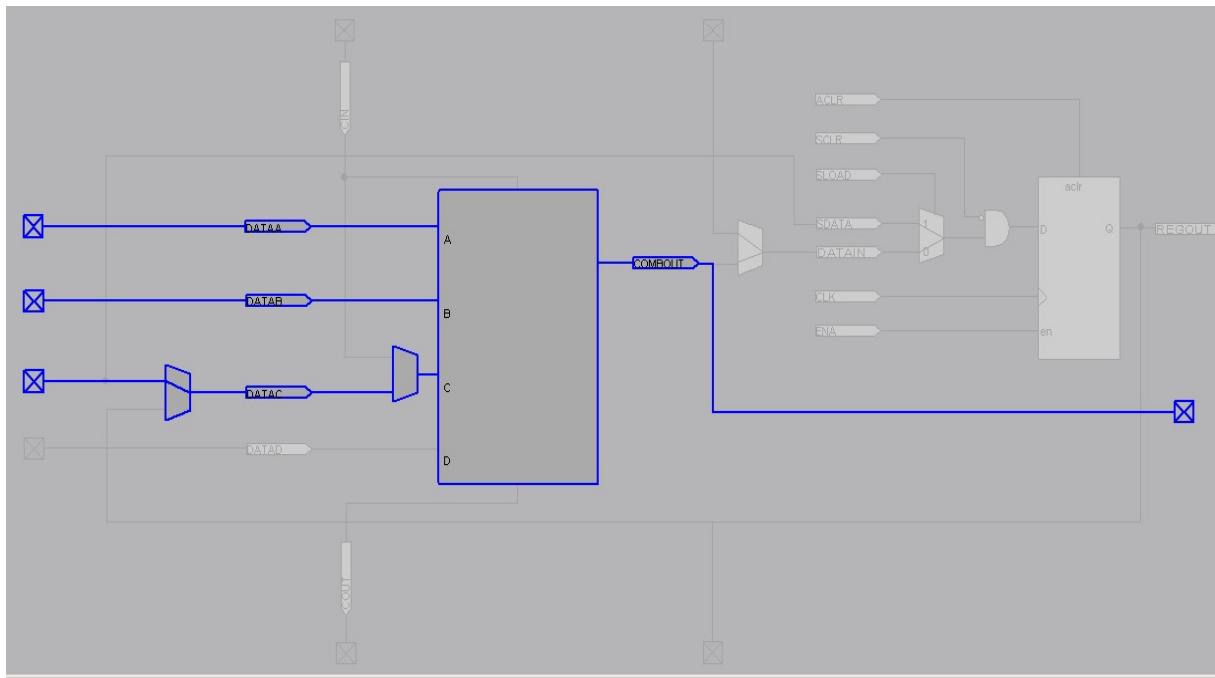


Figura 44: Estrutura interna do FPGA.