

SOC Design Laboratory, 2023 Fall

Lab4-2 Report

Group 8

R11943167 謝維勝

R11942159 呂嘉元

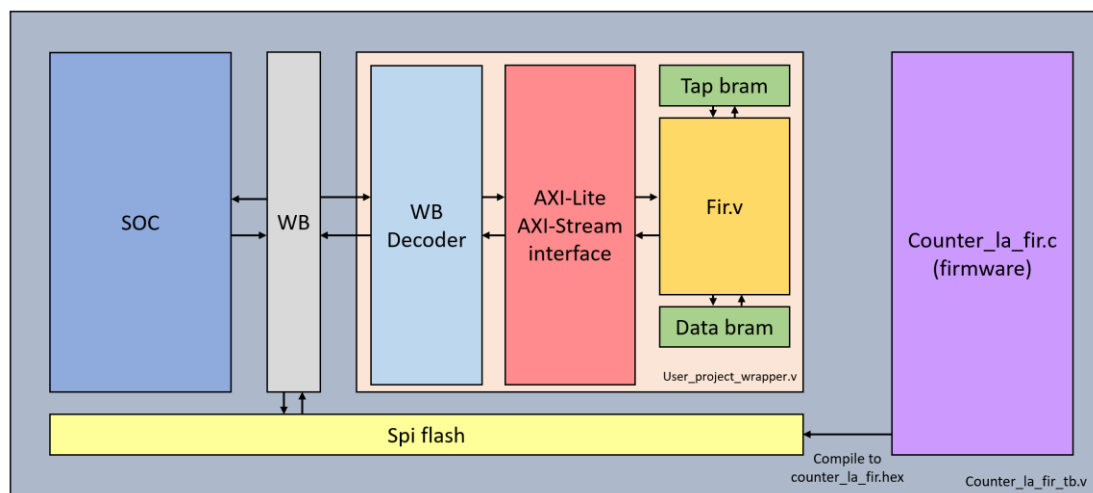
R11942072 陳俊宇

R11921a24 劉育誠

Overview

此次 Lab 要求我們將 Lab3 的 fir 設計電路整合進 Caravel SOC 系統的中，並透過編寫 firmware 的方式取代原先的 testbench，將 firmware 編譯成 hex 檔後放入 flash 中以及我們額外編寫的 Wishbone to AXI decoder，來使 Caravel SOC 控制 fir.v 的運算。

Block diagram



Configuration Register Address Map

User Project Memory Starting: 3800_0000

User Project FIR Base Address: 3000_0000

0x00 – [0] ap_start

[1] ap_done

[2] ap_idle

[3] Reserved zero

[4] X[n] ready

[5] Y[n] ready

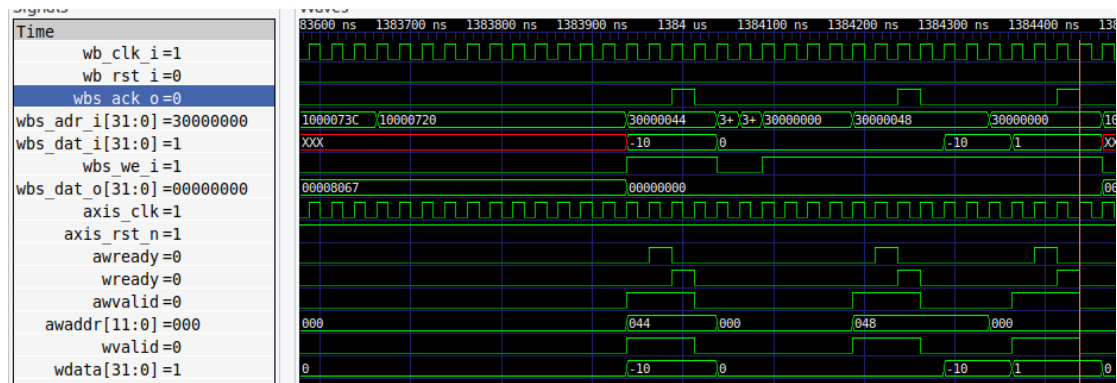
[6] x[n] last

0x10 – data length

0x84 – Y[n] output

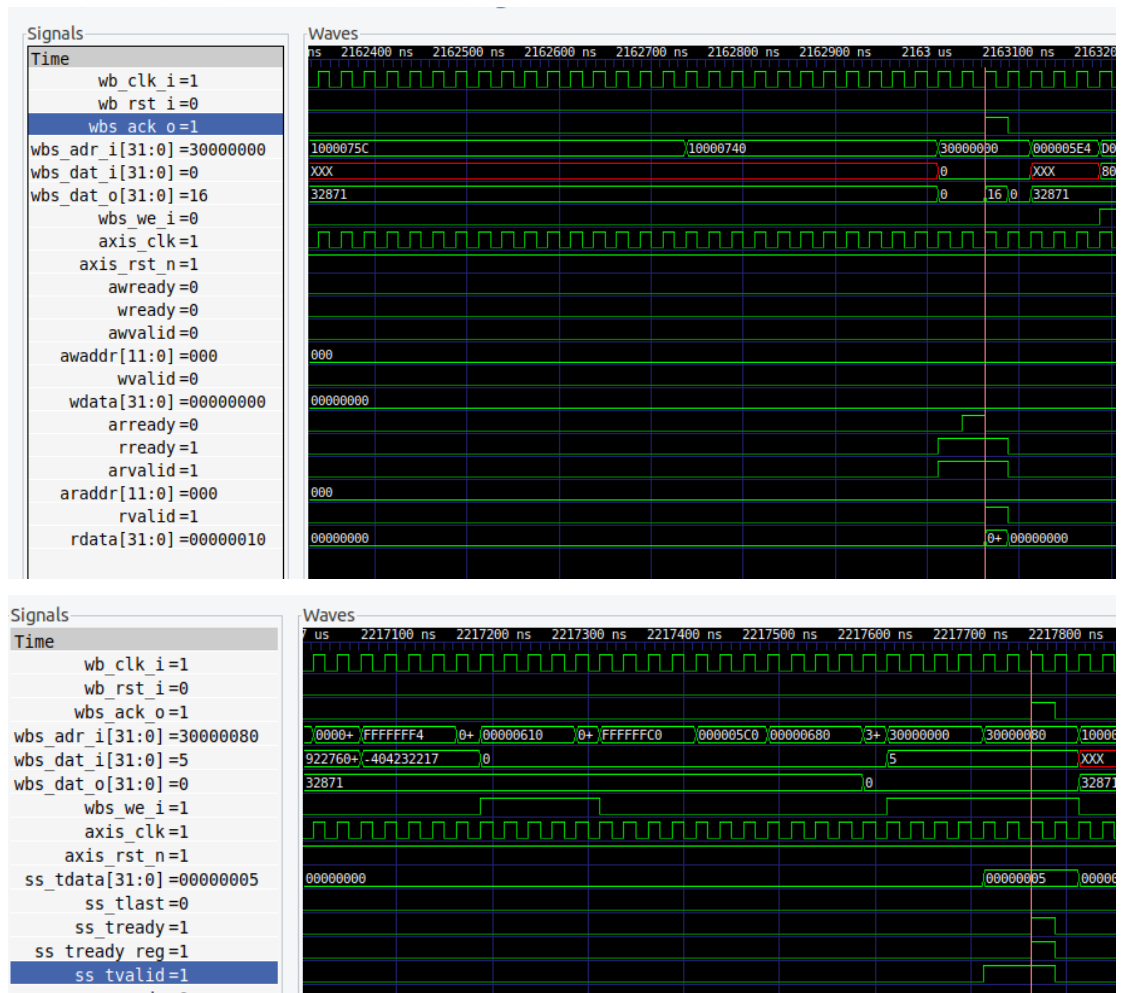
透過 `wbs_adr_i = 0x30000020~0x30000048`，在 `wbs_ack_o = 1` 時，將第 4 個 tap coefficient 23 透過 firmware program 進 fir 的 tap bram 中。

Write ap_start = 1



在 fir 開始計算之前，透過 WB 將 reg_config[0] 設為 1。

Input stream



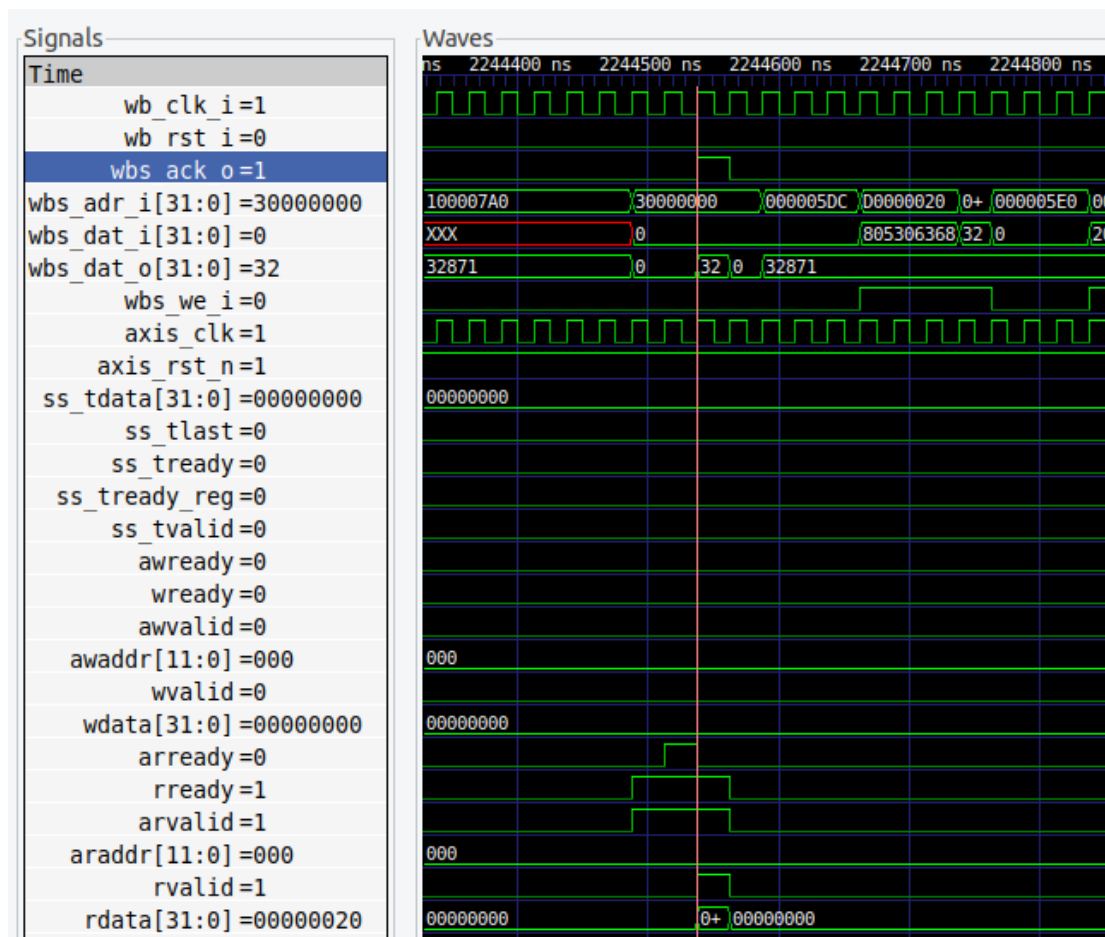
```

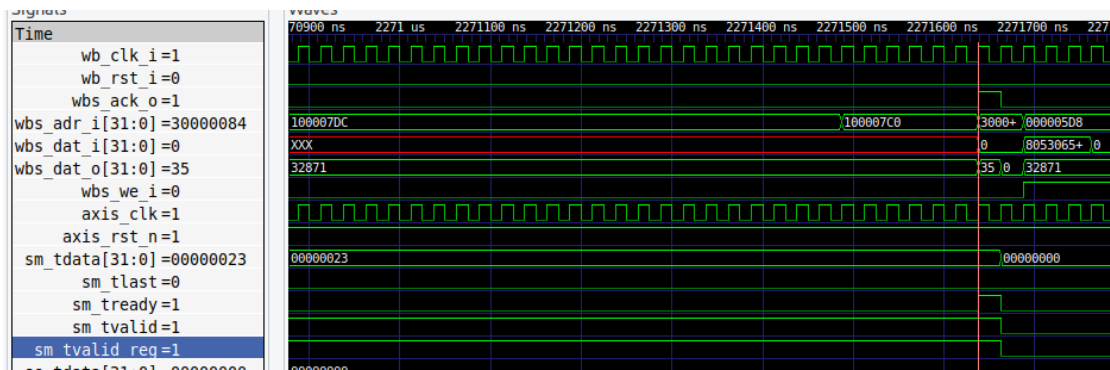
// write x[i]
if ((reg_config & read_mask) == read_exp) {
    if (i == 9) {
        reg_config = reg_config | 0x00000040;
    }
    reg_X = arr_X[i];
}

```

對應我們 firmware 的寫法，在實際寫入前會先確認 input ready，對應 wb address = 0x30000000 data 的第 5 個 bit 為 1 後，再寫入 X[4] = 5。

Output stream

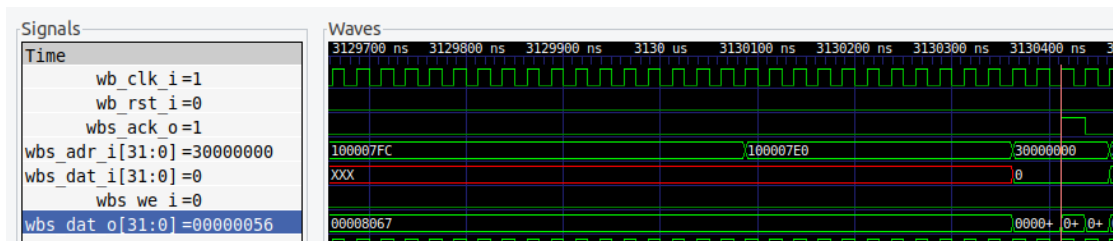




```
if ((reg_config & write_mask) == write_exp) {
    Y = reg_Y;
}
```

對應我們 firmware 的寫法，在實際寫入前會先確認 output ready，對應 wb address = 0x30000000 data 的第 6 個 bit 為 1 後，再讀出 Y[4] = 35，符合 golden 的結果。

Check ap_idle & ap_done = 1

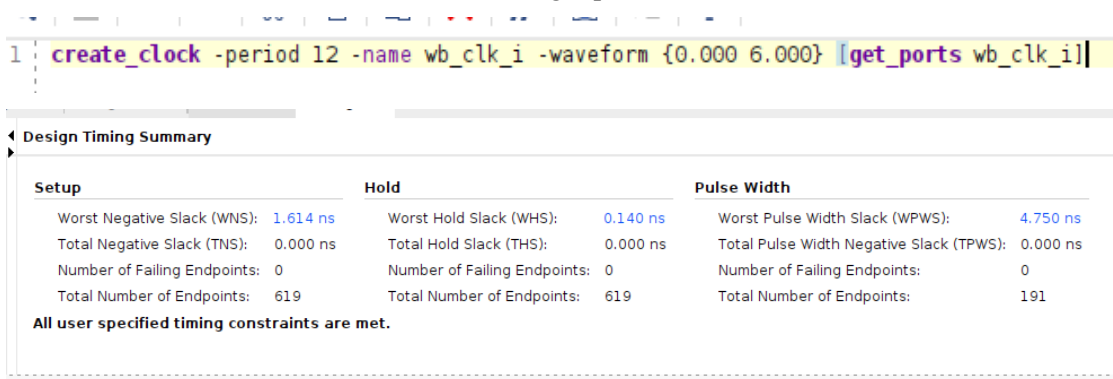


```
if ((reg_config & 0x00000006) == 0x00000006) {
    reg_mprj_data1 = 0xAB510000;
}
```

在 fir 做完 10 筆資料後，確認 config_reg 的第 2、3 個 bit 為 1。

Synthesis result

Timing report



我們的 design 所用合成的 cycle 為 12ns，遠高於原先 fir.v 的 cycle 6ns，推測是因為 WB decoder 將所有 critical path 都變得更長所導致

。

Synthesis report

31	+		+	+	+	+	+	+	+				
32		Site Type		Used		Fixed		Prohibited		Available		Util%	
33	+		+	+	+	+	+	+	+				
34		Slice LUTs*		353		0		0		53200		0.66	
35		LUT as Logic		289		0		0		53200		0.54	
36		LUT as Memory		64		0		0		17400		0.37	
37		LUT as Distributed RAM		64		0							
38		LUT as Shift Register		0		0							
39		Slice Registers		130		0		0		106400		0.12	
40		Register as Flip Flop		124		0		0		106400		0.12	
41		Register as Latch		6		0		0		106400		<0.01	
42		F7 Muxes		0		0		0		26600		0.00	
43		F8 Muxes		0		0		0		13300		0.00	
44	+		+	+	+	+	+	+	+				

上圖是我們用 top module = user_proj_example.counter.v 合成的結果。