

UNIVERSIDAD DE SAN CARLOS DE GUATEMALA

FACULTAD DE INGENIERÍA

ORGANIZACIÓN COMPUTACIONAL

CATEDRÁTICO: ING. OTTO RENE ESCOBAR LEIVA

TUTOR ACADÉMICO: JUAN PABLO GARCÍA CEBALLOS

SEGUNDO SEMESTRE DEL 2,025

SECCIÓN B

VISUALIZADOR DE 7 SEGMENTOS

GARY DANIEL URIZAR GARCIA 202101146

WILSON WILFREDO PEREZ OTZOY 202300697

WALTER MANUEL MENDOZA PÉREZ 202106830

GUATEMALA, 15 DE AGOSTO DEL 2,025

Índice

INTRODUCCIÓN	3
OBJETIVOS	4
GENERALES	4
ESPECÍFICOS	4
CONTENIDO DE LA PRACTICA	5
FUNCIONES BOOLEANAS	
PARA CADA CARACTER	5
MAPAS DE KARNAUGH	5
DIAGRAMAS DE DISEÑO	5
MATERIAL Y EQUIPO UTILIZADO	5
PRESUPUESTO	5
APORTE INDIVIDUAL	6
CONCLUSIONES	7
ANEXOS	
	8

INTRODUCCIÓN

La presente práctica tiene como objetivo fundamental el diseño e implementación de un sistema de visualización mediante displays de 7 segmentos, utilizando lógica combinacional para su posterior maquetado físico con componentes electrónicos. Este ejercicio práctico permite la aplicación de conocimientos teóricos sobre álgebra booleana, simplificación de funciones mediante mapas de Karnaugh y diseño de circuitos digitales, haciendo uso de software como Proteus, PCB Wizard y Livewire.

La práctica consiste en desarrollar un sistema que simule el funcionamiento de un semáforo inteligente con visualización bidireccional, mostrando la palabra "Programa" que contiene los 8 dígitos tanto en su forma normal (mediante display de cátodo común) como en su representación espejo (utilizando display de ánodo común). La implementación requiere la combinación de tecnologías, utilizando compuertas lógicas transistorizadas para algunos segmentos y compuertas TTL para otros.

Esta práctica representa una oportunidad para integrar diversos conceptos de la electrónica digital y los sistemas computacionales, mostrando una relevancia significativa en la carrera de Ingeniería en Ciencias y Sistemas.

OBJETIVOS

GENERALES

Desarrollar un sistema físico funcional que permita simular un visualizador de 7 segmentos bidireccional (normal y espejo), haciendo uso de compuertas transistorizadas y compuertas TTL, para su implementación en placas electrónica y protoboard aplicando los conceptos de lógica combinacional, electrónica digital y diseño de circuitos.

ESPECÍFICOS

- Implementar funciones booleanas simplificadas mediante mapas de Karnaugh para el control de cada segmento del display, asegurando la optimización del diseño lógico del sistema.
- Diseñar e implementar compuertas lógicas transistorizadas para los segmentos a, c, d, f y g, integrando además compuertas TTL para los segmentos b y e en protoboard, combinando así diferentes tecnologías para circuitos digitales.
- Validar la funcionalidad completa del sistema mediante simulaciones en Proteus y pruebas físicas en laboratorio.

CONTENIDO DE LA PRACTICA

FUNCIONES BOOLEANAS PARA CADA CARACTER

Tabla I. Funciones que manipulan cada segmento de un display de 7 segmentos

Segmento	Función en minterms	Función en maxterms
a	$\bar{Z}\bar{Y}\bar{X} + ZX + ZY + YX$	$(\bar{Z} + Y + X)(Z + Y + \bar{X})(Z + \bar{Y} + X)$
b	$ZX + ZY + \bar{Z}\bar{Y}\bar{X}$	$(\bar{Z} + Y + X)(Z + \bar{X})(Z + \bar{Y})$
c	$ZX + \bar{Z}Y$	$(Z + Y)(\bar{Z} + X)$
d	$Y + ZX$	$(Y + X)(Z + Y)$
e	$\bar{Z} + \bar{Y} + X$	$\bar{Z} + \bar{Y} + X$
f	$\bar{Z}(\bar{Y} \oplus \bar{X}) + ZY\bar{X}$	$(\bar{Z} + Y)(\bar{Z} + \bar{X})(Y + \bar{X})(Z + \bar{Y} + X)$
g	$\bar{Y} + \bar{Z}\bar{X} + ZX$	$(Z + \bar{Y} + \bar{X})(\bar{Z} + \bar{Y} + X)$
punto	0	0

Tabla 1. Funciones que representan cada segmento de un display de 7 segmentos.

Elaboración propia, 2025.

Tabla II. Tabla de verdad para codificar la palabra “programa”.

		Variables			Segmento								
i	letra	Z	Y	X		a	b	c	d	e	f	g	pd
0	p	0	0	0		1	1	0	0	1	1	1	0
1	r	0	0	1		0	0	0	0	1	0	1	0
2	o	0	1	0		0	0	1	1	1	0	1	0
3	g	0	1	1		1	0	1	1	1	1	0	0
4	r	1	0	0		0	0	0	0	1	0	1	0
5	a	1	0	1		1	1	1	1	1	0	1	0
6	m	1	1	0		1	1	0	1	0	1	0	0
7	a	1	1	1		1	1	1	1	1	0	1	0

Tabla 2. Tabla de verdad para codificar cada letra de la palabra “programa”.

Elaboración propia, 2025.

MAPAS DE KARNAUGH

Se adjunta la hoja con procedimientos y respuestas.

Segmento a (Función F_a)

$z \backslash yx$	00	01	11	10
0	1	0	1	0
1	0	1	1	1

* Minterms

$$F_a = \bar{z}\bar{y}\bar{x} + z\bar{x} + z\bar{y} + yx \quad \checkmark$$

* Maxterms

$$F_a = (\bar{z} + y + x)(z + y + \bar{x})(z + \bar{y} + x) \quad \checkmark$$

Segmento b (Función F_b)

$z \backslash yx$	00	01	11	10
0	1	0	0	0
1	0	1	1	1

* Minterms

$$F_b = z\bar{x} + z\bar{y} + \bar{z}\bar{y}\bar{x} \quad \checkmark$$

* Maxterms

$$F_b = (\bar{z} + y + x)(z + \bar{x})(z + \bar{y}) \quad \checkmark$$

Segmento c (Función F_c)

$z \backslash yx$	00	01	11	10
0	0	0	1	1
1	0	1	1	0

* Minterms

$$F_c = z\bar{x} + \bar{z}y \quad \checkmark$$

* Maxterms

$$F_c = (z + \bar{y})(\bar{z} + x) \quad \checkmark$$

Figura 1. Mapas de Karnaugh para segmentos a, b y c.

Elaboración propia, 2025.

Segmento d (Función F_d)

z \ yx	00	01	11	10
0	0	0	1	1
1	0	1	1	1

✖ Minterms

$$F_d = \underline{y + zx}$$

✖ Maxterms

$$F_d = \underline{(y+x)(z+y)}$$

Segmento e (Función F_e)

z \ yx	00	01	11	10
0	1	1	1	1
1	1	1	1	0

✖ Minterms

$$F_e = \underline{\bar{z} + \bar{y} + x}$$

✖ Maxterms

$$F_e = \underline{\bar{z} + \bar{y} + x}$$

Segmento f (Función F_f)

z \ yx	00	01	11	10
0	1	0	1	0
1	0	0	0	1

✖ Minterms

$$F_f = \underline{\bar{z}\bar{y}\bar{x} + \bar{z}yx + zy\bar{x} = \bar{z}(\bar{y} \oplus x) + zy\bar{x}}$$

✖ Maxterms

$$F_f = \underline{(\bar{z}+y)(\bar{z}+\bar{x})(y+\bar{x})(z+\bar{y}+x)}$$

Segmento g (Función F_g)

z \ yx	00	01	11	10
0	1	1	0	1
1	1	1	1	0

✖ Minterms

$$F_g = \underline{\bar{y} + \bar{z}\bar{x} + zx}$$

✖ Maxterms

$$F_g = \underline{(z+\bar{y}+\bar{x})(\bar{z}+\bar{y}+x)}$$

Figura 2. Mapas de Karnaugh para segmentos d, e, f y g.

Elaboración propia, 2025.

DIAGRAMAS DE DISEÑO

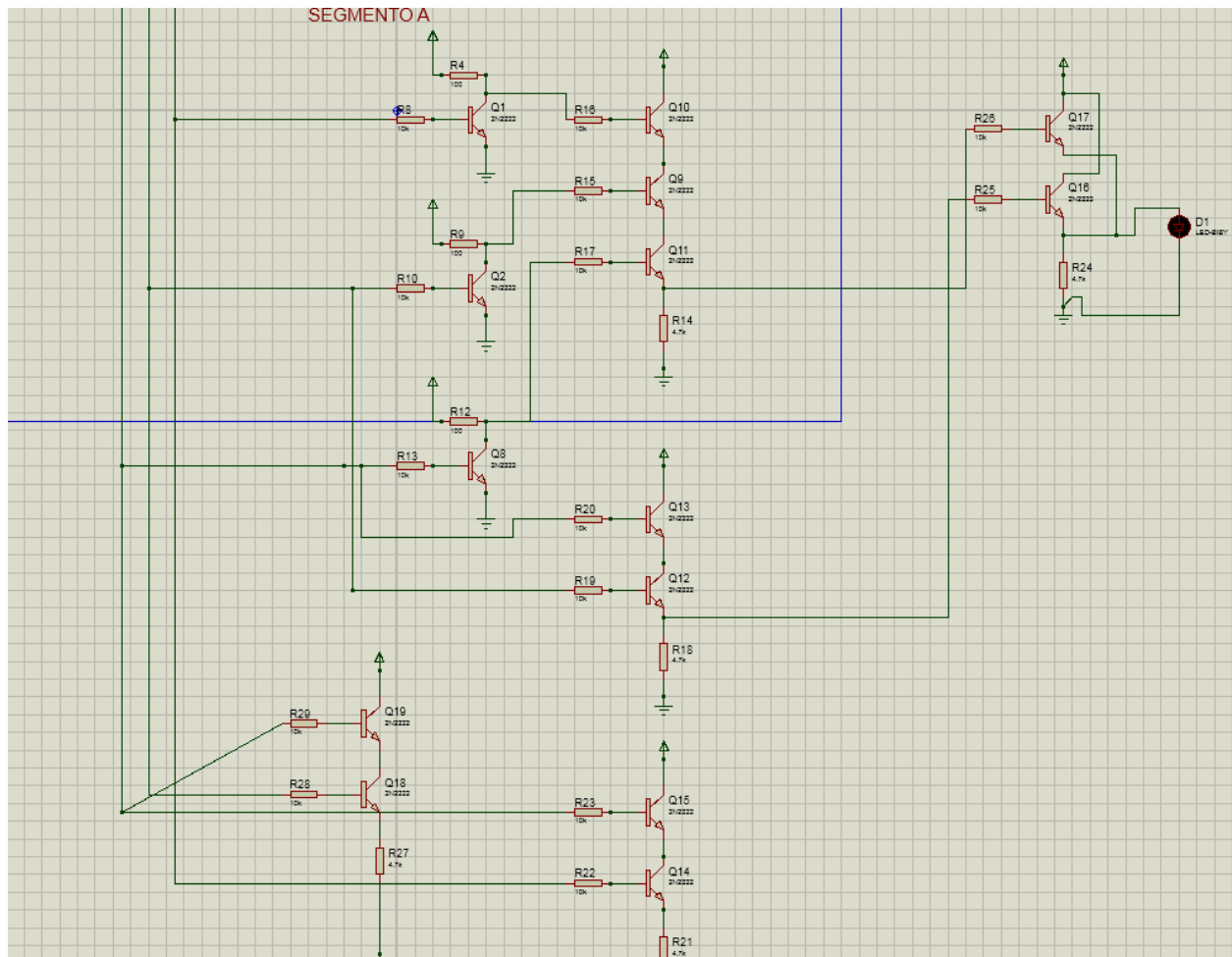


Figura3. Diagrama en Proteus, segmento a minterms

Elaboración propia, 2025.

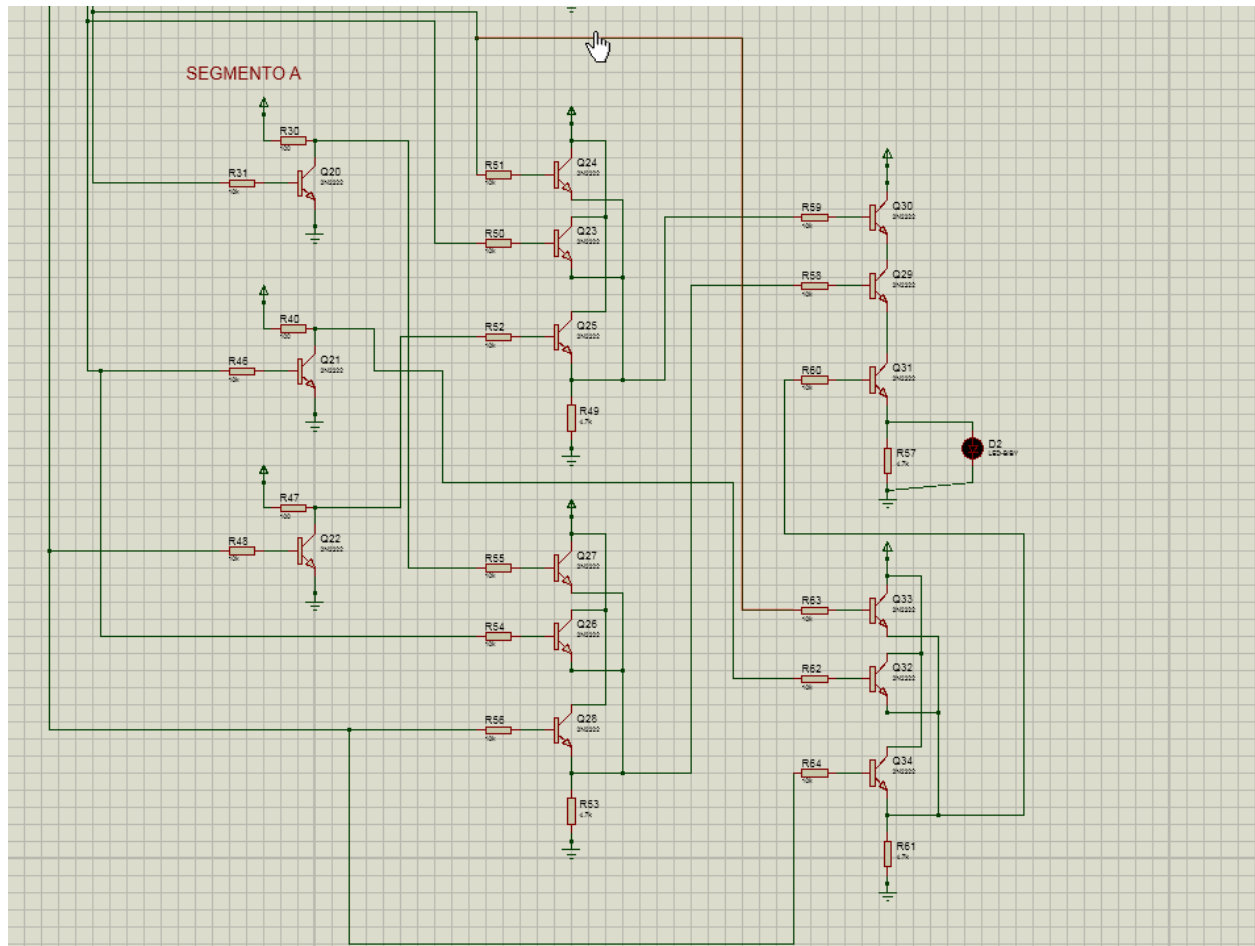


Figura 3. Diagrama en Proteus, segmento a maxterms

Elaboración propia, 2025.

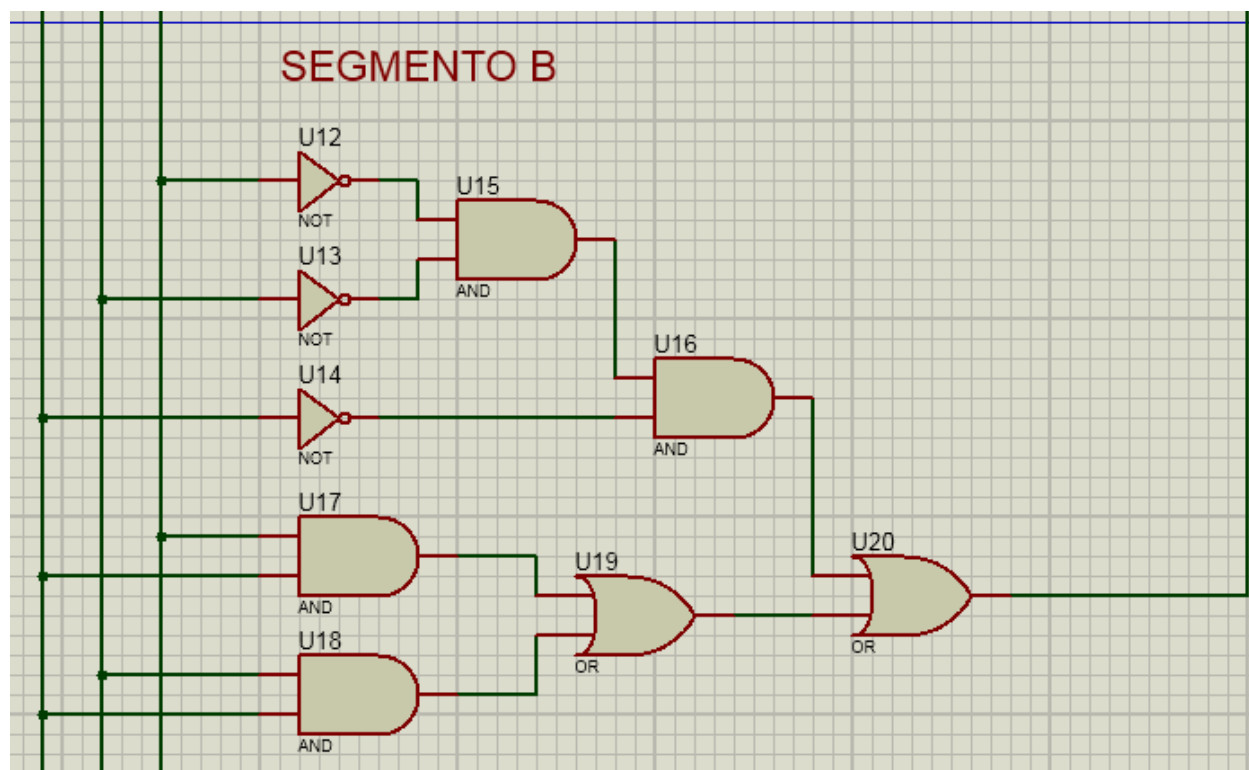


Figura 4. Diagrama en Proteus, segmento b minterms

Elaboración propia, 2025.

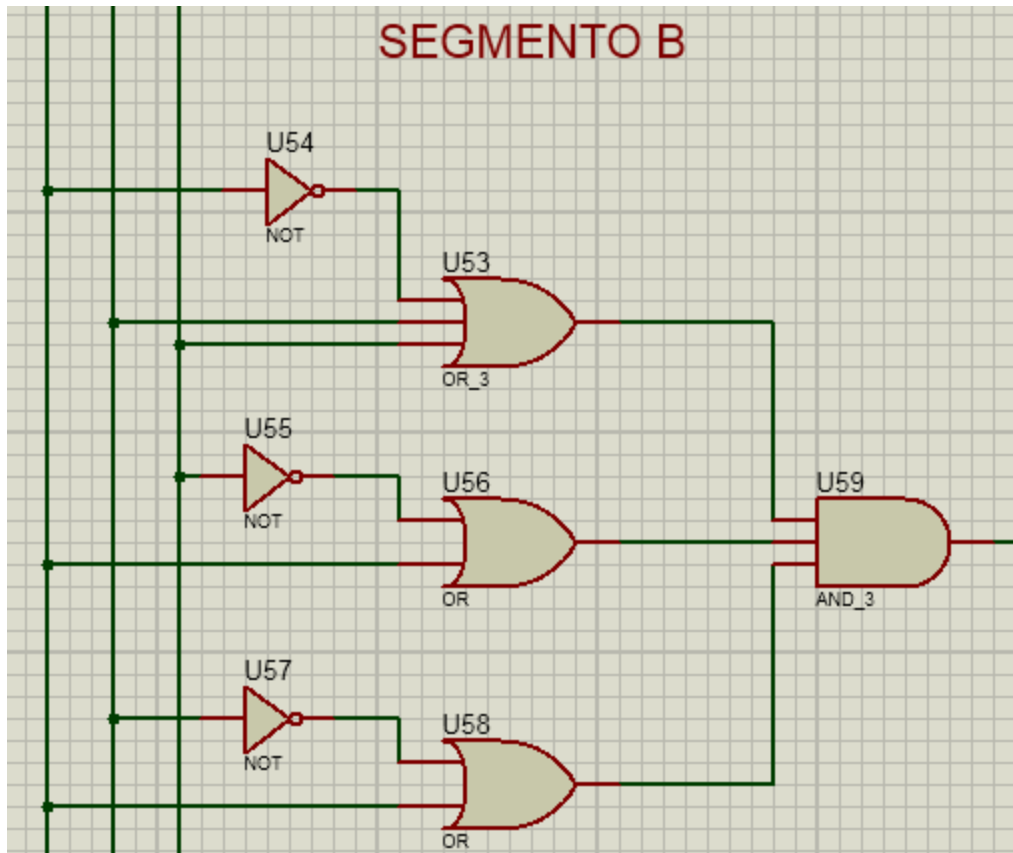


Figura 5. Diagrama en Proteus, segmento b maxterms

Elaboración propia, 2025.

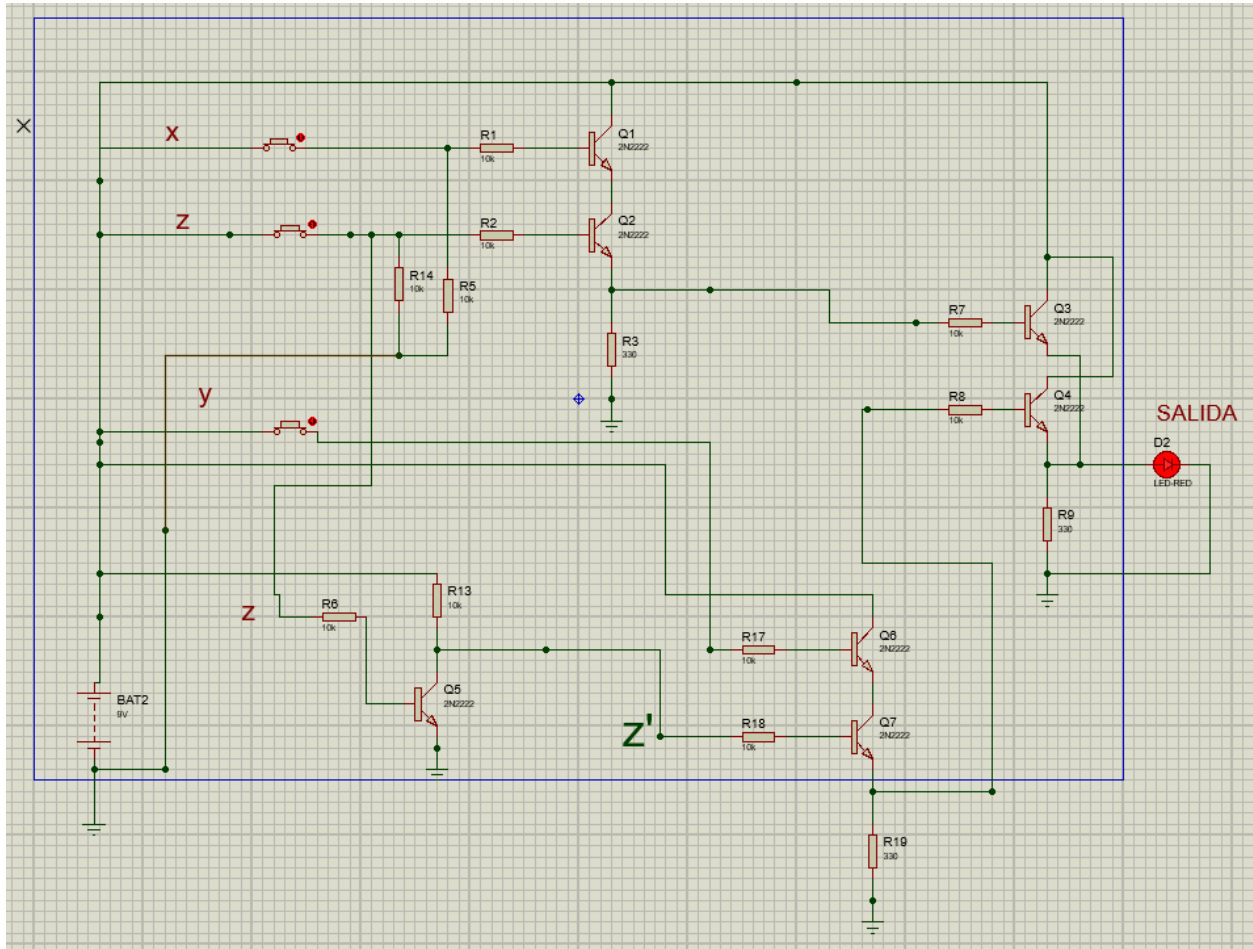


Figura 6. Diagrama en Proteus Segmento c.

Elaboración propia, 2025.

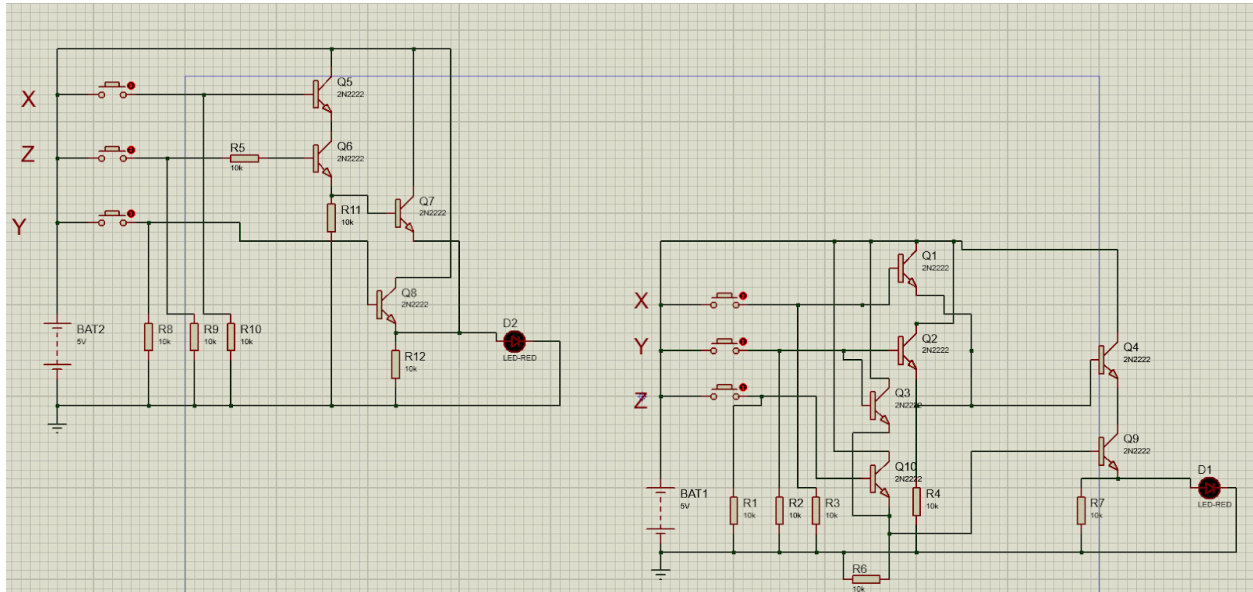


Figura 7. Diagrama en Proteus Segmento d.

Elaboración propia, 2025.

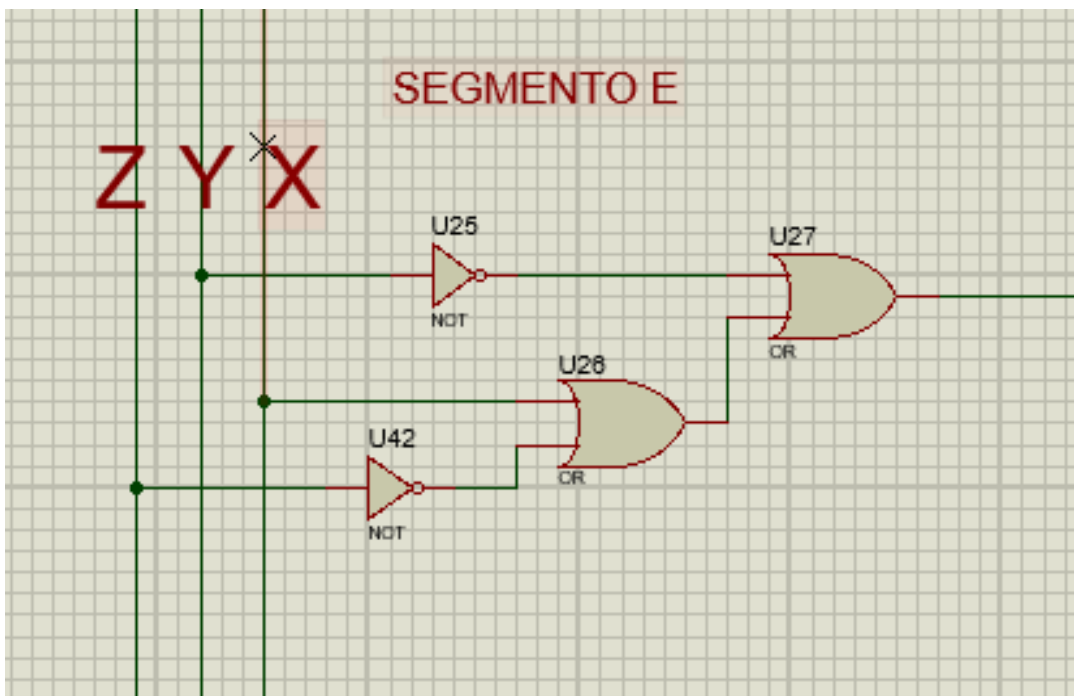


Figura 8. Diagrama en Proteus Segmento e.

Elaboración propia, 2025.

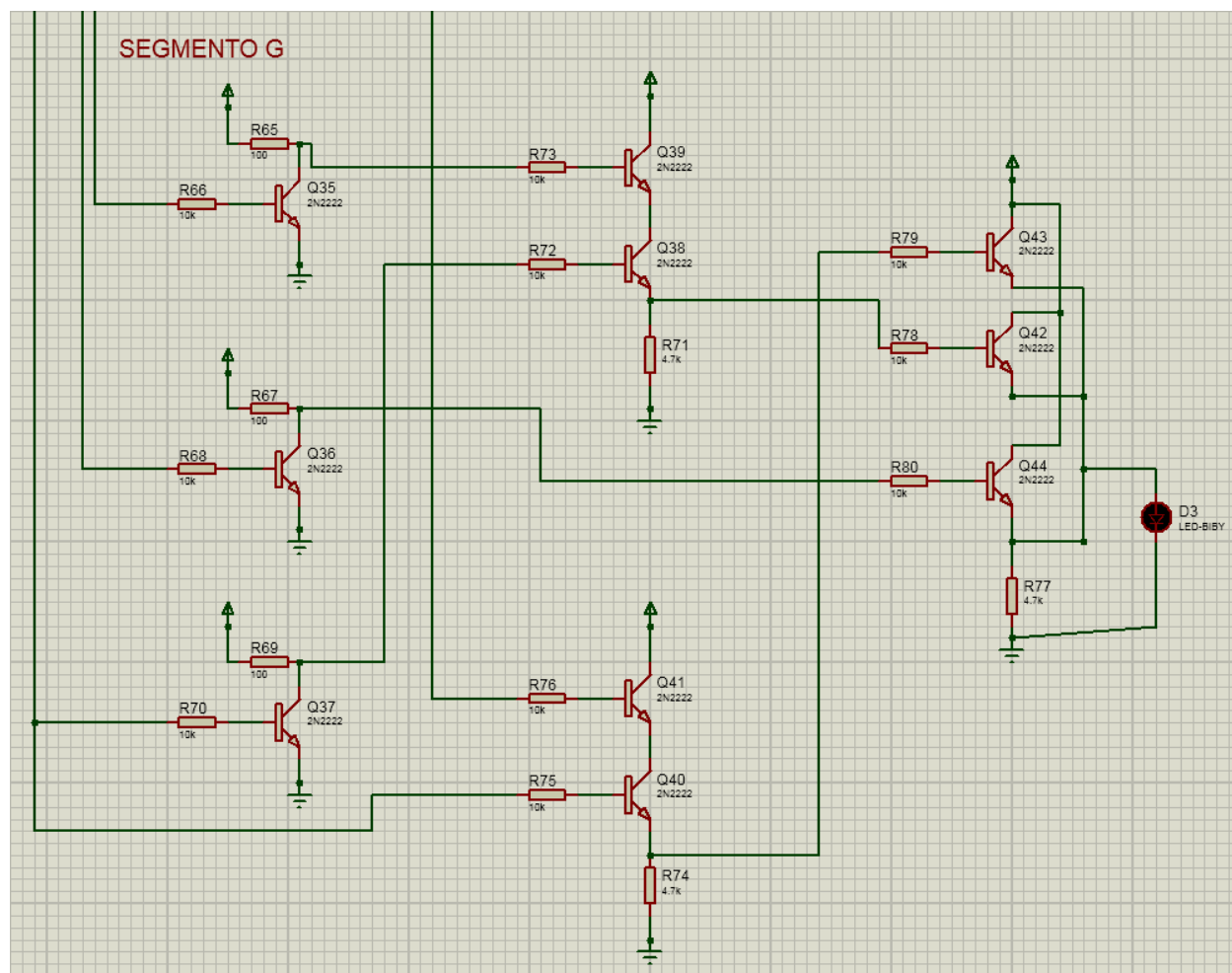


Figura 9. Diagrama en Proteus, segmento g minterms

Elaboración propia, 2025.

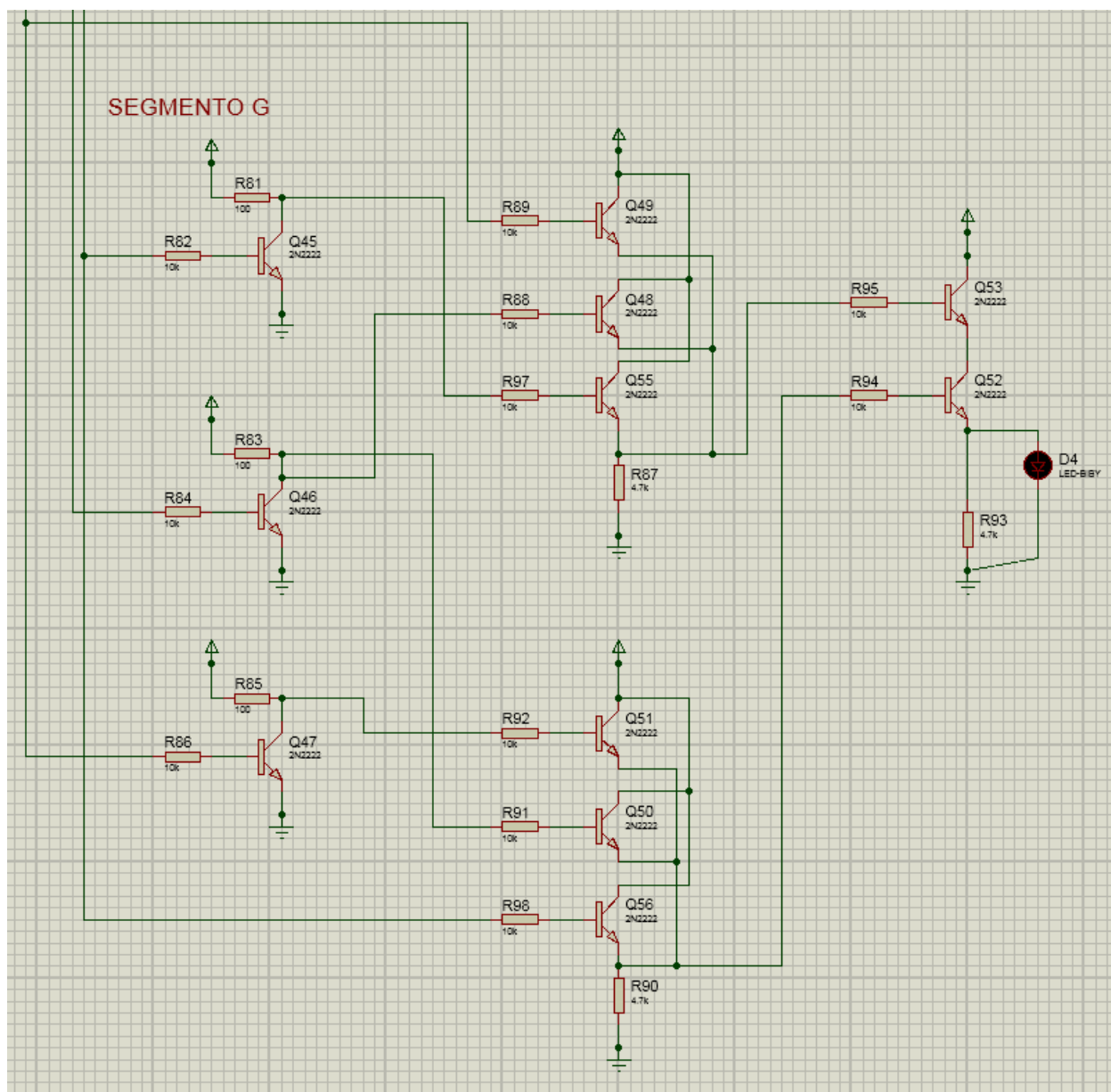


Figura 10. Diagrama en Proteus, segmento g maxterms

Elaboración propia, 2025.

MATERIAL Y EQUIPO UTILIZADO

Materiales	Especificación
Compuerta AND	74LS08
Compuerta OR	74LS32
Compuerta NOT	74LS04
Compuerta XOR	74LS86
Transistores NPN	2N2222
Resistores	1K Ω / 330 Ω
Dip Switch	3 entradas
LED	Diodo Emisor de luz
Protoboard	1 galleta 830 puntos
Hoja termotransferible	tamaño carta (21.6 x 27.9 cm)
Placa de circuito Impreso PCB	tamaño 10x15 cm
Plancha	-
Cloruro férrico	Líquido
Cable para protoboard	color negro y rojo
Bateria de 6v	6V

Tabla 3. Tabla de materiales utilizados.

Elaboración propia, 2025.

PRESUPUESTO

Cantidad	Descripcion	Precio	Subtotal
30	Resistencia de 1k Ω	0,50	15
6	Resistencia de 330 Ω	0,50	3
2	Compuerta OR 74LS32	7,00	14
2	Inversor NOT 74LS04	7,00	14
1	Protoboard 830 puntos	40,00	40
14	Transistores NPN 2N2222	1,00	14
4	placas 10x15 cm	19,01	76,04
10	Resistencias de 10k Ω	0,50	5
11	Transistores NPN 2N2222	1,00	11
2	LED Rojo	1,00	2
3	Placas 10x10 cm	14,00	42
1	Tubo de estaño	5,00	5
1	Botella de cloruro ferrico	15,00	15
2	dipsitch de 3 posiciones	4,00	8
2	alambre para protoboard rojo	3,00	6
2	alambre para protoboard negro	3,00	6

TOTAL Q. Q276,04

APORTE INDIVIDUAL

GARY DANIEL URIZAR GARCIA

- Elaboración de circuito en protoboard para el segmento b, tanto en minterms como maxterms.
- Elaboración de PCB para los segmentos a, f y g, tanto en minterms como maxterms.
- Aporte en la elaboración del informe.

WILSON WILFREDO PEREZ OTZOY

- Elaboración de circuitos en protoboard para los segmentos c y e, tanto en minterms como maxterms.
- Aporte en la elaboración del informe.

WALTER MANUEL MENDOZA PÉREZ

- Elaboración de PCB para el segmento d, tanto en minterms como maxterms.
- Aporte en la elaboración del informe.

CONCLUSIONES

- La elaboración de circuitos transistorizados y TTL en distintas maneras para cada segmento, tanto en PCB como en protoboard, nos demuestra como se puede trabajar de diferente forma un circuito, obteniendo siempre el mismo resultado.
- La implementación de mapas de Karnaugh para la simplificación de una expresión canónica es bastante útil ya que se llega a un resultado muy simplificado, ahorrando recursos y disminuyendo el presupuesto a la hora de la elaboración práctica.
- La integración completa de todos los circuitos realizados para cada segmento demuestra de manera general cómo cada segmento obedece la tabla de verdad para la resolución de una palabra específica que será mostrada en el display.

ANEXOS

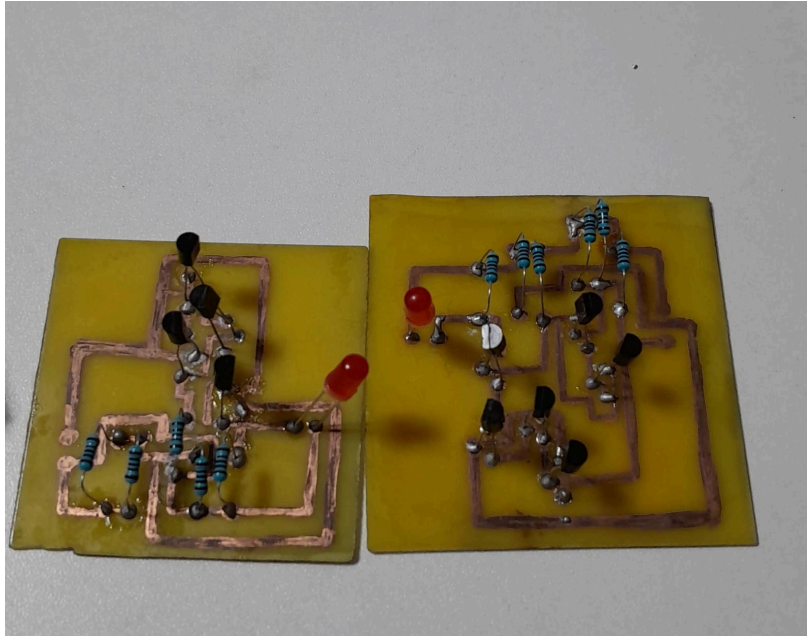


Figura A. minterm y maxterm en placa.

Elaboración propia, 2025.

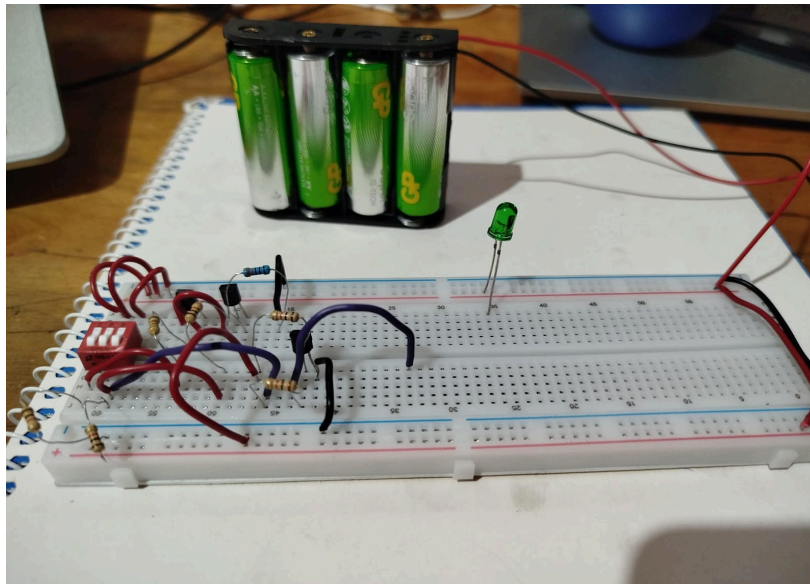


Figura B. segmento c en protoboard .

Elaboración propia, 2025.

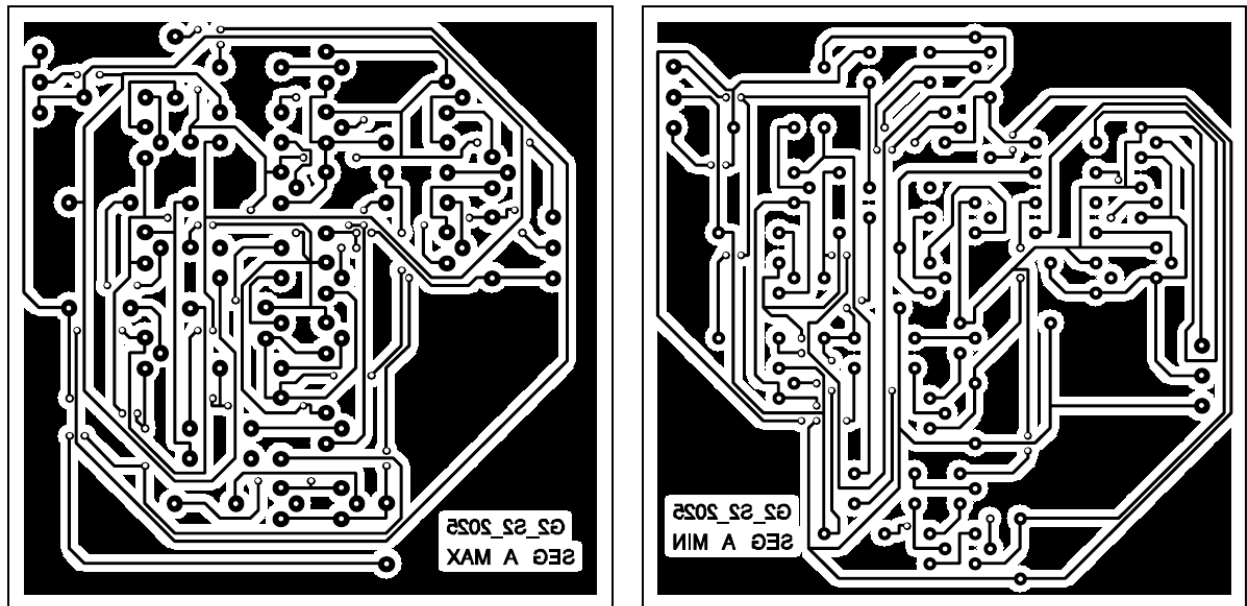


Figura C. Diseño PCB para segmento a en minterms(min) y maxterms(max)

Elaboración propia, 2025.

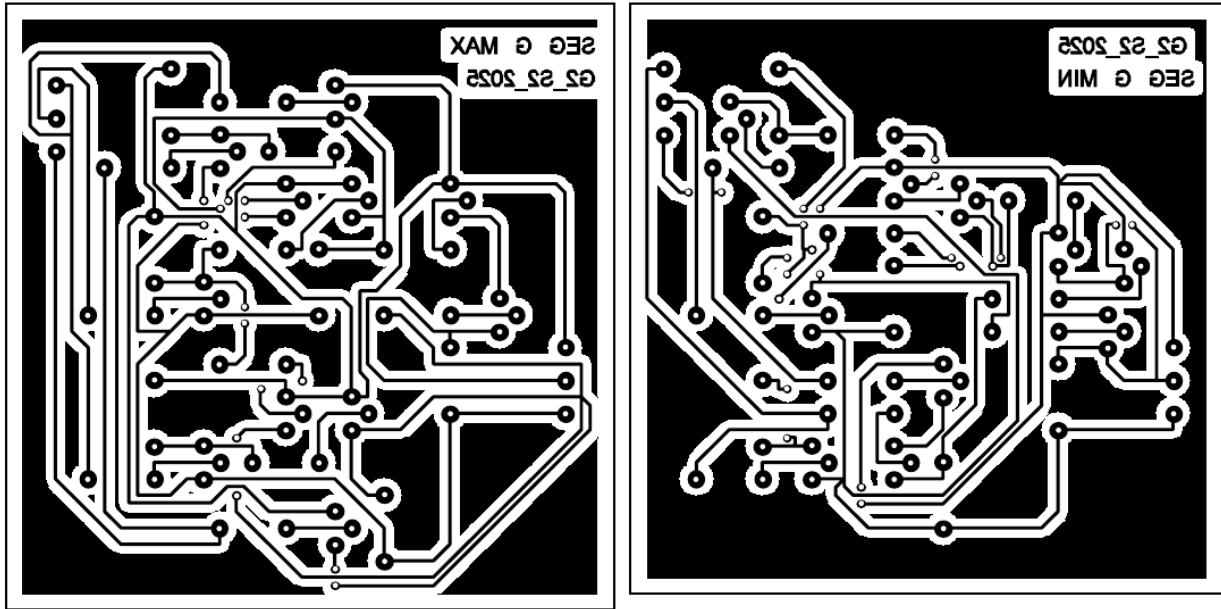


Figura D. Diseño PCB para segmento g en minterms(min) y maxterms(max)

Elaboración propia, 2025.

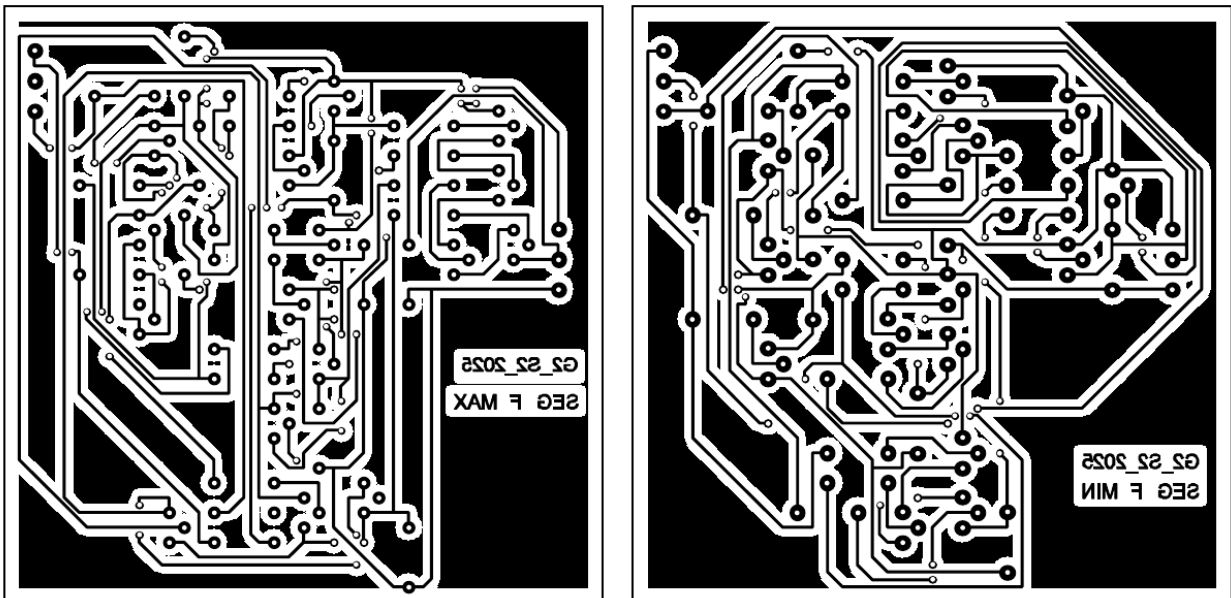


Figura E. Diseño PCB para segmento f en minterms(min) y maxterms(max)

Elaboración propia, 2025.

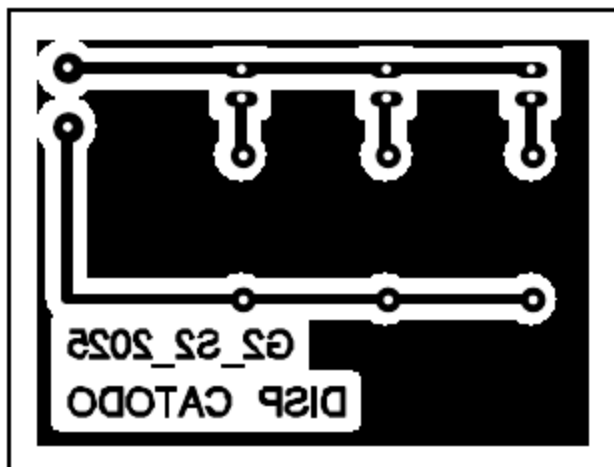


Figura F. Diseño PCB para segmento de display de cátodo común
Elaboración propia, 2025.

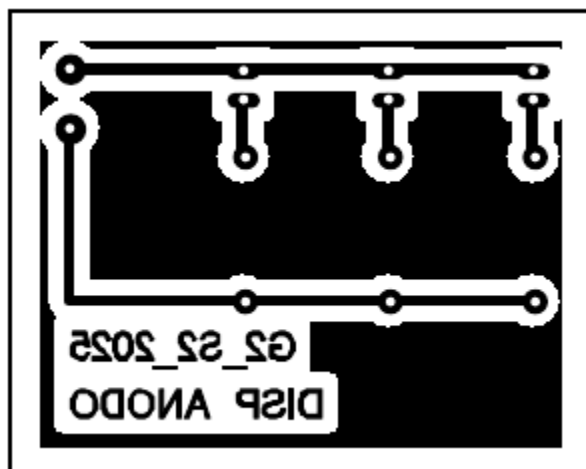


Figura G. Diseño PCB para segmento de display de ánodo común
Elaboración propia, 2025.

