

MODUL 6 PROYEK PERANCANGAN RANGKAIAN DIGITAL

Ardian Sudarsono (13217070)

Wilfrid Azariah (13217071)

Asisten: Yoland Nababan/13215053

Tanggal Percobaan: 30/11/2018

EL2102-Praktikum Sistem Digital

Laboratorium Dasar Teknik Elektro - Sekolah Teknik Elektro dan Informatika ITB



Abstrak

Pada praktikum kali ini, praktikan akan membuat sebuah proyek berupa sistem rangkaian digital yang dapat diimplementasikan ke dalam board FPGA. Pada praktikum ini, diharapkan praktikan dapat mendesain suatu sistem digital sederhana dan dapat mengimplementasikannya menggunakan interface pada board FPGA. Praktikum dilakukan dengan mengikuti modul praktikum sistem digital tahun 2018. Kesimpulan dari praktikum ini adalah sistem yang dibuat oleh praktikan telah berjalan dengan baik.

Kata kunci: Proyek, FPGA.

1. PENDAHULUAN

Salah satu tugas seorang insinyur elektro adalah mendesain sistem yang mengandung rangkaian logika kombinasional dan sekuensial. Proses mendesain ini dilakukan mulai dari merincikan spesifikasi sistem, membuat cara kerja sistem, dan lain-lain. Selanjutnya, insinyur akan membuat prototipe sistem tersebut dan menguji sistem tersebut. Pengujian dilakukan agar sistem dapat dievaluasi, diperbaiki, dan dikembangkan hingga menjadi suatu sistem yang baik.

Pada praktikum sebelumnya, praktikan telah mempelajari bagaimana cara kerja VGA Driver dan bagaimana cara menampilkan objek yang diinginkan pada layar LCD. Pada praktikum ini, praktikan akan membuat suatu proyek perancangan sistem digital sederhana yang dapat diimplementasikan menggunakan FPGA, dengan memanfaatkan segala ilmu desain yang praktikan peroleh sepanjang modul-modul praktikum. Tujuan dari proyek ini adalah agar praktikan dapat menspesifikasikan suatu sistem digital sederhana.

Proses desain yang termasuk dalamnya adalah membagi sistem menjadi jalur data dan sistem kendali dan menintegrasikan keduanya. Praktikan juga harus melakukan proses pengujian terhadap sistem dengan mengimplementasikannya pada FPGA berserta komponen tambahan yang diperlukan sistem.

Proyek ini dinilai mulai dari tahapan desain, implementasi, dan pengujian sistem. Praktikan membuat proyek mengikuti kriteria yang tertera pada modul, yaitu interaktif dengan menggunakan interface VGA, mempunyai bagian FSM, dan sedikitnya terdiri dari 3 blok. Kemudian, proyek akan dinilai berdasarkan fungsionaltias, kompleksitas, dan implementasi oleh asisten.

2. PROYEK YANG DIBUAT

Pada proyek ini, praktikan merancang sebuah game bernama "RUNNING BOX." Pengguna akan mengendalikan sebuah kotak yang disebut Kotak Player yang harus menghindari rintangan yang muncul. Kotak tersebut dapat menghindari rintangan dengan melompati rintangan. Pengguna dapat mengendalikan kecepatan lompat kotak untuk menyesuaikan dengan kecepatan gerak rintangan menuju kotak yang semakin lama akan semakin cepat.

Permainan diawali dengan kotak merah pada posisi kiri layar dan rintangan yang berwarna hijau berjalan mendekati kotak. Pengguna harus menganti nilai switch reset menjadi '0' untuk memulai permainan. Ketika permainan dimulai, pengguna harus membuat kotak merah harus menghindari rintangan yang datang dengan menekan push button lompat. Ketika push button lompat ditekan, kotak akan menjadi lebih tinggi

seakan melompat, lalu kembali pada posisi awal seakan jatuh. Jika kotak mengenai rintangan, layar LCD akan menjadi warna merah tanda pengguna kalah. Pengguna harus menganti nilai switch reset menjadi '1' untuk mereset game. Selama switch reset masih '1', tidak akan terjadi apa-apa ketika kotak mengenai rintangan. Kotak Player tidak dapat digerakan sampai reset diubah menjadi '0'. Tinggi rintangan berubah secara pseudorandom untuk menambah tantangan. Gerak rintangan juga semakin lama akan semakin cepat, tergantung dengan poin yang user dapatkan. Terdapat bar biru menandakan skor pada bagian atas layar LCD yang akan semakin panjang jika pengguna tidak kalah. Pengguna akan menang ketika bar skor mencapai ujung kanan layar.

Kontrol dari permainan ini adalah menggunakan tombol *push-button* (KEY[n]) serta *switch* (SW[n]) dengan fungsinya masing-masing. KEY[0] membuat kotak melompat, SW[0] sebagai input reset yang akan mereset permainan jika bernilai 1, dan SW[1] untuk mengatur kecepatan lompat kotak.

3. PROSES DESAIN SISTEM

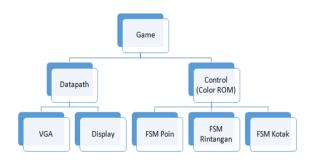
3.1 METODOLOGI DESAIN

Metodologi desain sistem digital yang dibuat kali ini adalah menggunakan pendekatan *Buttom-Up*. Praktikan membuat terlebih dahulu system dasar dari system digital tersebut. lalu praktikan mulai mengembangkan desain sistem digital, melalui pembuatan modul dasar dari program, lalu dilanjutkan dengan mengembangkan modul dasar tersebut dengan menambah fitur-fitur pada program dasar.

Pada system digital yang praktikan buat, praktikan menggunakan seluruh file yang digunakan dalam praktikum modul sebelumnya, dengan mengembangkan program dasar kontrol pada modul color_rom_vhd. Program dasar kemudian di tes terlebih dahulu, untuk memastikan program dasar sudah sesuai dengan spesifikasi yang praktikan buat. Setelah melakukan pengembangan pada color_rom_vhd, praktikan memasukan port-port yang dibutuhkan pada color_rom_vhd, lalu melakukan pengembangan untuk fitur-fitur tambahan lainnya

Color_rom_vhd digunakan untuk mengontrol visualisasi system pada board FPGA, serta

menjadi salah satu bagian dari data path. Namun dalam modul ini, control visualisasi system dan data path dipisah dalam 2 bagian yang berbeda, sehingga data path dan FSM sebagai bagian dari kontrol visualisasi system tidak bercampur. Modul VGA digunakan sebagai control *interface* dari VGA melalui sinyal warna dan sinyal sinkron. Modul Display digunakan sebagai bridge / jembatan untuk mengintegrasikan modul VGA dan modul color_rom_vhd.



3.2 METODOLOGI PENGUJIAN

Pengujian dilakukan dengan cara melakukan simulasi-simulasi tertentu untuk mengetes fitur-fitur yang ada dalam desain system digital. Praktikan membuat simulasi dengan cara memodifikasi konstanta-konstanta dalam program, melakukan simulasi untuk fitur fitur tertentu, lalu mengembalikannya sesuai dengan konstanta awal.

Berikut simulasi yang praktikan buat

- Simulasi kalah:
 Player tidak digerakan
 Praktikan mengamati visual dari sistem
- Simulasi pergerakan rintangan : Reset dinyalakan
 Praktikan mengamati visual dari sistem
- Simulasi pergerakan player : Variable pergerakan rintangan di set 0
 Praktikan mengamati visual dari sistem
- Simulasi poin, dan percepatan pergerakan rintangan:
 State loncat untuk player di non-aktifkan Player diposisikan pada posisi dimana rintangan tidak akan mengenai player Praktikan mengamati visual dari sistem

Simulasi reset game

Player sengaja dibuat kalah, lalu reset dinyalakan.

Praktikan mengamati visual dari sistem Reset dimatikan

Praktikan mengamati visual dari sistem

Dari hasil simulasi, praktikan akan mampu mendapatkan kesalahan-kesalahan pada sistem, dan memperbaikinya agar sesuai dengan spesifikasi yang praktikan buat. Praktikan memperbaiki sistem digital melalui modifikasi pada program control visual, yaitu color_rom_vhd

4. PENJELASAN ALGORITMA

Dalam perancangan sistem digital dalam proyek ini, praktikan menggunakan perancangan abstraksi dengan level *behavioral*, yaitu perancangan yang hanya memperhatikan nilai masukan dan keluaran dari desain yang dibuat, tampa memperdulikan bentuk rangkaian itu sendiri

Berikut adalah algoritma yang dibuat untuk membuat permainan ini:

1. Modul Visual Controller

a. State Assigments

Pada algoritma ini, terdapat variable counter untuk rintangan serta player, dan *state* untuk menjalankan serta mengontrol permainan yaitu state kalah dan state reset. Algoritma ini memproses state-state yang ada sesuai dengan FSM.

b. Posisi

Algoritma ini akam memproses nilai nilai variable posisi dari setiap obyek pada game (rintangan dan player), serta menentukan apakah posisi mereka ada dalam kondisi state-state yang ada dalam FSM

c. Pixel Row and Column

Algoritma ini akan memroses nilai – nilai pixel dimana objek pada game di tampilkan. Pada nilai pixel tersebut akan ditampilkan warna sesuai kode warna masing masing objek. Untuk ukuran rintangan, tinggi rintangan akan berubah secara periodic dengan algoritma pseurandom

d. Kode Warna

Algoritma ini akan memroses warna dari objek yang akan ditampilkan. Kode warna sudah ditentukan terlebih dahulu, berbeda setiap objek, agar objek dapat terlihat dengan jelas

e. Pergerakan Objek

Algoritma ini akan memproses pergerakan masing-masing objek. Pergerakan player dan penambahan skor diproses dengan merubah batas-batas ukuran. Berikut aalgoritma tiap tiap objek pada proyek praktikan

Pergerakan rintangan diatur sehingga otomatis tanpa input dari user. Pergerkan rintangan dipercepat setiap player mendapatkan poin

Pergerakan player diatur dimulai saat ada input dari push button, lalumelakukan state 'loncat' yatu bergerak dengan menaikan posisi player, lalu turun kembali ke posisi semula. Player tidak berubah posisi selama tidak mendapat input dari push button. Kecepatan player 'loncat' diatur dengan input dari switch SW1

Penambahan bar skor diatur otomatis sesuai poin yang didapat oleh user

2. Modul VGA

Pada modul ini, algoritma yang digunakan adalah algoritma untuk mengontrol *interface* yang ditampilkan pada LCD melalui VGA berupa sinyal warna dan sinyal sinkron. Ukuran piksel layar yang digunakan adalah 640 x 480 pixel persegi. Modul ini didapat dari modul praktikum sebelumnya.

3. Modul Display LCD

Pada modul ini, algoritma yang digunakan adalah algoritma untuk mengintegrasikan modul VGA dan modul control visual. Modul ini didapat daripraktikum sebelumnya.

5. CARA KERJA SISTEM

Cara kerja dari rangkaian yang dibuat adalah dengan menggunakan masukan berupa pushbutton pada board FPGA, kotak akan melompat jika push-button ditekan. Kecepatan lompatnya akan diatur menggunakan switch. Jika kalah, pengguna dapat menggunakan switch reset untuk mereset game. Dengan algoritma pengecil clock, pergerakan objek game dapat diamati pada LCD. Rintangan akan mendekati kotak dan kotak harus melompat untuk menghindari rintangan. Jika

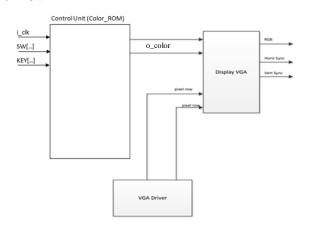
kotak terkena rintangan, layar akan menjadi merah pertanda game over. Pengguna harus mereset game untuk kembali bermain. Setiap kali pengguna sukses menghindari rintangan, bar poin akan bertambah pada bagian atas layar. Jika poin mencapai batas kanan layar maka permainan selesai dan layar akan merah pertanda game over. Semakin lama, pergerakan rintangan akan semakin cepat. Tinggi rintangan juga berubah secara pseudorandom.

6. DATAPATH DAN DIAGRAM FSM SISTEM

6.1. DATAPATH

Dapat dilihat pada gambar, blok *datapath* terdiri dari beberapa modul. Pada permainan ini, Modul Control visual praktikan masukan sebagai data path, sekaligus integrase dengan FSM, agar meghemat file dan mempercepat transmisi. Lalu data yang sudah diolah dikirim pada display VGA, lalu dikeluarkan dalam bentuk sinya RGB, Horizontal dan Vertical sync

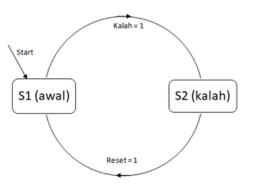
Berikut adalah desain *datapath* dari sistem digital yang praktikan desain.



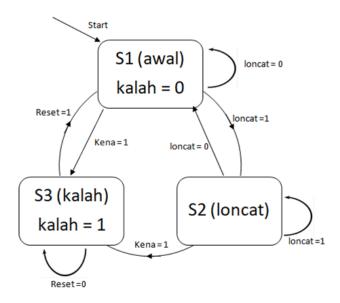
Gambar 6-1 Datapath Sistem

6.2. FSM

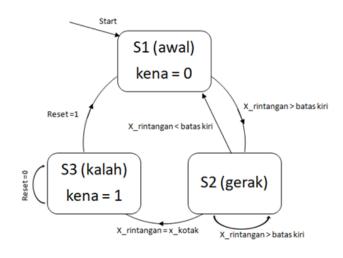
Berikut adalah desain FSM yang praktikan buat untuk sistem digital yang praktikan desain



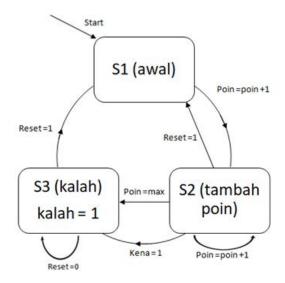
Gambar 6-3 Diagram FSM Game



Gambar 6-3 Diagram FSM Kotak



Gambar 6-4 Diagram FSM Rintangan



Gambar 6-5 Diagram FSM Poin

Deskripsi untuk masing-masing FSM dan *state* adalah sebagai berikut:

Pada FSM game, S1 adalah state awal dimana game dimulai. State ini hanyalah sebagai inisiasi karena selanjutnya, proses akan ditangani oleh subsistem, yaitu FSM Kotak, Rintangan, dan Poin. Ketika mendapat input 'kalah = 1', game akan berpindah state dari S1 ke S2. S2 adalah state kalah dimana semua proses akan terhenti dan game akan memunculkan screen kalah berwarna merah. Harus ada input reset dari user agar game berpindah kembali ke S1. Jika input reset = '0' game tidak akan berjalan, serta Player tidak bias digerakan

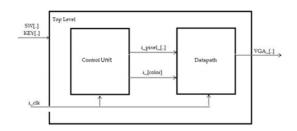
Pada FSM Kotak Player, S1 adalah state awal dimana game dimulai. Pada state ini, kotak akan diposisikan pada kiri layar. Ketika mendapat input 'loncat = 1', kotak akan berpindah state dari S1 ke S2. S2 adalah state loncat dimana posisi y dari kotak akan dinaikan selama 10 detik dan turun kembali selama 10 detik. Setelah proses 20 detik ini, state akan otomatis kembali pada S1. Ketika mendapat input 'kena=1' dari FSM rintangan, maka state akan berubah menjadi S3 atau state kalah dimana system berhenti. Ketika mendapat input 'reset' maka state akan kembali pada S1.

Pada FSM Rintangan, S1 adalah state awal dimana game dimulai. Pada state ini, rintangan akan diposisikan pada kanan layar. Secara otomatis, state akan berpindah state dari S1 ke S2. S2 adalah state gerak dimana posisi x dari rintangan akan akan berkurang secara otomatis. Ketika posisi x dari rintangan sudah lebih kecil dari batas kiri screen, state akan otomatis kembali pada S1. Ketika x_kotak = x_rintangan, maka state akan berubah menjadi S3 atau state kalah dimana sistem berhenti memberikan output 'kena = 1'. Ketika mendapat input 'reset' maka state akan kembali pada S1.

Pada FSM Poin, S1 adalah state awal dimana game dimulai. Pada state ini, bar poin akan diposisikan pada bagian atas layar dengan panjang = 0. Ketika mendapat input 'poin = poin+1', kotak akan berpindah state dari S1 ke S2. Pada S2 ini, batas kanan bar poin akan bertambah sebanyak 10 piksel. Ketika mendapat input 'kena = 1' atau poin mencapai maks, state akan berpindah state ke S3. Pada S3 ini, sistem akan berhenti. Ketika mendapat input 'reset' maka state akan kembali pada S1.

6.3. TOP LEVEL

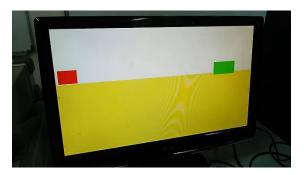
Berikut adalah desain *top level* yang memenuhi fungsi yang diinginkan.



Gambar diatas menunjukkan *top level* yang menggabungkan *datapath* dengan *control unit*. Control unit mendapat input, yaitu berupa SW[..] dan KEY[..]. *Control unit* berfungsi sebagai pengatur sistem *datapath*. Keluaran dari bagian ini adalah berupa *display* pada LCD.

7. HASIL PENGUJIAN SISTEM

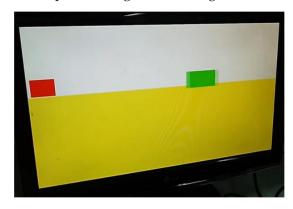
Gambar dibawah merupakan hasil pengujian untuk S1 atau state awal.

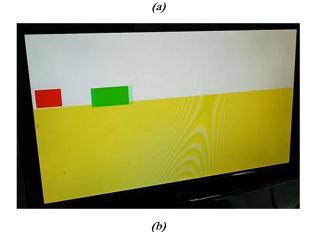


Gambar 7-1 Hasil Pengujian State S1

Pada gambar 7-1, terlihat bahwa kotak, rintangan, dan bar poin berada di posisi awal.

Gambar dibawah merupakan hasil pengujian untuk S2 pada rintangan atau state gerak.

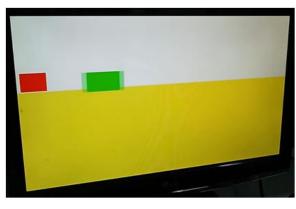




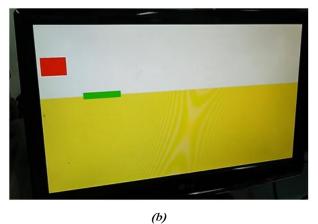
Gambar 7-2 Hasil Pengujian State Gerak Rintangan

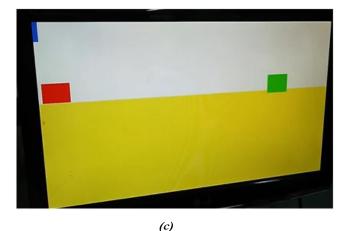
Pada gambar 7-2(a) dan (b) terlihat perpindahan dari rintangan yang bergerak menuju kotak.

Gambar dibawah merupakan hasil pengujian untuk S2 kotak dan poin atau state loncat dan state tambah poin.



(a)

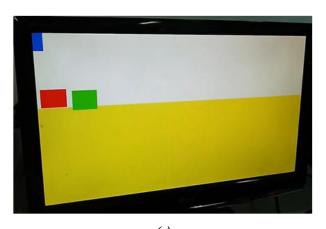




Gambar 7-3 Hasil Pengujian State S2 loncat dan tambah

Pada gambar 7-3(a), terlihat bahwa rintangan hendak mengenai kotak. Pada gambar 7-3(b), terlihat bahwa posisi kotak menjadi lebih tinggi akibat ada input dari push button. Pada gambar 7-3(c), terlihat bahwa kotak kembali lagi kepada S1 dan poin bertambah menjadi S2. Pada saat bersamaan, rintangan juga kembali pada posisi awal, yaitu S1.

Gambar dibawah merupakan hasil pengujian untuk S2 pada game atau S3 pada semua objek atau state kalah.



(a)



Gambar 7-4 Hasil Pengujian State Kalah

Pada gambar 7-4(a), terlihat bahwa rintangan hendak mengenai kotak dan pengguna tidak menekan push button untuk lompat. Alhasil, rintangan mengenai kotak dan game berubah menjadi S2 atau state kalah. Begitu state pada objek lainnya. Pada state ini, permainan selesai atau game over.

(b)

DAFTAR PUSTAKA

[1] Hutabarat, T Mervin, Petunjuk Praktikum: Praktikum Rangkaian Elektrik, Laboratorium Dasar Teknik Elektro, Bandung, 2018

LAMPIRAN

Lampiran 1.

Modul Control Visual (color_rom_vhd.vhd)

```
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
   2
             use IEEE.NUMERIC_STD.ALL;
          ENTITY color_rom_vhd IS
                            clockfpga
                                                         : IN STD_LOGIC;
: IN STD_LOGIC;
 10
                            RESET
                                                         : IN STD_LOGIC;
: IN STD_LOGIC;
: IN STD_LOGIC;
 11
                            sp
                            i M US
 12
 13
                            i K US
                            pushatas : IN STD_LOGIC;
i_pixel_column : IN STD_LOGIC_VECTOR( 9 DOWNTO 0 );
i_pixel_row : IN STD_LOGIC_VECTOR( 9 DOWNTO 0 );
o_red : OUT STD_LOGIC_VECTOR( 7 DOWNTO 0 );
o_green : OUT STD_LOGIC_VECTOR( 7 DOWNTO 0 );
o_blue : OUT STD_LOGIC_VECTOR( 7 DOWNTO 0 );
 14
 15
 16
 17
 18
 19
 20
                            o_poin
                                                         : OUT INTEGER);
            END color_rom_vhd;
 21
 23
         ■ ARCHITECTURE behavioral OF color_rom_whd IS SIGNAL MUNCUL_KOTAK: STD_LOGIC; SIGNAL MUNCUL_RINTANGAN: STD_LOGIC;
 24
 25
                    SIGNAL MUNCUL ALAS: STD LOGIC;
SIGNAL MUNCUL KALAH: STD LOGIC;
 26
 28
                    SIGNAL MUNCUL_POIN : STD_LOGIC;
                    PROCESS(clockfpga, i pixel row.i pixel column, MUNCUL KOTAK,
         31
                    MUNCUL_RINTANGAN, MUNCUL_ALAS, MUNCUL_KALAH, RESET)
32
33
                            --Kotak
                          --KOTAK
VARIABLE ATAS_KOTAK : INTEGER := 149;
VARIABLE BAWAH_KOTAK : INTEGER := 199;
VARIABLE KIRI_KOTAK : INTEGER := 10;
VARIABLE KANAN_KOTAK : INTEGER := 60;
35
36
37
38
                              -Rintangan
                          CONSTANT Patokan_Atas_Rintangan : INTEGER := 250;
VARTABLE ATAS_RINTANGAN : INTEGER := 190;
CONSTANT BAWAH_RINTANGAN : INTEGER := 210;
VARTABLE KIRI_RINTANGAN : INTEGER:= 500;
VARIABLE KANAN_RINTANGAN : INTEGER := 580;
39
40
41
42
43
44
                           --Alas
                          --Alas
CONSTANT ATAS_ALAS : INTEGER := 200;
CONSTANT BAWAH_ALAS : INTEGER := 480;
VARIABLE KIRI_ALAS : INTEGER := 640;
46
48
49
                           VARIABLE count : INTEGER := 0;
50
                            --Batas
                           CONSTANT kiri : INTEGER := 0;
51
                           CONSTANT kanan : INTEGER := 639;
CONSTANT atas : INTEGER := 0;
CONSTANT bawah : INTEGER := 480;
52
53
54
55
                            --Poin
                           VARIABLE ATAS POIN : INTEGER := 1;
VARIABLE BAWAH POIN : INTEGER := 50;
VARIABLE KIRI POIN : INTEGER:= 1;
57
58
59
                           VARIABLE KANAN POIN : INTEGER := 2;
€0
                                 Variabel loncat
                           variable speed : INTEGER := 1;
variable con : INTEGER := 0;
61
€2
                           -- count adalah variabel penghitung clockfpga yang berlalu
-- max adalah konstanta nilai maksimum count dalam l detik
63
         =
64
€5
                           constant max : INTEGER := 4999999;
variable count : INTEGER := 0;
66
                             - Variabel mengubah tinggi Rintangan
                           VARIABLE tinggiRintangan : INTEGER := 0;
VARIABLE conR : INTEGER :=0;
68
69
70
                            -- STATE
                           VARIABLE loncat : INTEGER := 0;
                           VARIABLE KALAH : INTEGER := 0;
```

```
FSM
                    BEGIN
IF (clockfpga'event and clockfpga = '1') THEN
                               -
          -
          -
                                     -- RINTANGAN
-- mengubah tinggi RINTANGAN
conR := conR + 1;
-- Mereset counter
                                     -- Mereset counter
if conR >20 then
   conR := 0;
-- Algoritma pseudorandom
          -
                                           elsif conR > 10 then
ATAS_RINTANGAN:= ATAS_RINTANGAN- 3;
                                           else
ATAS_RINTANGAN:= ATAS_KOTAK + 5;
                                      end if;
-- Pergerakan RINTANGAN
KIRI_RINTANGAN := KIRI_RINTANGAN - 10 - (KANAN_POIN/5);
KANAN_RINTANGAN := KANAN_RINTANGAN - 10 - (KANAN_POIN/5);
    109
                                                -Pergerakan kotak Player
                                             IF pushatas = '0' THEN
   loncat := 1;
end if;
-- Menentukan faktor kecepatan LONCAT
      110
               =
      112
      113
                                             if sp = '1' then
speed := 15;
else
      114
               =
               =
                                            speed := 10;
end if;
      117
      118
                                                   STATE LONCAT
               =
                                             if loncat = 1 then
      121
                                                    -- counter loncat
                                                    con:=con + 1;
if con >20 then
-- setelah counter habis, reset counter
      122
      125
                                                           -- state loncat dikembailkan 0 secara otomatis
                                                          -- setelah counter habis

con := 0;

LONCAT := 0;

elsif con > 10 then
      126
               =
      129
                                                           -- kotak naik
      130
                                                                 ATAS_KOTAK := ATAS_KOTAK + speed;
BAWAH_KOTAK := BAWAH_KOTAK + speed;
      131
               =
      133
                                                           -- lalu turun
      134
                                                                 ATAS_KOTAK := ATAS_KOTAK - speed;
BAWAH_KOTAK := BAWAH_KOTAK - speed;
                                                     end if;
      137
                                             END IF;
      138
      139
                                             --BATAS KOTAK PLAYER
                                             --Batas ROTAK FLATER
--Batas, jika melewati, akan tetap tertahan
IF BAMAH KOTAK > bawah THEN
ATAS_KOTAK := bawah-50;
BAWAH KOTAK := bawah;
END IF:
      141
               .
      142
                                            and IF;
IF ATAS_KOTAK < atas THEN
ATAS_KOTAK := atas;
BAWAH_KOTAK := atas + 50;
END IF;
      145
               =
      146
      147
                                  IF KANAN_KOTAK < kiri THEN
ATAS_KOTAK := kiri;
BAWAH_KOTAK := kiri + 50;
                                   END IF;

IF KIRI_KOTAK > kanan THEN

ATAS_KOTAK := kanan - 50;

BAWAH_KOTAK := kanan ;
       -
 155
156
                                   END IF;
157
158
159
160
161
162
163
164
165
166
167
                                  =
        -
        .
169
171
172
173
174
175
176
177
178
179
                                  -- Mekanisme Kena Rintangan) AND (BAWAH_KOTAK>=ATAS_RINTANGAN) THEN
-- screen KALAH
KANAH_KOTAK:= kanan;
BAWAH_KOTAK:= bawah;
KIRI_KOTAK:= kiri;
ATAS_KOTAK:= atas;
KANAH_EDIN:=2;
```

KANAN_POIN:= 2;
KIRI_RINTANGAN:= 500;
KANAN_RINTANGAN:= 580;

KIRI_RINTANGAN:= 500; KANAN_RINTANGAN:= 580;

END IF;
END IF;
-- jika poin full, reset kembali ke awal game
IF KANAH FOIN-640 THEN
KANAH KOTAK := kanam;
BANAH KOTAK := bawah;
KIRI KOTAK := thiri;
ATAS KOTAK := atas;
KANAH POIN:= 2;
veor RINTANGAN:= 500;

END IF;

END IF:

Laporan

181 182

194

```
-- DATA PATH
196 □
 197
                      -- pixelrow dan colomn
                      -- KOTAK PLAYER
 198
                      IF ((i_pixel_row > ATAS_KOTAK) AND (i_pixel_row < BAWAH_KOTAK) )</pre>
 199
                     AND ((i_pixel_column >= KIRI_KOTAK) AND (i_pixel_column < KANAN_KOTAK) ) THEN
 200 □
                              MUNCUL KOTAK <= '1';
 201
                      MUNCUL_KOTAK <- '0';
 202 □
                     END IF;
 203
                      -- RINTANGAN
 204
                     IF ((i_pixel_row > ATAS_RINTANGAN) AND (i_pixel_row < BAWAH_RINTANGAN))
AND ((i_pixel_column >= KIRI_RINTANGAN) AND (i_pixel_column < KANAN_RINTANGAN)) THEN
MUNCUL_RINTANGAN <= '1';
ELSE MUNCUL_RINTANGAN <= '0';
 205
 206 □
 207
 208 □
                     END IF;
 209
 210
                      -- ALAS
 211
                      IF ((i_pixel_row > ATAS_ALAS) AND (i_pixel_row < BAWAH_ALAS))</pre>
                    AND ((i_pixel_column >= KIRI_ALAS) AND (i_pixel_column < KANAN_ALAS) ) THEN MUNCUL_ALAS <= '1';
 212 =
 213
                         ELSE MUNCUL ALAS <= '0';
 214
 215
                     END IF;
 216
                      -- POIN
 217
                      IF ((i_pixel_row > ATAS_POIN) AND (i_pixel_row < BAWAH_POIN))</pre>
                      AND ((i_pixel_column >= KIRI_POIN) AND (i_pixel_column < KANAN_POIN) ) THEN MUNCUL_POIN <= '1';
 218 □
 219
 220 □
                          ELSE MUNCUL_POIN <= '0';
 221
                     END IF;
 222
 223
       =
                     -- KODE WARNA
 224
                      -- KOTAK PLAYER
                      IF (MUNCUL_KOTAK = '1' ) THEN
 225
       o_red <= X"FF"; o_green <= X"00"; o_blue <= X"00";
 226
                      -- RINTANGAN
 227
 228
       ELSIF (MUNCUL_RINTANGAN = '1' ) THEN
 229
                        o_red <= X"00"; o_green <= X"ff"; o_blue <= X"00";
                      -- ALAS
 230
                    ELSIF (MUNCUL_ALAS = '1' ) THEN
 231
      o_red <= X"FF"; o_green <= X"ff"; o_blue <= X"00";
 232
                      -- POIN
 233
                     ELSIF (MUNCUL POIN = '1' ) THEN
       234
                          o_red <= X"00"; o_green <= X"00"; o_blue <= X"FF";
 235
                      -- Selain itu, beri warna putih
ELSE o_red <= X"ff"; o_green <= X"ff"; o_blue <= X"ff";
 236
 237 □
 238
                      END IF;
 239
                 END IF;
 240
              END PROCESS;
             END behavioral;
 241
```

Lampiran 2 Modul Top Level

Lampiran 3 Modul Display

```
LIBRARY IEEE:
  1
         LIBRARY IEEE;
                                                                                                        USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
                                                                                                  2
  2
         USE IEEE.STD_LOGIC_1164.ALL;
                                                                                                  3
         USE IEEE.STD LOGIC ARITH.ALL;
         USE IEEE.STD LOGIC UNSIGNED.ALL;
  4
                                                                                                      ■ENTITY display_vhd IS
  5
                                                                                                             PORT (
  6
      ENTITY top_level_vhd IS
                                                                                                                                      : IN STD_LOGIC;
                                                                                                                  i clk
             PORT (
                                                                                                                                      : IN STD LOGIC;
                                                                                                                  i M US
                                   : IN STD_LOGIC;
: IN STD_LOGIC_VECTOR( 9 DOWNTO 0 );
                    CLOCK 50
 8
                                                                                                                  i K US
                                                                                                                                      : IN STD_LOGIC;
                                                                                                 10
 9
                    SW
                                                                                                 11
                                                                                                                  RESET
                                                                                                                                      : IN STD_LOGIC;
                                                                                                                                      : IN STD LOGIC;
10
                                    : IN STD_LOGIC;
                                                                                                 12
                                                                                                                  sp
                                                                                                                  pushataso
                                                                                                                                      : IN STD_LOGIC;
11
                    RESET
                                    : IN STD_LOGIC;
                                                                                                                                     : OUT STD_LOGIC_VECTOR( 5 DOWNTO 0 );
: OUT STD_LOGIC_VECTOR( 5 DOWNTO 0 );
: OUT STD_LOGIC_VECTOR( 5 DOWNTO 0 );
                                                                                                 14
                                                                                                                  VGA R
                                   : IN STD_LOGIC;
                    pushatas
                                                                                                                  VGA_G
                                                                                                 15
                                   : OUT STD_LOGIC_VECTOR( 5 DOWNTO 0 );
: OUT STD_LOGIC_VECTOR( 5 DOWNTO 0 );
: OUT STD_LOGIC_VECTOR( 5 DOWNTO 0 );
13
                     VGA R
                                                                                                                  VGA_B
                                                                                                 16
14
                    VGA G
                                                                                                                                      : OUT STD LOGIC;
                                                                                                                  VGA HS
                                                                                                 17
                                                                                                                  VGA_VS
                                                                                                                                      : OUT STD_LOGIC;
                    VGA B
15
                                                                                                                  VGA_CLK
VGA_BLANK
                                                                                                                                     : OUT STD_LOGIC;
: OUT STD LOGIC;
                                                                                                 19
                                    : OUT STD_LOGIC;
                    VGA_HS
16
                                                                                                 20
                                     : OUT STD_LOGIC;
17
                    VGA_VS
                                                                                                 21
                                                                                                                  poin
                                                                                                                                      : OUT INTEGER);
18
                    VGA CLK
                                    : OUT STD LOGIC;
                                                                                                        END display_vhd;
                                                                                                 22
19
                    VGA BLANK : OUT STD LOGIC;
                                    : OUT STD_LOGIC_VECTOR( 35 DOWNTO 0 );
: OUT STD_LOGIC_VECTOR( 9 DOWNTO 0 );
20
                    GPIO 0
                                                                                                      ■ARCHITECTURE behavioral OF display_vhd IS
                                                                                                 25
                    LEDR
                                                                                                                                                      STD_LOGIC_VECTOR (5 DOWNTO 0);
STD_LOGIC_VECTOR (5 DOWNTO 0);
STD_LOGIC_VECTOR (5 DOWNTO 0);
                                                                                                        SIGNAL red
22
                                                                                                        SIGNAL
                                                                                                 27
                                                                                                                  green
23
         END top_level_vhd;
                                                                                                        SIGNAL
                                                                                                                  blue
                                                                                                                                                      STD_LOGIC_VECTOR (7 DOWNTO 0);
STD_LOGIC_VECTOR (7 DOWNTO 0);
24
                                                                                                 29
                                                                                                        STGNAT.
                                                                                                                  red_color
                                                                                                        SIGNAL
                                                                                                 30
                                                                                                                  green color
                                                                                                        SIGNAL
                                                                                                                  blue_color
                                                                                                                                                      STD_LOGIC_VECTOR (7 DOWNTO 0);
       ARCHITECTURE behavioral OF top_level_vhd IS
 25
                                                                                                                                                      STD_LOGIC_VECTOR (9 DOWNTO 0);
STD_LOGIC_VECTOR (9 DOWNTO 0);
                                                                                                 32
                                                                                                        SIGNAL.
                                                                                                                  pixel row
 26
       COMPONENT display_vhd IS
                                                                                                        SIGNAL
                                                                                                 33
                                                                                                                  pixel column
                                                                                                 34
                                                                                                        STGNAT.
                                                                                                                  red_on
                                                                                                                                                      STD_LOGIC;
       PORT (
                                                                                                                                                      STD LOGIC:
                                                                                                        SIGNAL
                    i_clk
                                                                                                                  green on
                                         : IN STD LOGIC;
                                                                                                 35
 28
                                                                                                        SIGNAL blue_on
                                                                                                                                                      STD_LOGIC;
 29
                    i_M_US
                                         : IN STD LOGIC;
                                                                                                 37
 30
                    i K US
                                         : IN STD_LOGIC;
 31
                    RESET
                                         : IN STD LOGIC;
                                         : IN STD_LOGIC;
: IN STD LOGIC;
 32
                    SD
                                                                                                  39
                                                                                                       COMPONENT vga IS
                    pushataso
 33
                                                                                                  40
                                                                                                              PORT (
                                         : OUT STD_LOGIC_VECTOR( 5 DOWNTO 0 );
: OUT STD_LOGIC_VECTOR( 5 DOWNTO 0 );
                    VGA R
 34
                                                                                                                  i clk
                                                                                                                                         : IN
                                                                                                                                                   STD LOGIC;
                                                                                                  41
 35
                    VGA G
                                                                                                  42
                                                                                                                   i_red
                                                                                                                                                  STD_LOGIC;
STD_LOGIC;
                    VGA B
                                         : OUT STD_LOGIC_VECTOR( 5 DOWNTO 0 );
                                                                                                  43
                                                                                                                   i green
                                                                                                                                         : IN
 37
                    VGA HS
                                         : OUT STD LOGIC;
                                                                                                   44
                                                                                                                   i_blue
                                                                                                                                         : IN
                                                                                                                                                   STD LOGIC;
                                                                                                   45
                                                                                                                                         : OUT
                                                                                                                                                  STD LOGIC;
 38
                    VGA_VS
                                         : OUT STD_LOGIC;
                                                                                                                   o red
                                                                                                                                         : OUT
                                                                                                   46
                                                                                                                   o green
                                                                                                                                                   STD_LOGIC;
 39
                    VGA_CLK
                                         : OUT STD_LOGIC;
                                                                                                                                                  STD_LOGIC:
                                                                                                   47
                                                                                                                   o blue
 40
                    VGA BLANK
                                         : OUT STD LOGIC:
                                                                                                                                         : OUT
                                                                                                   48
                                                                                                                   o_horiz_sync
                                                                                                                                                   STD_LOGIC;
                                         : OUT INTEGER);
 41
                    poin
                                                                                                                                         : OUT
                                                                                                                                                  STD LOGIC:
                                                                                                   49
                                                                                                                   o vert sync
         END COMPONENT:
                                                                                                                                                  STD_LOGIC_VECTOR( 9 DOWNTO 0 );
STD_LOGIC_VECTOR( 9 DOWNTO 0 ));
 42
                                                                                                                   o_pixel_row
 43
                                                                                                         o_pixel_column
END COMPONENT;
                                                                                                                                         : OUT
                                                                                                  51
                                                                                                  52
 44
                                                                                                  53
 45
         module vga : display vhd
                                                                                                       ■ COMPONENT color_rom_vhd IS
            PORT MAP (
 46
                                                                                                  55
                                                                                                              PORT (
 47
             i clk
                                             CLOCK 50,
                                                                                                                                      : IN STD_LOGIC;
: IN STD_LOGIC;
: IN STD_LOGIC;
                                                                                                  56
57
                                                                                                                   clockfpga
 48
             i M US
                                         => M_US,
                                                                                                                   SD
 49
             i_K_US
                                         => K US,
                                                                                                                   i_M_US
                                                                                                                                      : IN STD_LOGIC;
: IN STD_LOGIC;
                                         => sp,
=> RESET,
 50
                                                                                                  59
                                                                                                                   i K US
                                                                                                   60
                                                                                                                   RESET
             RESET
 51
                                                                                                                                     : IN SID_LOGIC;
: IN STD_LOGIC_VECTOR( 9 DOWNTO 0 );
: IN STD_LOGIC_VECTOR( 9 DOWNTO 0 );
: OUT STD_LOGIC_VECTOR( 7 DOWNTO 0 );
: OUT STD_LOGIC_VECTOR( 7 DOWNTO 0 );
: OUT STD_LOGIC_VECTOR( 7 DOWNTO 0 );
                                                                                                  61
                                                                                                                   pushatas
             pushataso
                                          => pushatas,
 52
                                                                                                                   i pixel column
 53
              VGA_R
                                         =>
                                               VGA_R,
                                                                                                  63
                                                                                                                   i_pixel_row
o_red
 54
             VGA G
                                               VGA G,
 55
             VGA B
                                              VGA B,
                                                                                                  65
                                                                                                                   o green
 56
             VGA HS
                                         => VGA HS,
                                                                                                         o_poin
END COMPONENT;
 57
             VGA_VS
                                         => VGA_VS,
                                                                                                   67
                                                                                                                                      : OUT INTEGER);
 58
             VGA CLK
                                         =>
                                               VGA CLK.
             VGA BLANK
 59
                                         => VGA BLANK.
 60
                                         => poin
             poin
 61
 62
         END behavioral;
 63
```

```
70 BEGIN
 71
      vga_driver0 : vga
 72
    PORT MAP (
 73
 74
         i_clk
                        => i clk,
        i_red
i_green
i_blue
 75
                        => '1',
 76
                        => '1',
                        => '1',
 77
 78
                        => red_on,
        o_red
 79
         o green
                        => green on,
        o blue
                        => blue_on,
 80
                      => VGA_...,
=> VGA_VS,
=> pixel_row,
                        => VGA HS,
        o horiz sync
 81
 82
         o_vert_sync
        o_pixel_row
 83
 84
        o_pixel_column => pixel_column);
 85
      color rom0 : color rom vhd
 86
    PORT MAP (
 87
         i_M_US
                         => i_M_US,
 88
 89
        i_K_US
                        => i_K_US,
        sp
RESET
 90
                        => sp,
                        => RESET,
 91
 92
        clockfpga
                       => i_clk,
        pushatas
 93
                         => pushataso,
         i_pixel_column => pixel_column,
 94
 95
        i_pixel_row => pixel_row,
 96
                         => red color,
         o red
                        => green_color,
 97
        o_green
                        => blue_color,
 98
        o blue
 99
         o poin
                         => poin);
100
101
      red <= red_color (7 DOWNTO 2);
102
      green <= green_color(7 DOWNTO 2);
103
    blue <= blue_color (7 DOWNTO 2) ;
104
```

```
106 PROCESS (red_on, green_on, blue_on, red, green, blue)
107
    BEGIN
108
110 ELSE VGA_R <= "000000";
111
     END IF;
112
115
     END IF;
116
119
     END IF;
120
121
    END PROCESS;
122
123
124
125
126 END behavioral;
```

Lampiran 4 Penilaian Rekan

