

# 数字电路与逻辑设计实验报告

学院：数据科学与计算机学院

专业：软件工程

姓名：张伟焜

学号：17343155

实验名称：期末作业

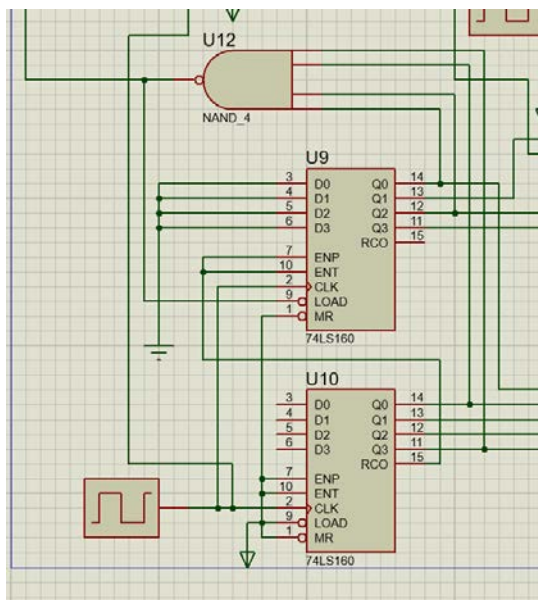
上课时间：周五晚

一、使用 Proteus 和 Basys3 实验板，实现具有分、秒计时的计数器，计数结果要求在 7 段数码管（7SEG-MPX4-CC-BLUE）上显示，并检查结果。

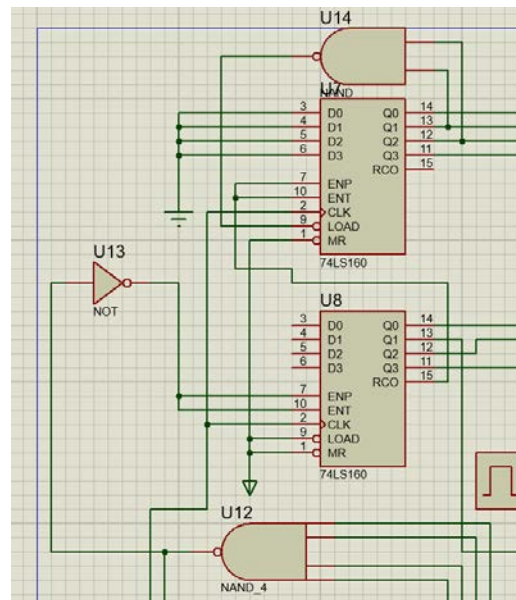
## 1.实验设计思路

**计数部分：**使用 74LS160 十进制计数器作为分和秒的计数，当分/秒达到 59 的时候向分/秒的十位置位输入端（load）输入低电平，在下一个时钟信号到来的时候触发置零，使得分秒可以实现 60 进制的切换。其中，秒的 load 输入信号为秒的两位分别为 5 和 9 的时候输入，而分的 load 输入信号则要在分为 60 时输入。

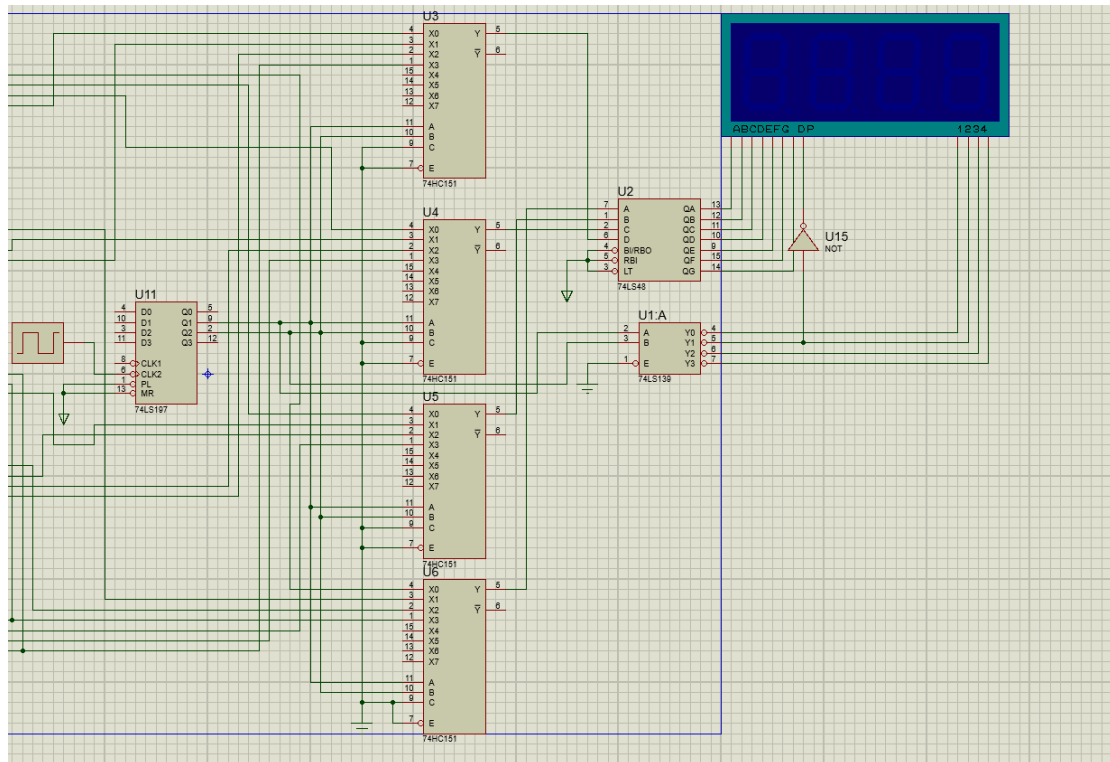
秒计数：



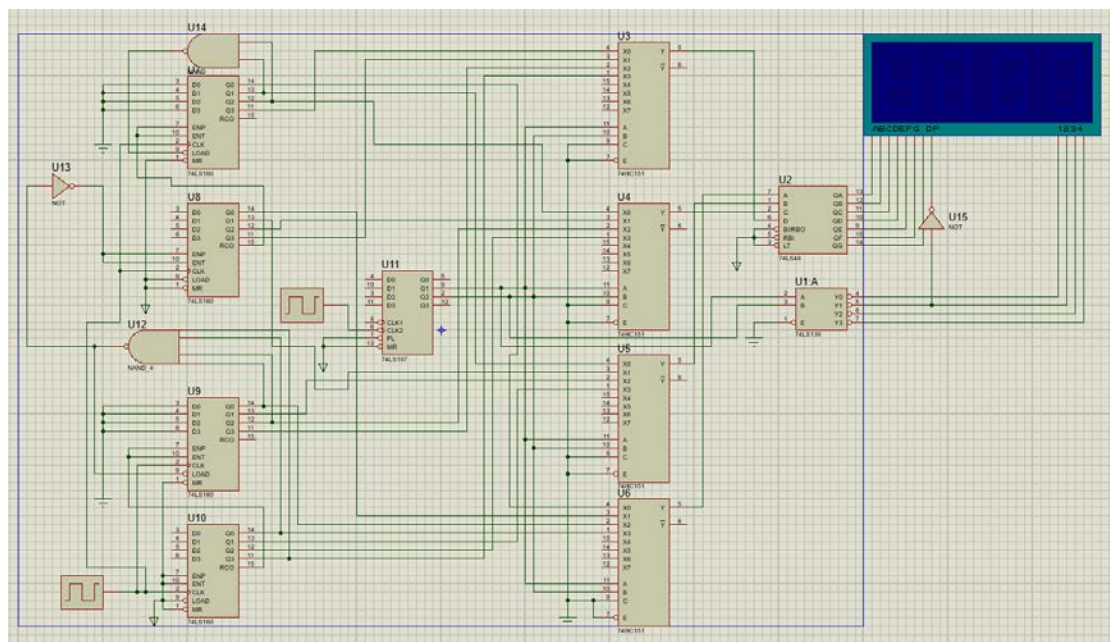
分计数：



**输出部分：**使用七段数码管显示，采用扫描显示的方法。使用了4个74HC151 8选1数据选择器对输出的BCD码进行选择（C=0,A,B接4进制计数器），再使用一个74LS139四位译码器（A,B接4进制计数器与74HC151同步）对输出的地址进行选择，采用高电平扫描，实现四个数字的同时输出。



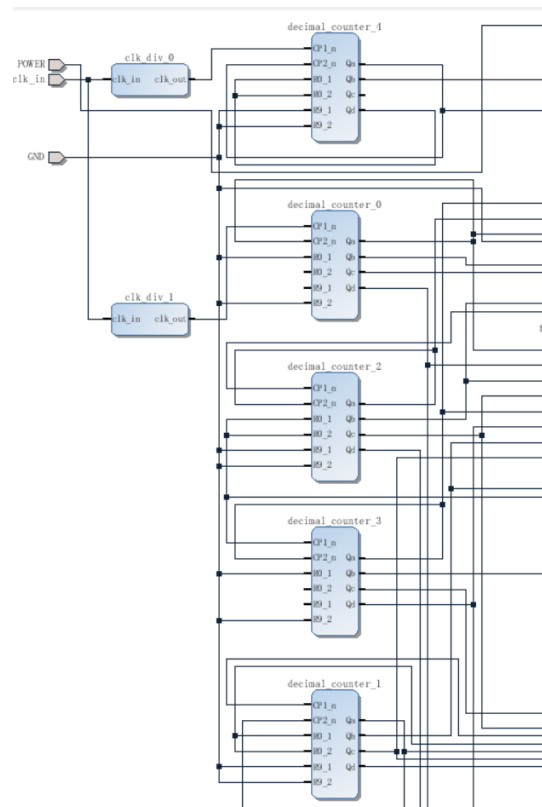
## 2.Proteus 仿真：



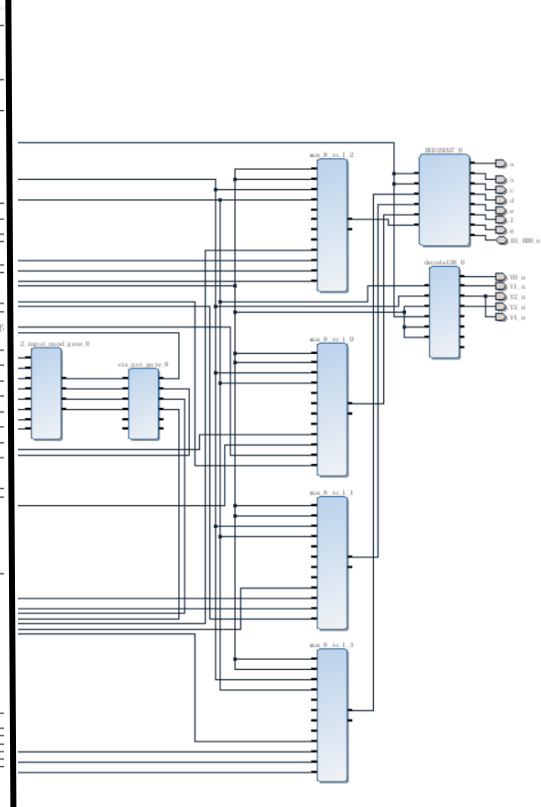
### 3.Basys3 实验板实现

由于没有给 74LS160 的 IP 核, 所以在 Vivado 中使用 74LS90 来进行计数。思路同上述 Proteus 仿真相似。

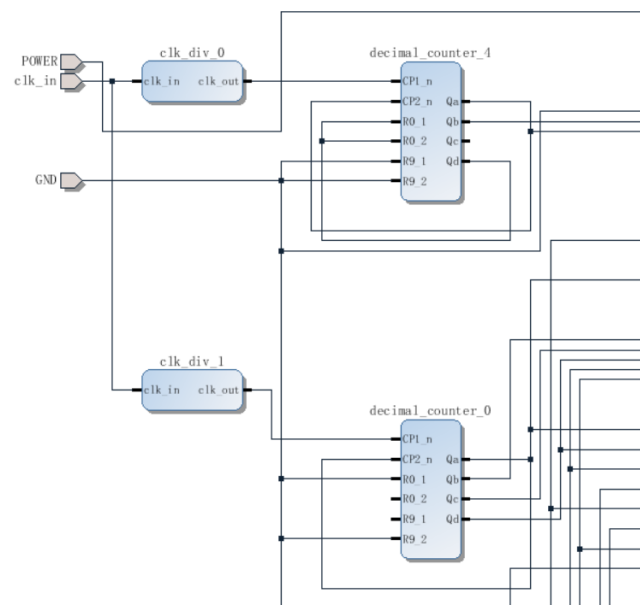
计数：

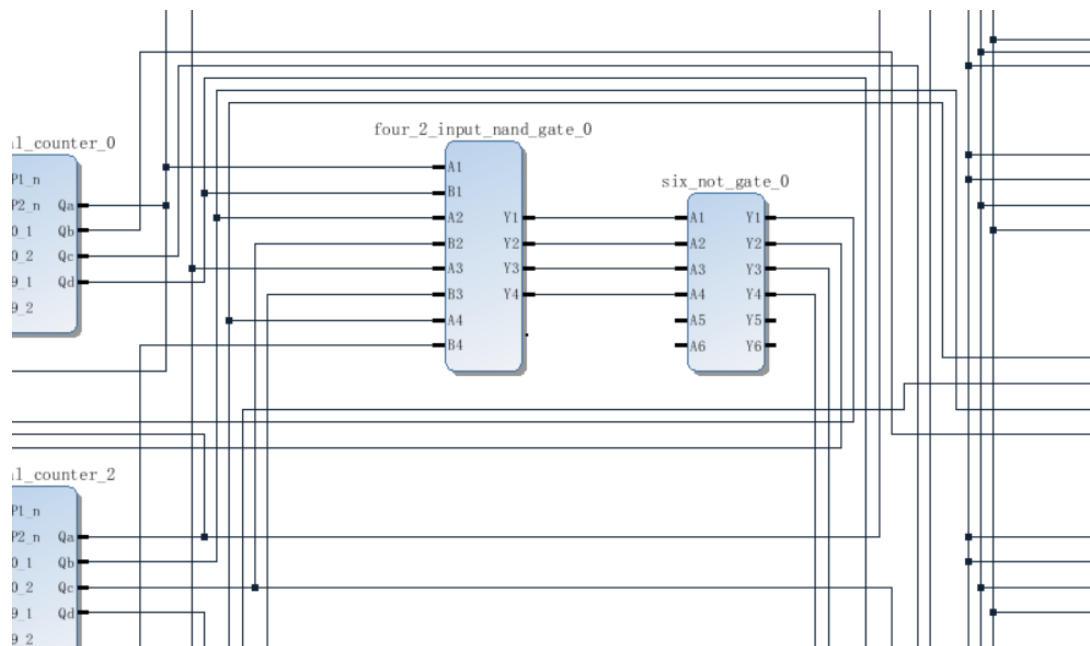
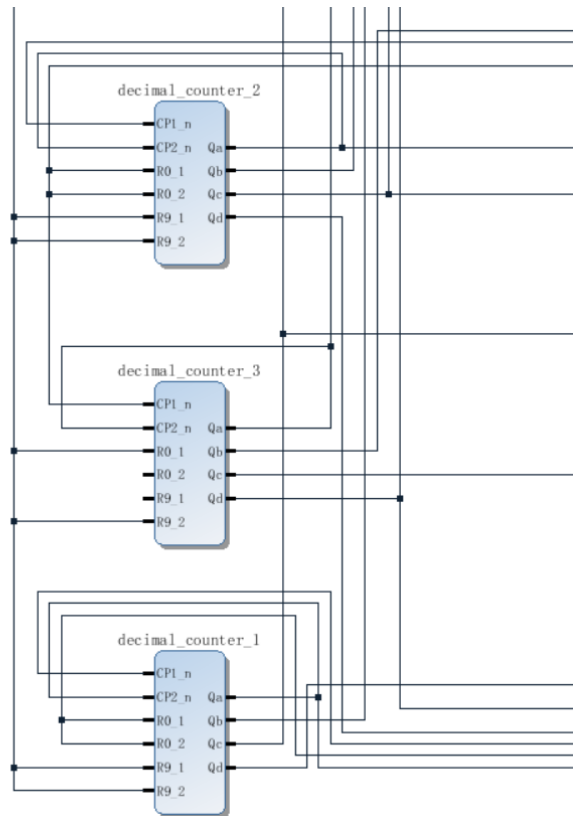


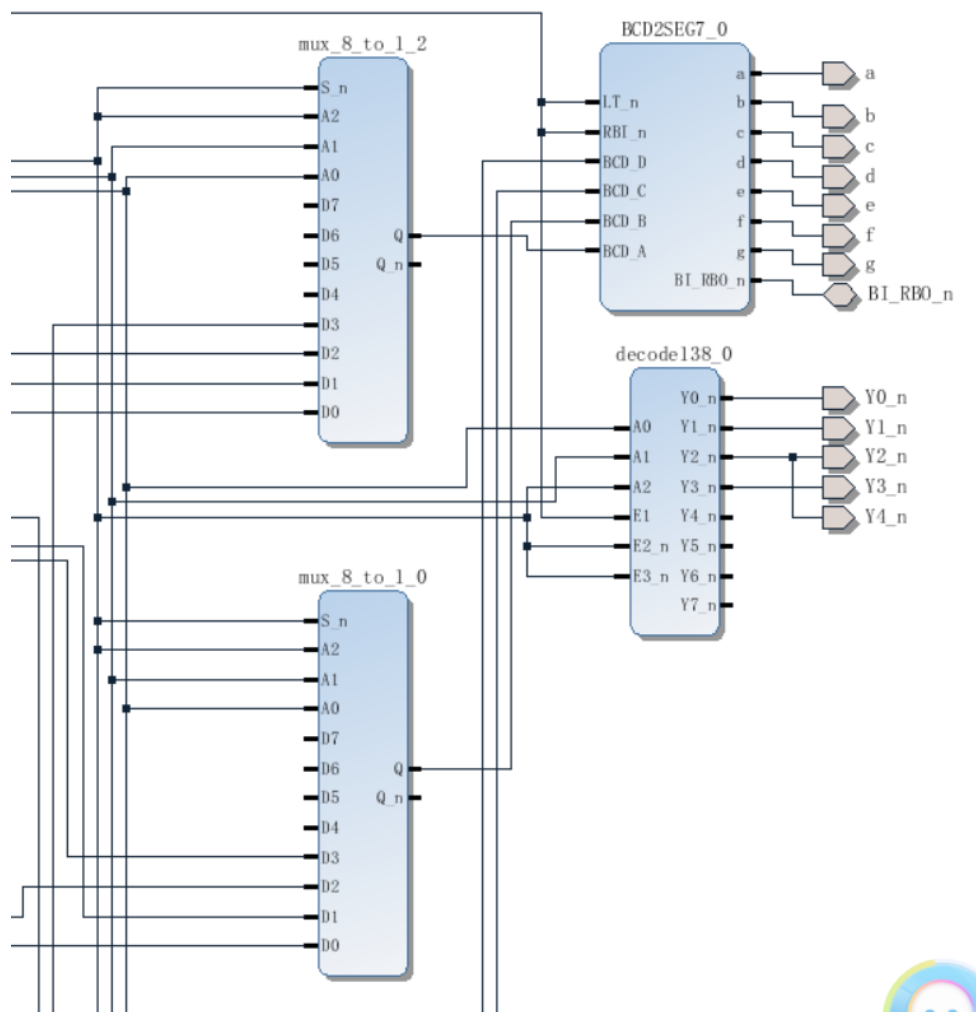
显示：



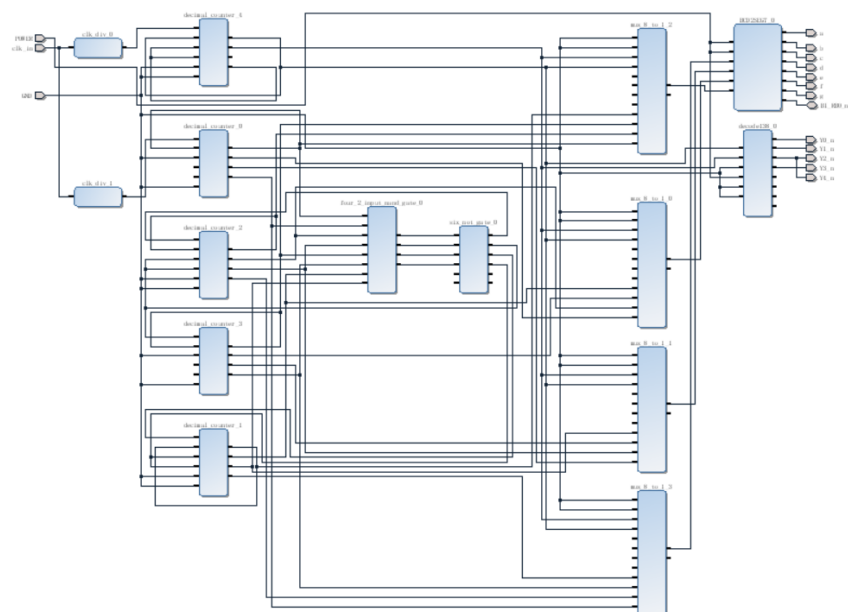
细节图：







总连线图：

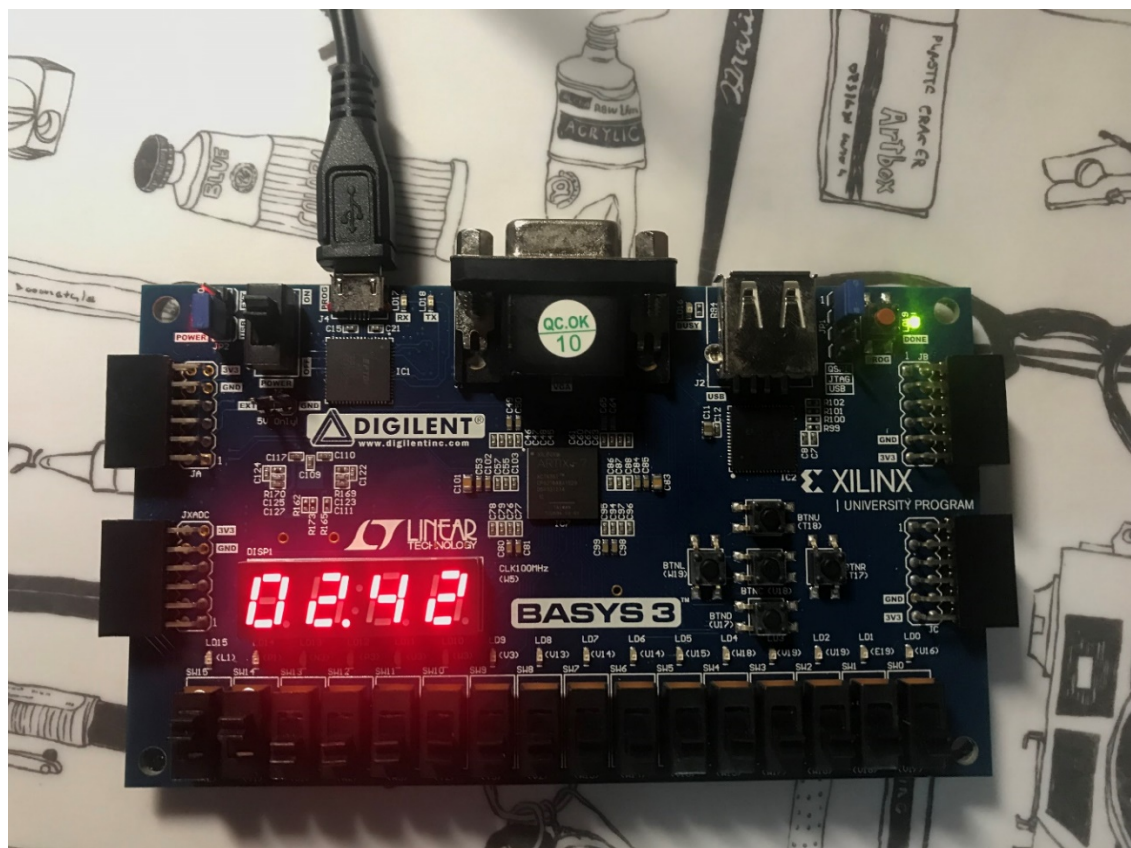




约束文件（引脚分配）：

```
D:/The Second Semester/Digital Circuits and Logical Design Laboratory/Final Assignment/basys3_1/clock.srcs/constrs_1/new/clock.xdc
1 set_property PACKAGE_PIN W7 [get_ports a]
2 set_property IOSTANDARD LVCMOS33 [get_ports a]
3 set_property PACKAGE_PIN W6 [get_ports b]
4 set_property IOSTANDARD LVCMOS33 [get_ports b]
5 set_property IOSTANDARD LVCMOS33 [get_ports BI_RBO_n]
6 set_property PACKAGE_PIN U8 [get_ports c]
7 set_property IOSTANDARD LVCMOS33 [get_ports c]
8 set_property PACKAGE_PIN W5 [get_ports clk_in]
9 set_property IOSTANDARD LVCMOS33 [get_ports clk_in]
10 set_property PACKAGE_PIN V8 [get_ports d]
11 set_property IOSTANDARD LVCMOS33 [get_ports d]
12 set_property PACKAGE_PIN U5 [get_ports e]
13 set_property IOSTANDARD LVCMOS33 [get_ports e]
14 set_property PACKAGE_PIN V5 [get_ports f]
15 set_property IOSTANDARD LVCMOS33 [get_ports f]
16 set_property PACKAGE_PIN U7 [get_ports g]
17 set_property IOSTANDARD LVCMOS33 [get_ports g]
18 set_property PACKAGE_PIN W4 [get_ports Y3_n]
19 set_property PACKAGE_PIN V4 [get_ports Y2_n]
20 set_property PACKAGE_PIN U4 [get_ports Y1_n]
21 set_property PACKAGE_PIN U2 [get_ports Y0_n]
22 set_property PACKAGE_PIN V17 [get_ports GHD]
23 set_property PACKAGE_PIN R2 [get_ports POWER]
24 set_property PACKAGE_PIN T1 [get_ports BI_RBO_n]
25 set_property IOSTANDARD LVCMOS33 [get_ports GHD]
26 set_property IOSTANDARD LVCMOS33 [get_ports POWER]
27 set_property IOSTANDARD LVCMOS33 [get_ports Y0_n]
28 set_property IOSTANDARD LVCMOS33 [get_ports Y1_n]
29 set_property IOSTANDARD LVCMOS33 [get_ports Y2_n]
30 set_property IOSTANDARD LVCMOS33 [get_ports Y3_n]
31 set_property PACKAGE_PIN V7 [get_ports Y4_n]
32 set_property IOSTANDARD LVCMOS33 [get_ports Y4_n]
```

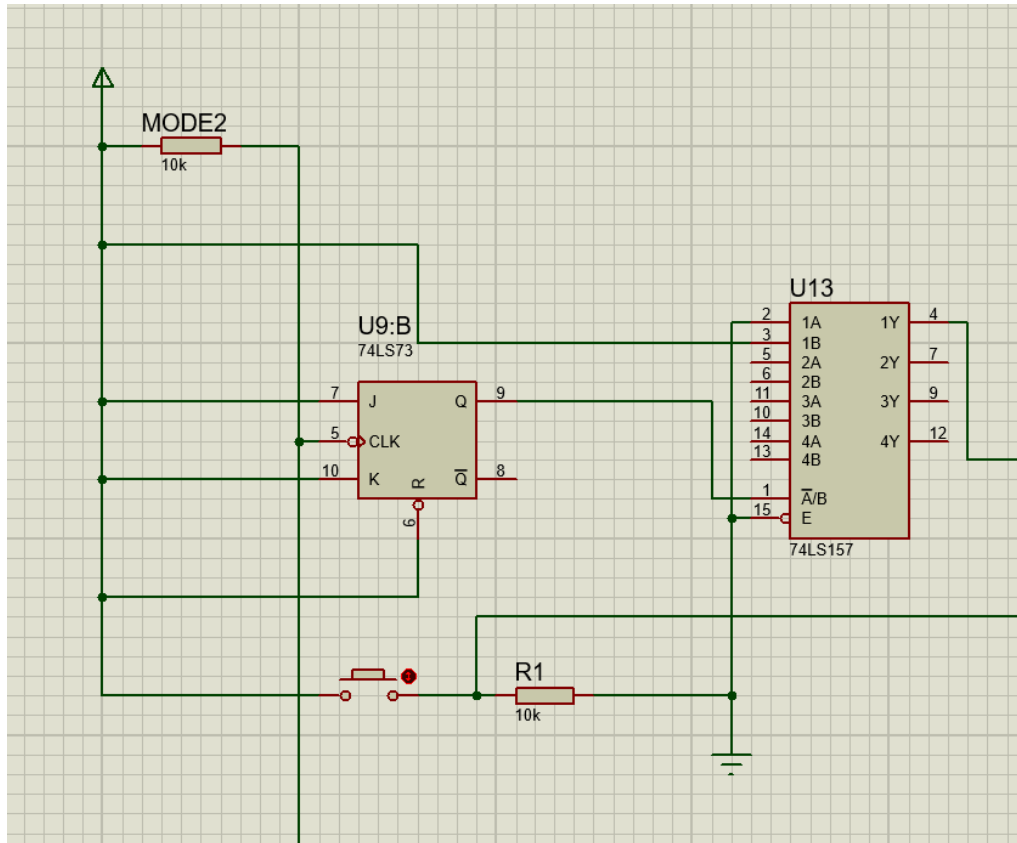
4.效果图：



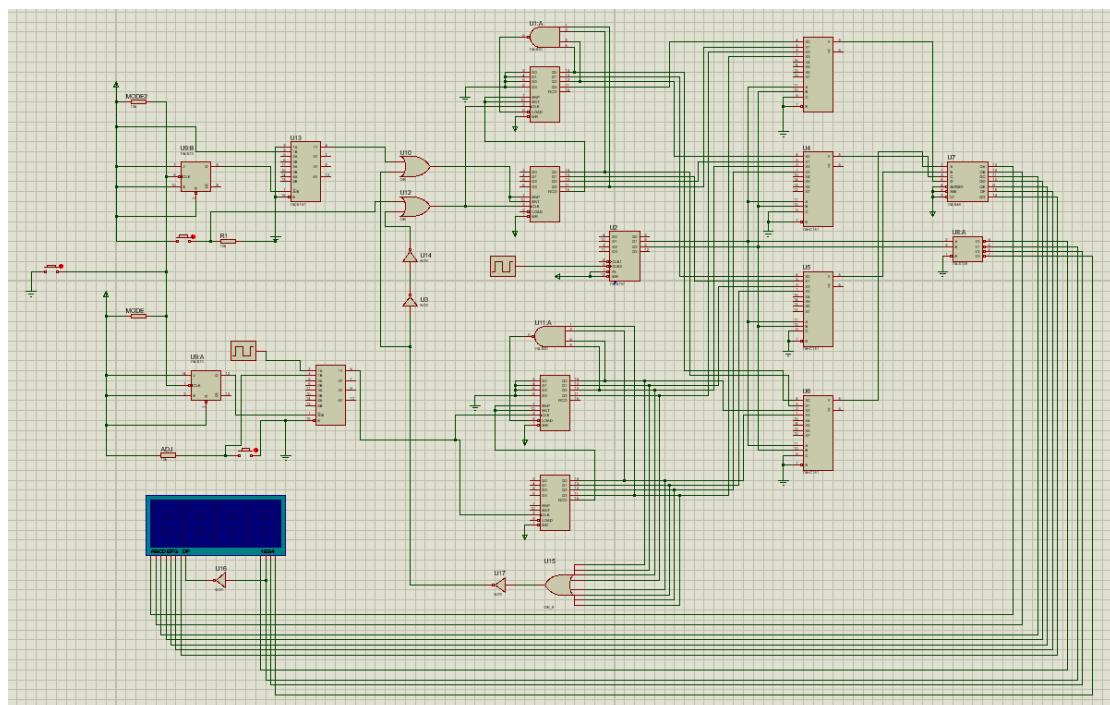
The circuit diagram shows a 74LS73 flip-flop (U9:A) and a 74LS163 counter (U10:A) connected to a common power supply and ground. The power supply is represented by a green line with a triangle symbol at the top and a ground symbol at the bottom. A 10k resistor (RES) is connected between the power supply and the ground. The 74LS73 flip-flop has a clock input (CLK) connected to a square wave pulse source. The flip-flop's output (Q) is connected to the clock input (CLK) of the 74LS163 counter. The 74LS163 counter has four outputs (1Y, 2Y, 3Y, 4Y) connected to a 4-bit binary display (7-segment display). The display shows the binary value 1011, which is the decimal value 11. The 74LS163 counter also has a reset input (RES) connected to the power supply and a clock input (CLK) connected to the ground.

“分”加一：

进入 MOD 模式（选通端为高电平）后 1Y 的输出与 1B 相同，按下“秒”加一，产生一个脉冲，实现加一。



2.Proteus 仿真：

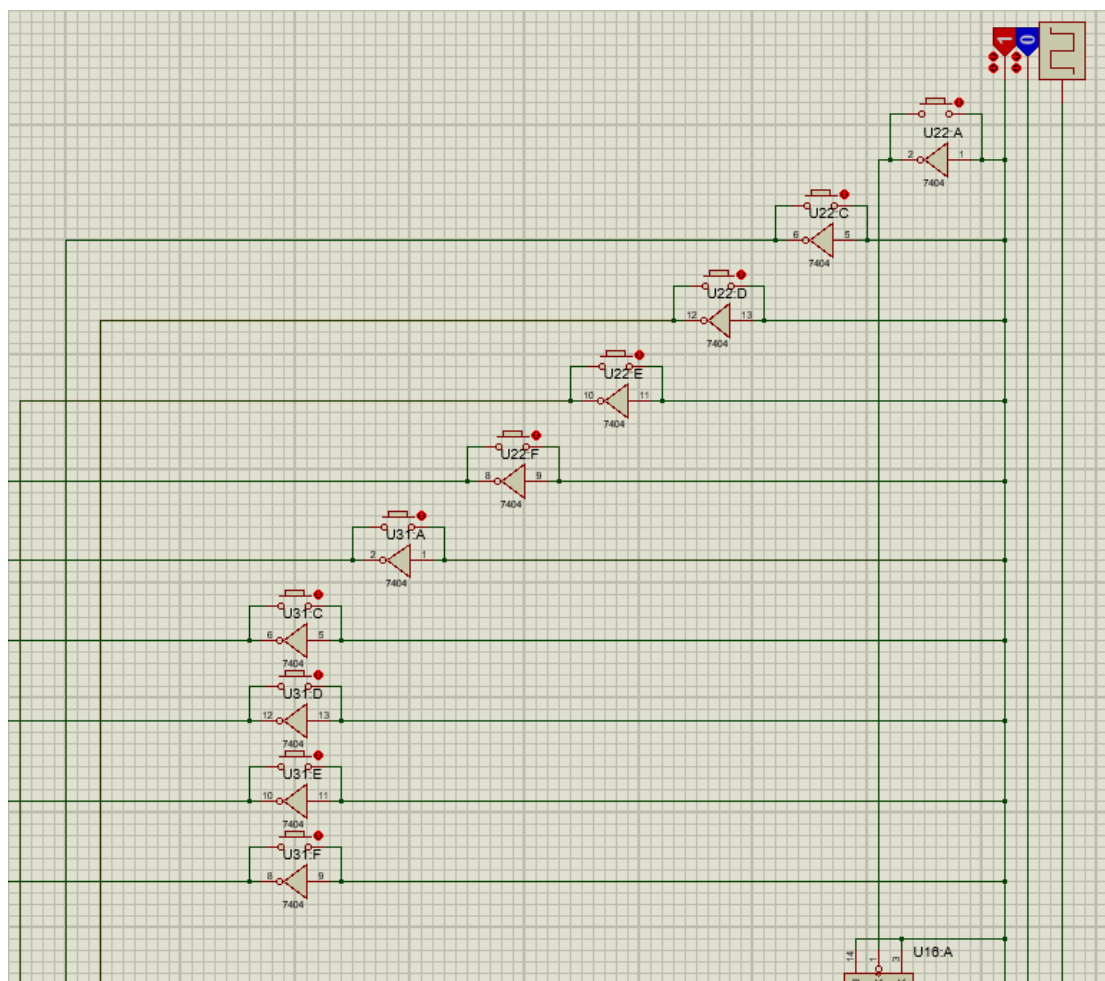




三、使用 Proteus 实现具有年、月、日、时、分、秒计时的计时器，计时结果要求显示在 7 段数码管上，要求年、月、日、时、分、秒均可调节。

### 1.控制端

从上到下依次为：mod、秒、分、时、日、月、年（个位、十位、百位、千位）控制按钮  
按下按钮，瞬间产生一个高电平。Mod 同样对 74LS157 进行选择。



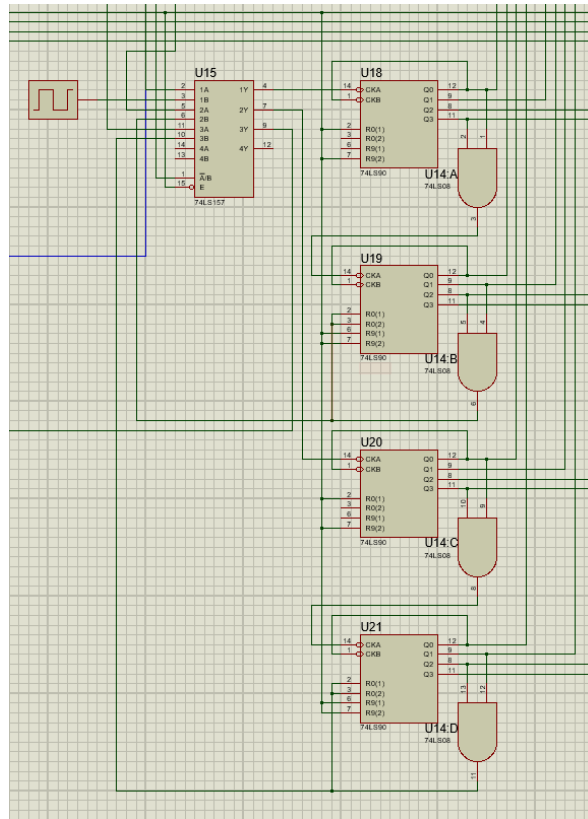
为了方便调节，

在 mod 模式下，调节时间时不会产生进位。

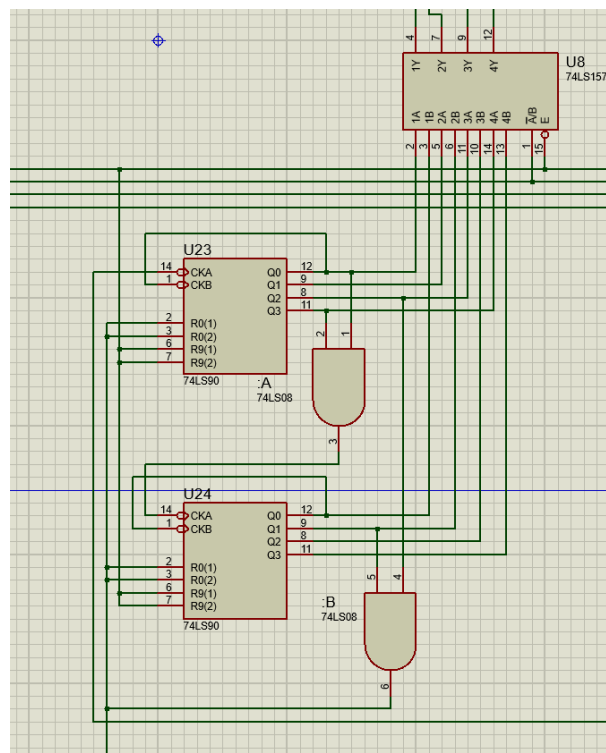
例如：现在时间为 30 分 59 秒，如果此时进入调节模式，点击秒加一结果是 30 分 0 秒  
改设定可以解决从高位开始设定时间时，低位时间的循环及进位会对高位时间产生影响的问题。

## 2.“分、秒”部分

思路同 basys3 板：

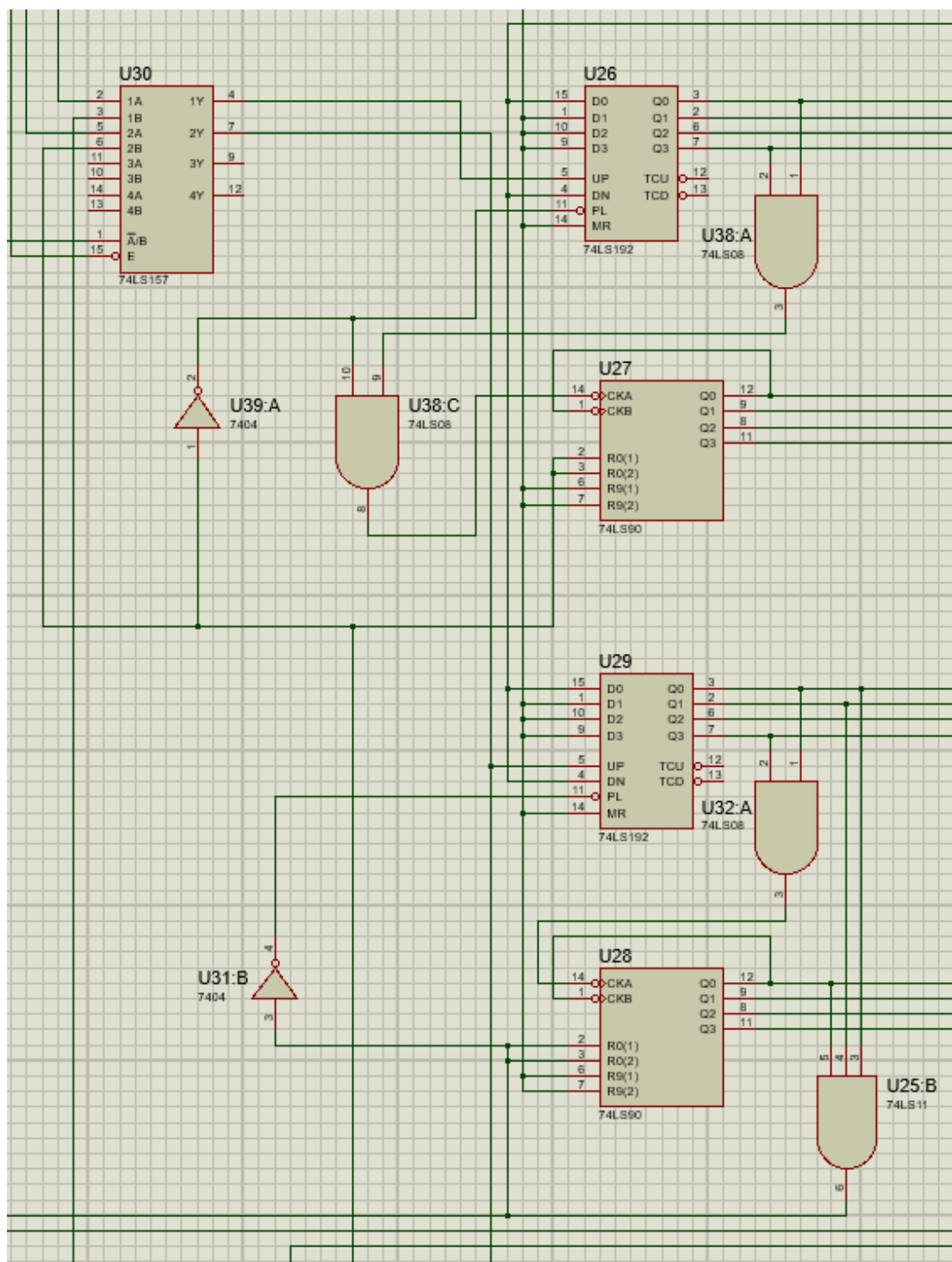


## 3.“时”部分



“时”满 24 进 1

#### 4.“月、日”部分

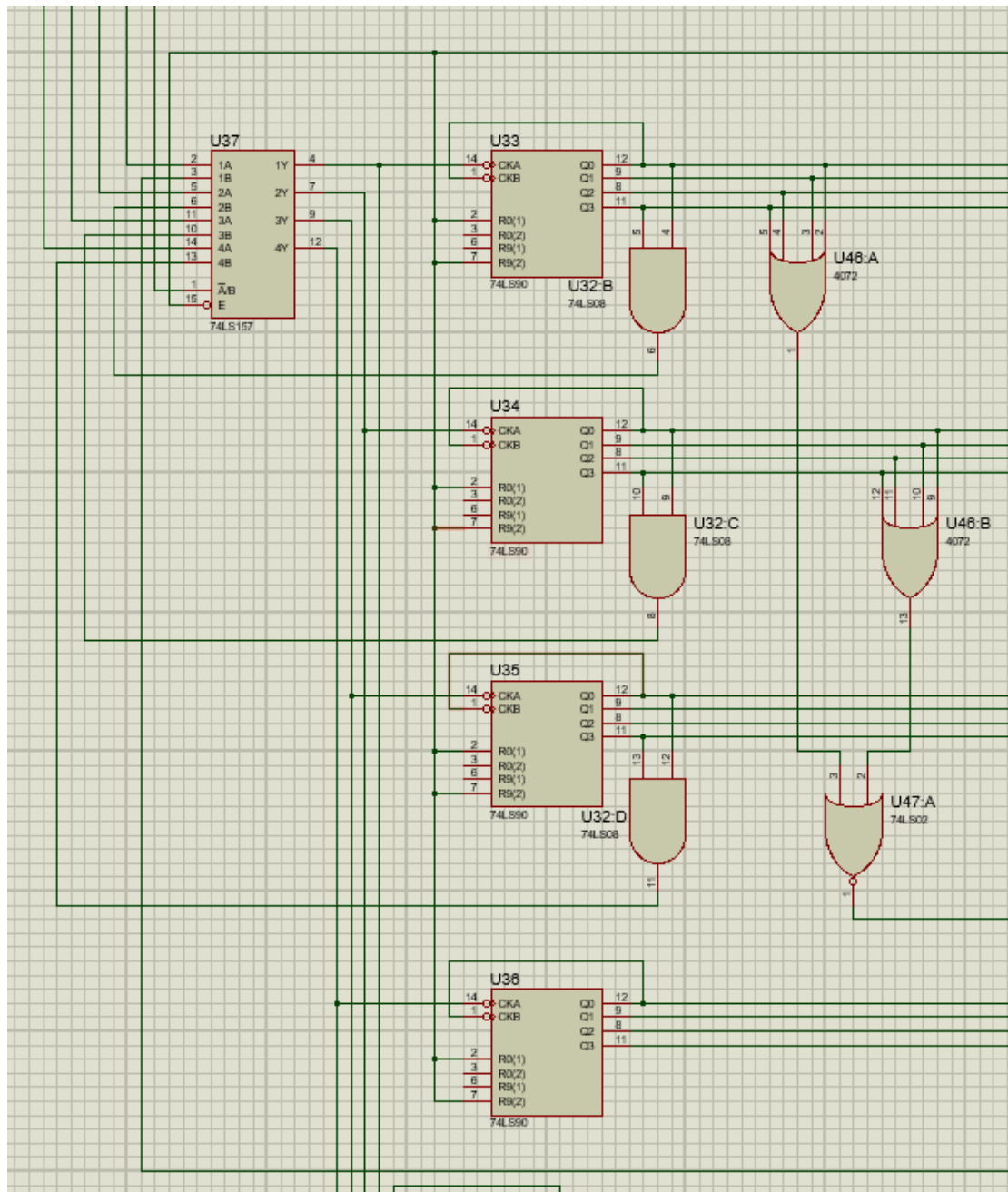


“日”在一、三、五、七、八、十、十二月满 31 进 1；四、六、九、十一月满 30 进 1；闰年二月 29 进 1，平年二月 28 进 1

“月”满 12 进 1；

注：初始时间为 1 月 1 日

## 5.“年”部分



为了方便调节时间，设置了四个按钮，可实现分别对年的个位、十位、百位、千位的独立调节。每一位显示范围均为 0~9。

初始时间为 0000 年

## 6.闰年及每月不同天数的实现（加分项）

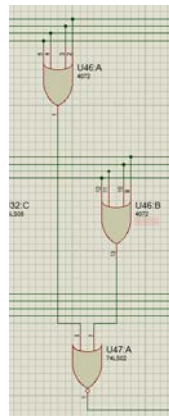
### 闰年的思路：

闰年是能被 4 整除且不能被 100 整除的年份，或能被 400 整除的年份。因为 100 能被 4 整除，所以将年化为两组（个位十位为第一组，百位千位为第二组），每组均为两位数。

若第一组不是 00，则年份不能被 100 整除，也不能被 400 整除，只需判断能否被 4 整除，若能，则为闰年，否则是平年；若第一组为 00，则年份能被 100 整除，此时需判断年份能否被 400 整除，即判断第二组能否被四整除，若能，则为闰年，否则是平年。

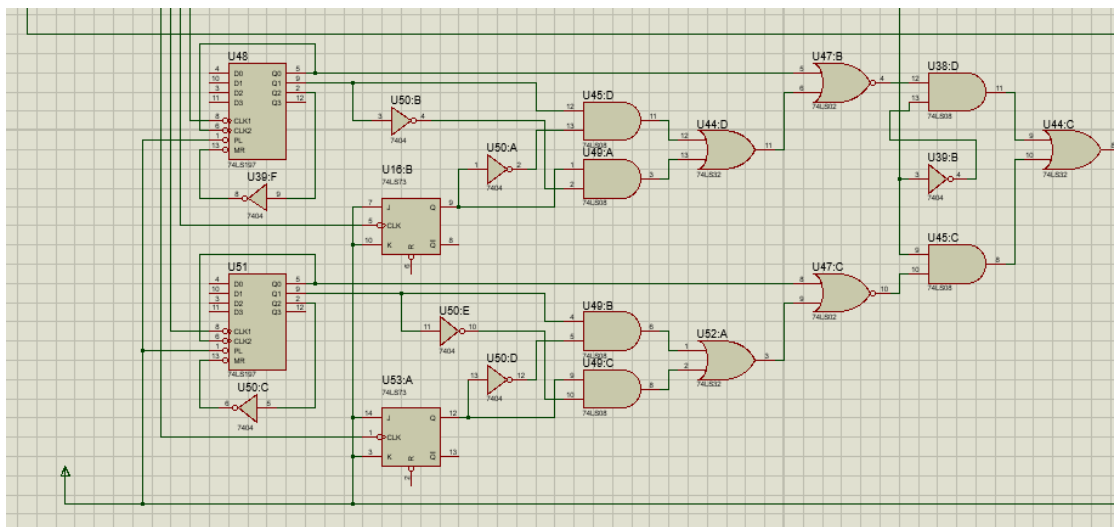
所以问题化简为一个两位数能否被四整除的问题。

（图：判断第一组是否为 00）



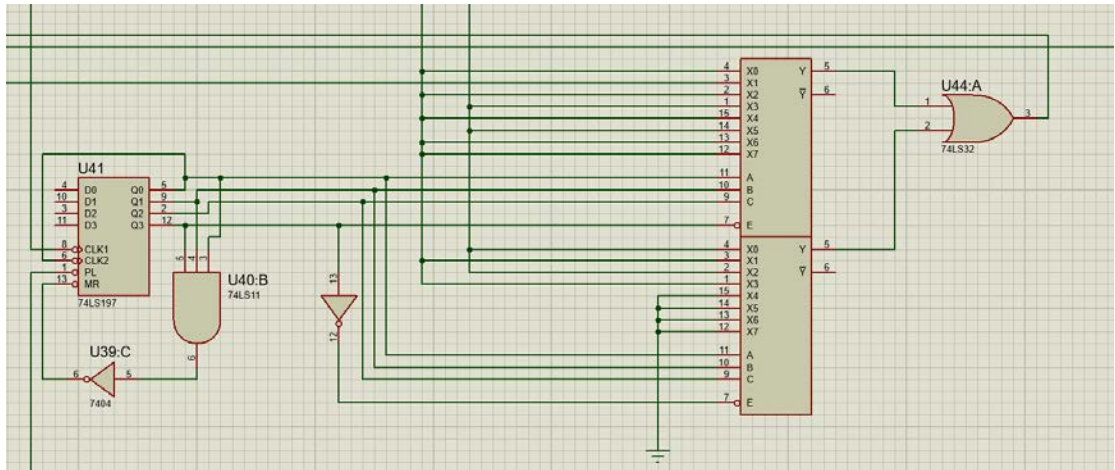
### 判断能否被 4 整除：

采用四进制计数（00, 01, 10, 11），每当出现 00，则代表能被四整除。被除数是两位数，每当个位加 1，计数器就加 1，每当十位加 1，相当于个位加 2，（也就是 00->10; 01->11; 10->00; 11->01;），通过观察，发现只需将计数器的 Q1 反转，Q0 不变就可实现。所以加入 JK 触发器用以实现反转功能。

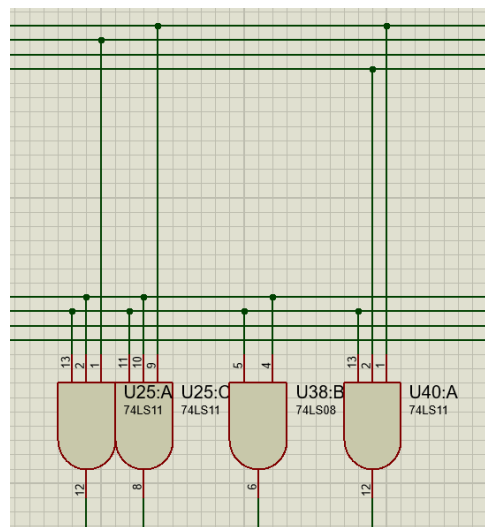


### 每月不同天数的实现：

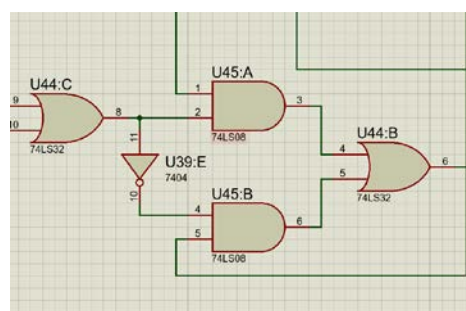
用计数器实现 12 进制计数（代表十二个月），用两个 74LS151 进行选择。输出结果为高电平时表示“日”已满需要向“月”进位，同时将“日”置为 1。



用四个多输入与门实现当“日”部分出现 29，30，31，32 时产生高电平，分别代表 28 天，29 天，30 天，31 天。

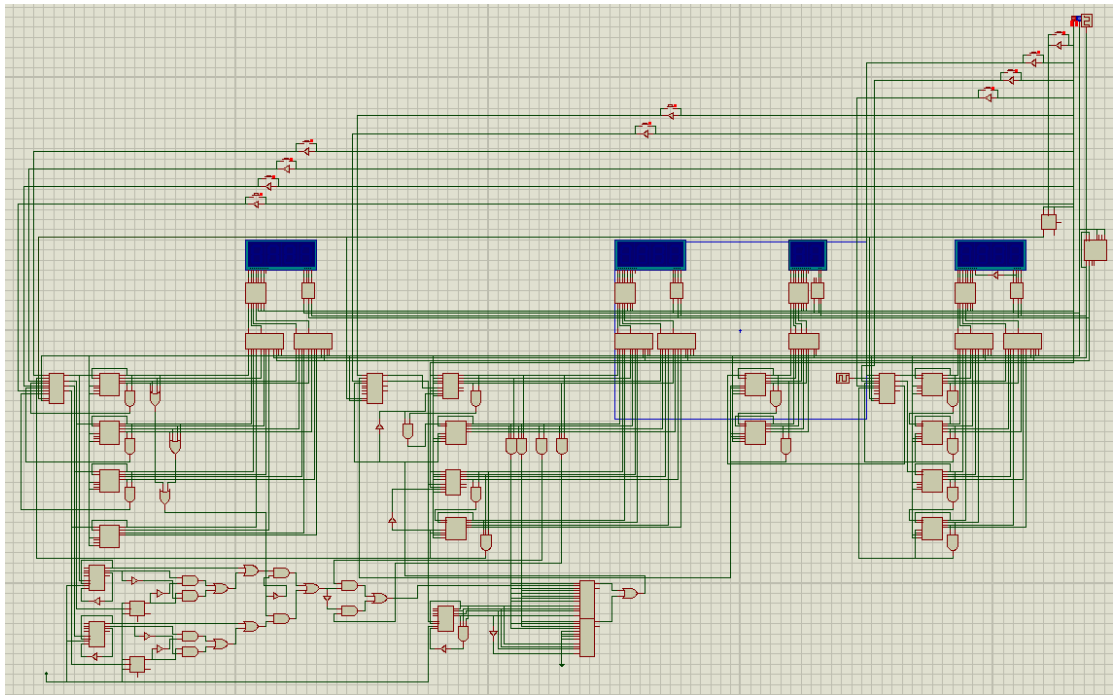


将代表 30 与 31 天的与门输出连接至对应的 74LS151 数据输入端（对应月份）。将代表 29 天的输出和年的判断输出（闰年为高电平，平年为低电平）相与，将代表 28 天的输出和年的判断输出的非相与。将两结果取或，再接入 74LS151 对应的 2 月份输入。

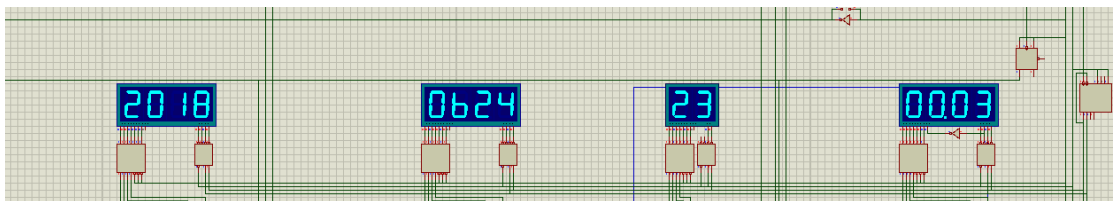




## 5.总线路



## 6.显示效果



手动调至 2012 年 2 月 29 日 23 点 59 分 59 秒：



运行一秒后：



## 四、实验心得

期末作业是对我们所学知识的一次综合，同时又有一些新的东西让自己去挖掘探索。三项任务难度依次递增，每项任务都以前面的任务为基础，让我感受到一点一滴地进步与完善的过程。同时，由于任务难度较大，线路图较复杂，连接过程中常常出错，Proteus8 还时常闪退，这要求我们要细心，有耐心，有恒心地进行仿真操作，同时培养了我随手 ctrl+s 的习惯。