

数字电路与逻辑设计实验报告

学院：数据科学与计算机学院

专业：软件工程

姓名：张伟焜

学号：17343155

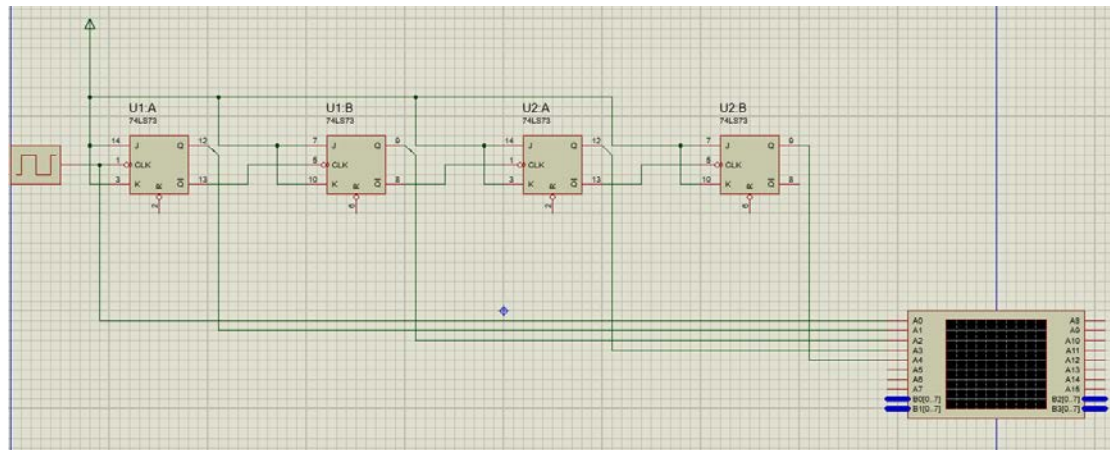
实验名称：计数器的设计

实验目的：熟悉 J-K 触发器的逻辑功能，掌握 J-K 触发器构成异步计数器和同步计数器。

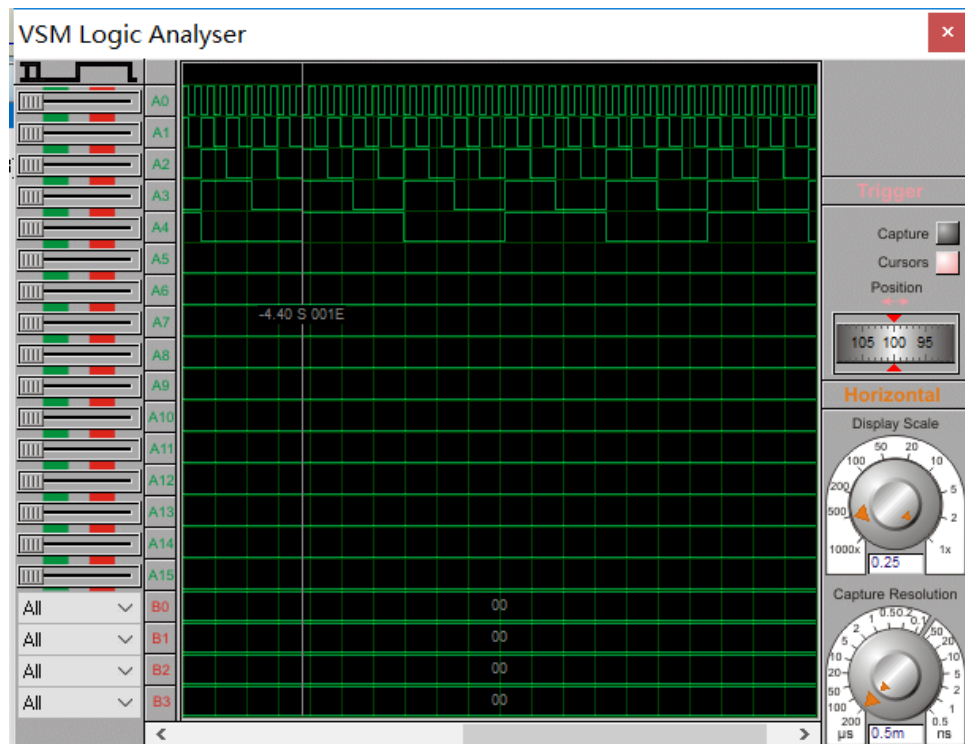
一、使用 JK 触发器设计一个 16 进制异步减法计数器，并用逻辑分析仪观察并记录 CP 和每一位的输出波形。

异步计数器的每一级的触发器的 CLK 信号是不同的，触发器状态变化不是同步的。

1. Proteus 仿真：



2. 逻辑分析仪：



同步计数器的触发信号是同一个信号。具体来说，每一级的触发器接的都是同一个 CLK 信号。

The diagram illustrates a 4-bit ripple-carry adder circuit. It consists of four 74LS73 flip-flops (U1:A, U1:B, U2:A, U2:B) and four 74LS00 NAND gates (U3, U4). A square wave pulse source provides a common clock signal to the CLK inputs of all flip-flops. The circuit is configured to add two 4-bit numbers, A[3:0] and B[3:0], and produce a 4-bit sum S[3:0] and a carry-out C[4]. The carry-in C[0] is set to 1. The sum outputs are connected to a 7-segment display, which is also connected to a 74LS47 BCD-to-7-segment decoder. The decoder's inputs are the sum outputs S[3:0], and its outputs are connected to the 7-segment display segments. The 7-segment display shows the decimal value of the sum.

VSM Logic Analyser

Trigger

- Capture ☐
- Cursors ☐
- Position

Horizontal

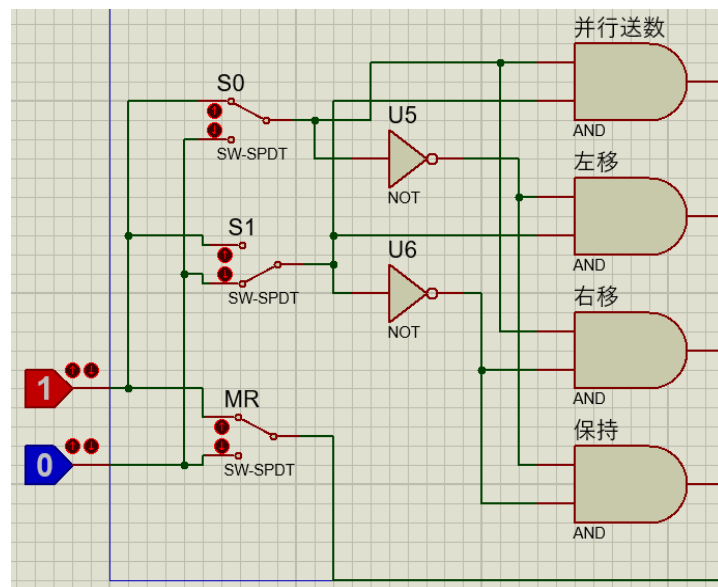
Display Scale

Capture Resolution

Channel	Value
All	00
All	00
All	00
All	00

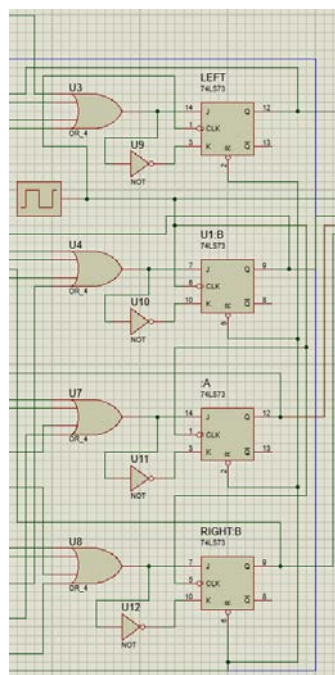
三、使用 JK 触发器和门电路设计实现一个二进制四位计数器模仿 74LS194 功能。

实验设计思路：首先使用 3 个开关，2 个非门和 4 个与门制作功能选择开关，分别代表并行送数（11），左移（10），右移（01），保持（00）。



4 个 JK 触发器的 Q 输出分别代表 74LS194 的四个输出。

此处接 JK 触发器时，将 J 接四种情况取或的，而 K 接输入的非，保证 Q 的输出跟 J 的输入一致。

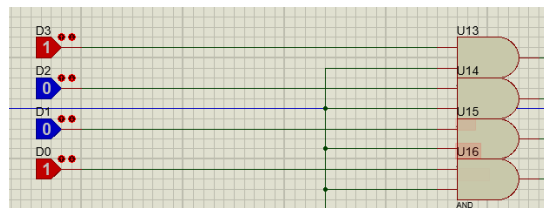


保持：四位的与门接的是当前的输入以及选择器的保持输出。

左移：最右位的与门接的是 SL 和选择器的左移输出，其他位的与门接的是更低位（右侧）的输出和选择器的左移输出。

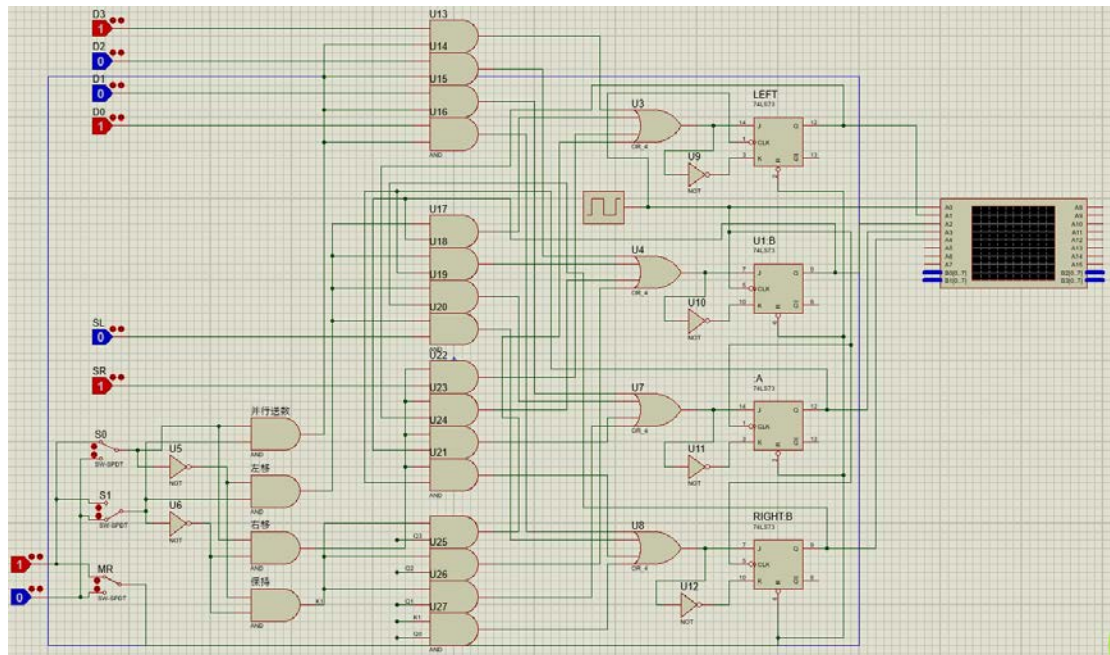
右移：最左位的与门接的是 SR（右移输入）和选择器的左移输出，其他位的与门接的是更高位（左侧）的输出和选择器的输出。

并行送数：四位的与门接的是对应的位输入以及选择器的并行送数输出。

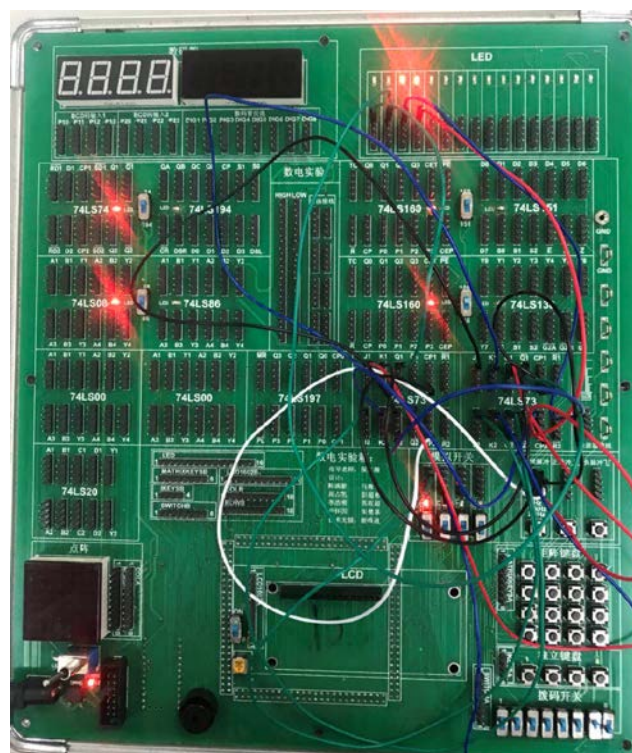


清零：将 MR 端跟每一个 JK 触发器的 R 端相接，当 R 端输入为低时，输出为 Q，且不受 JK 输入影响。

Proteus 仿真：

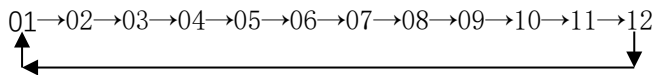


实验箱连线：(左移功能实现)



四、用 JK 触发器和门电路设计一个特殊的 12 进制同步计数器。

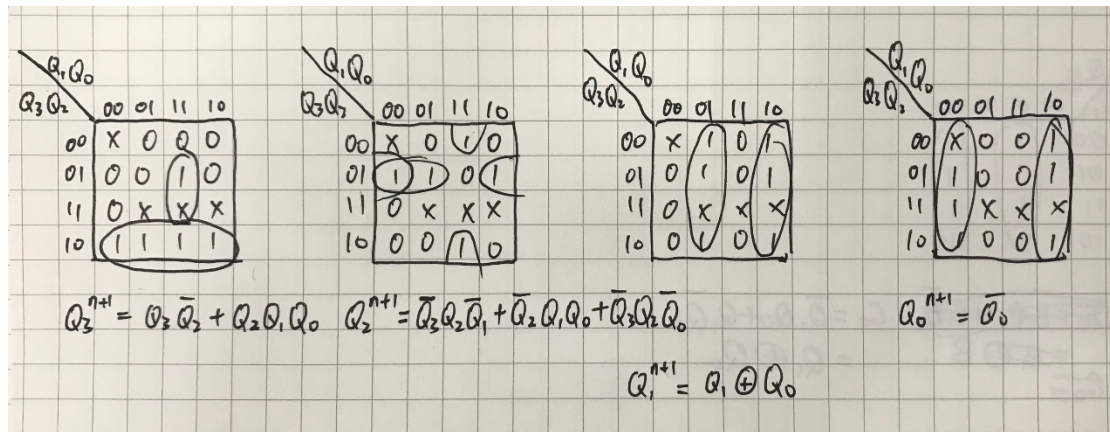
1. 状态转换图：



2. 状态转换表：

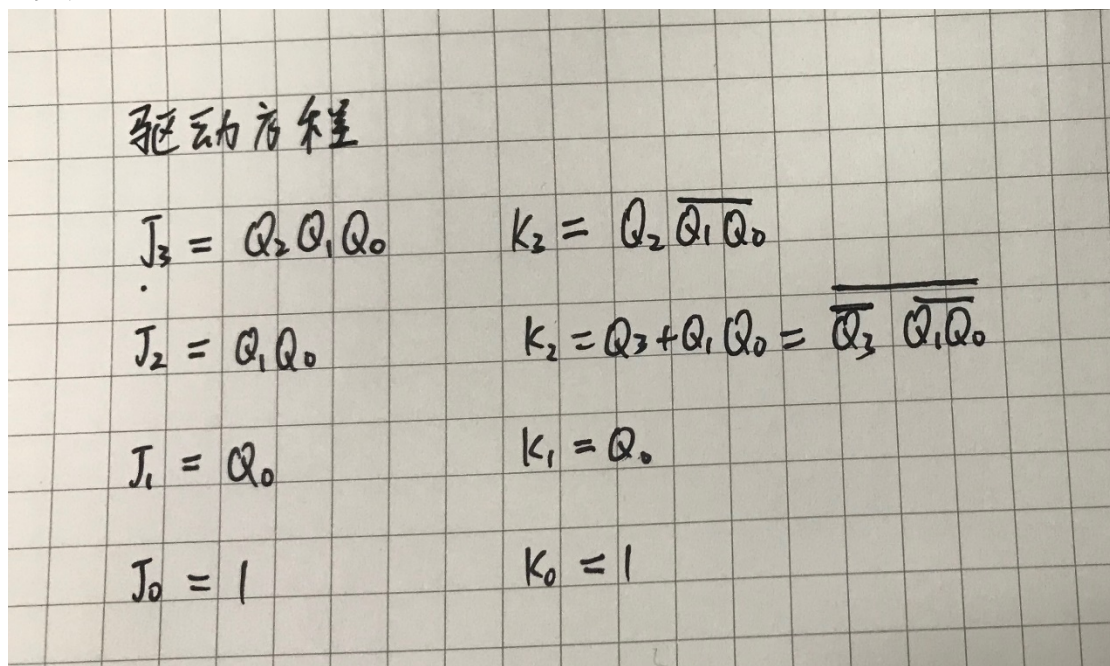
Q ₁ Q ₀ Q ₃ Q ₂	00	01	11	10
00	XXXX	0010	0100	0011
01	0101	0110	1000	0111
11	0001	XXXX	XXXX	XXXX
10	1001	1010	1100	1011

3. 各个变量的 n+1 卡诺图：

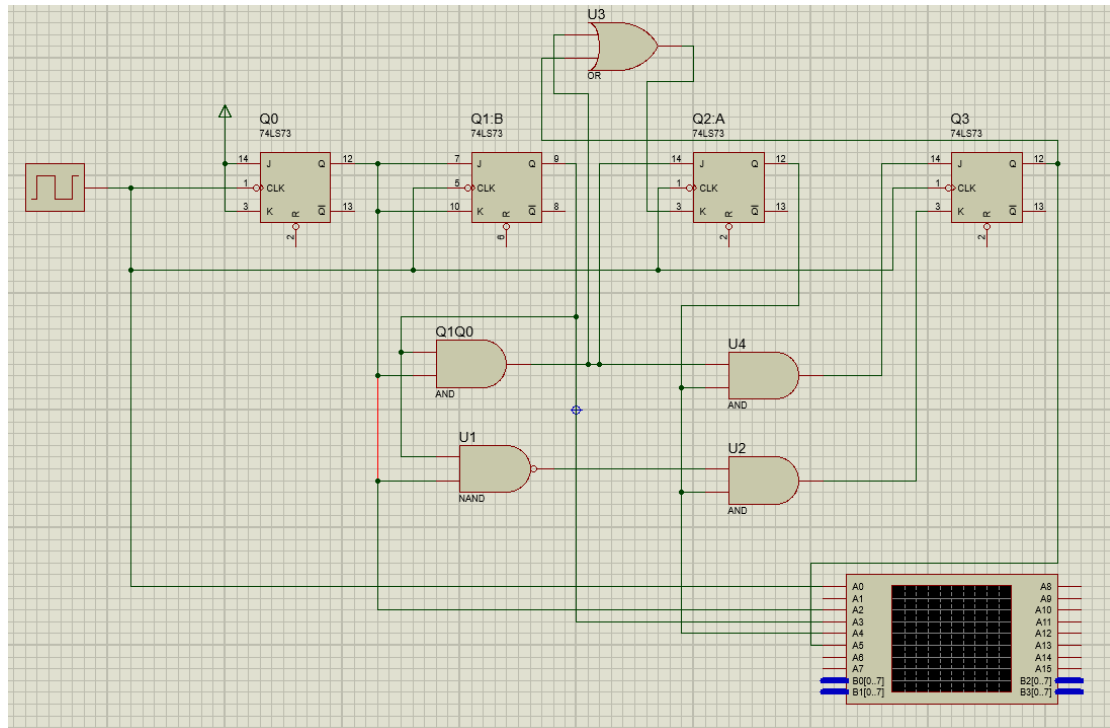


4. 状态方程：（见上图）

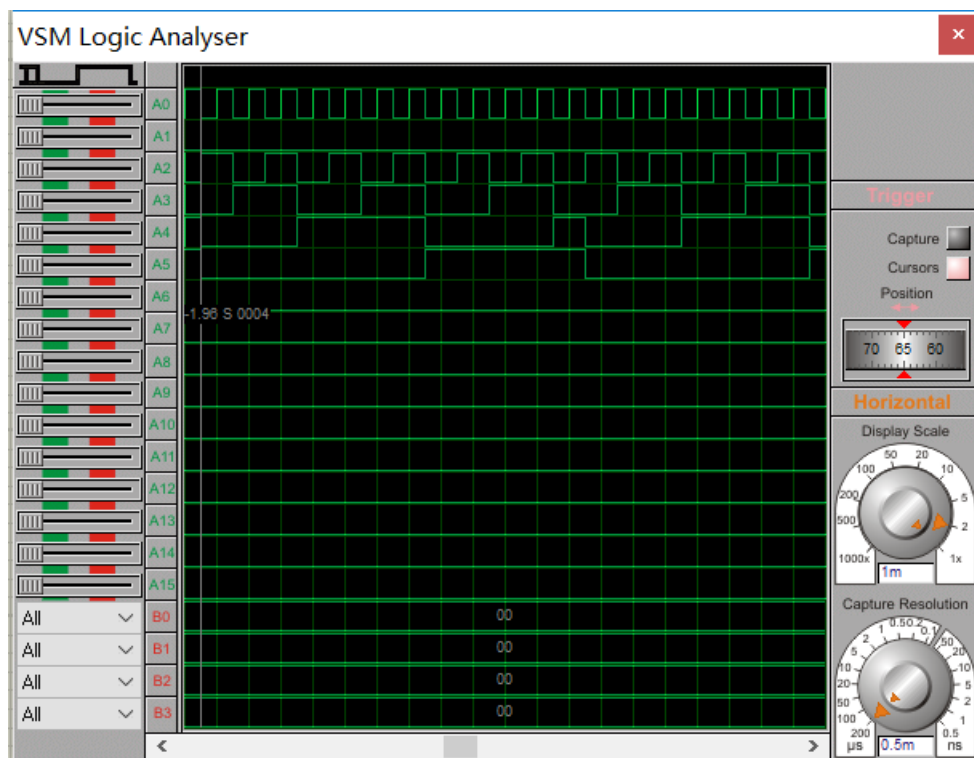
5. 驱动方程：



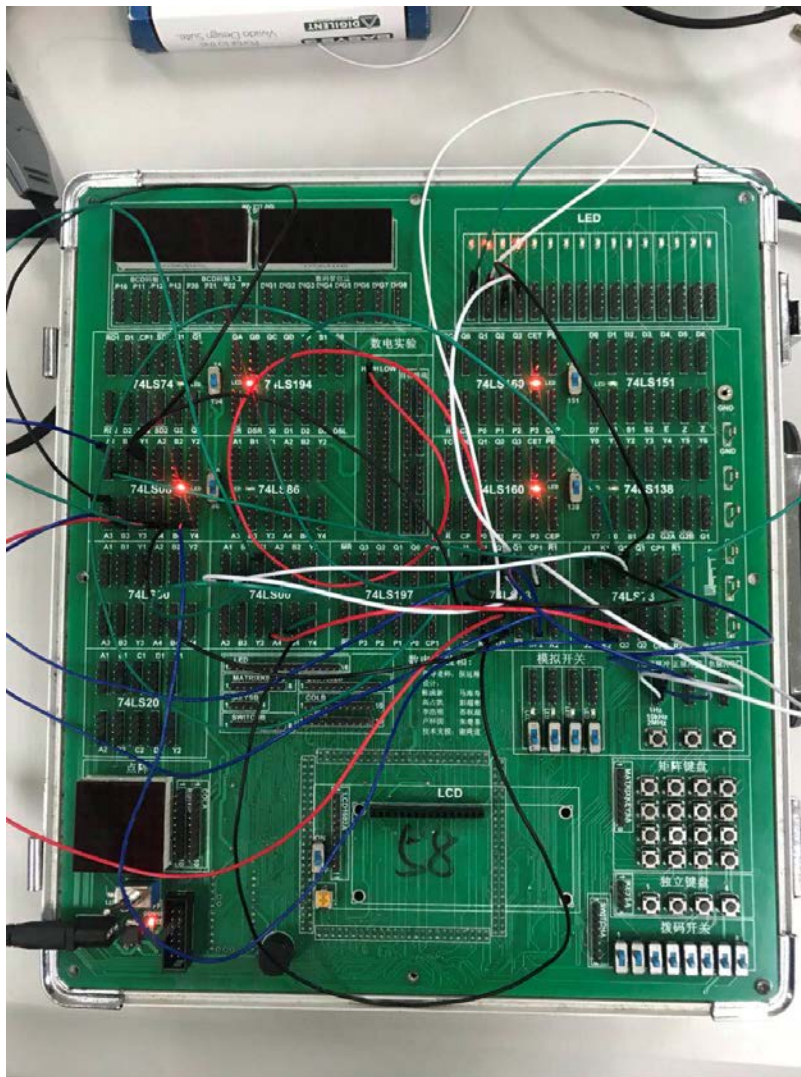
6. Proteus 仿真：



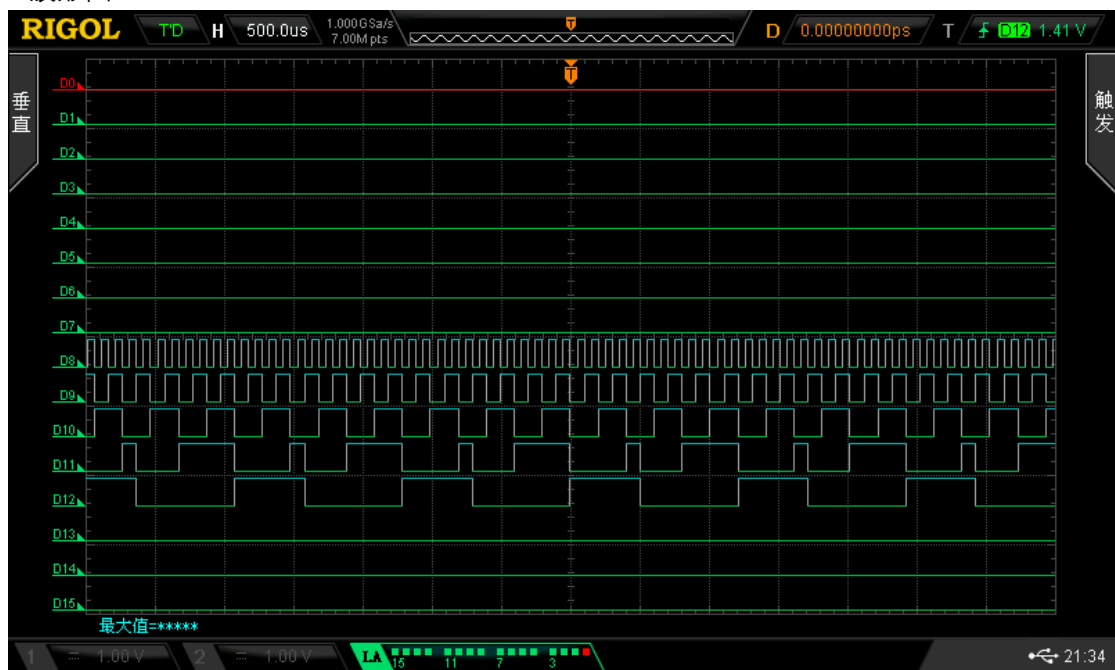
7. 逻辑分析仪：



8：实验箱连线：



9.波形图：



五、使用 Proteus 实现一个有控制变量 D 的 12 进制计数器 (12 进制计数器状态转换图如内并在 7 段数码管上显示计数结果 ;使用 Vivado 实现一个有控制变量 D 的 12 进制计数器 (12 进制计数器状态转换图如内容 4)，并在 7 段数码管上显示计数结果。

1.状态图：

当 D=0 时： 状态如内容 4

当 D=1 时：

12→11→10→09→08→07→06→05→04→03→02→01

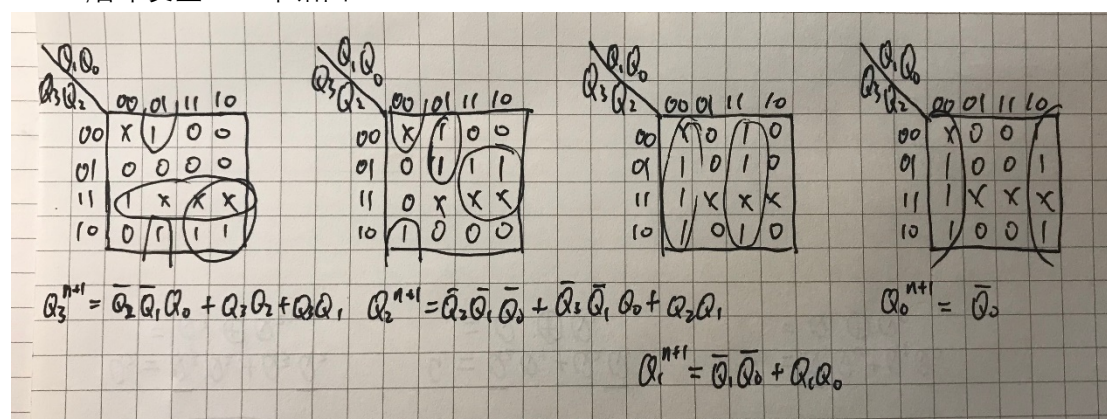
2.状态转换表：

当 D=0 时： 如内容 4

当 D=1 时：

Q1Q0 Q3Q2	00	01	11	10
00	XXXX	1100	0010	0001
01	0011	0100	0110	0101
11	1011	XXXX	XXXX	XXXX
10	0111	1000	1010	1001

3.D=1,各个变量 n+1 卡诺图：



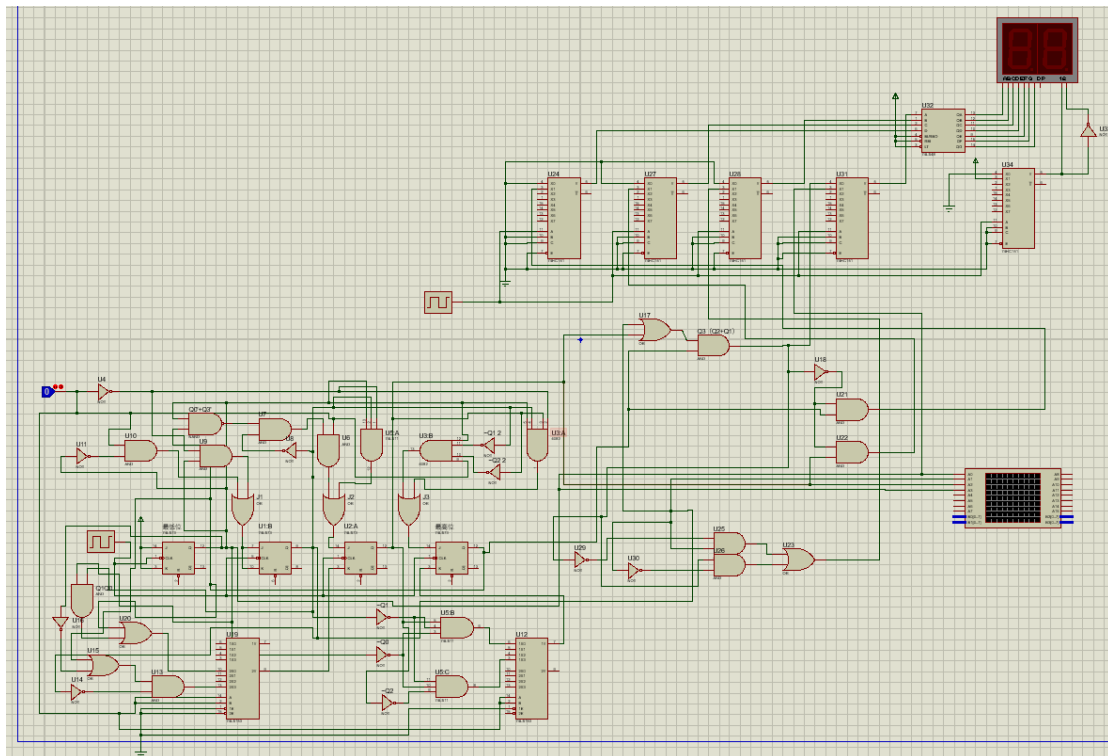
4. D=1,状态方程：见上图

5. D=1,驱动方程：

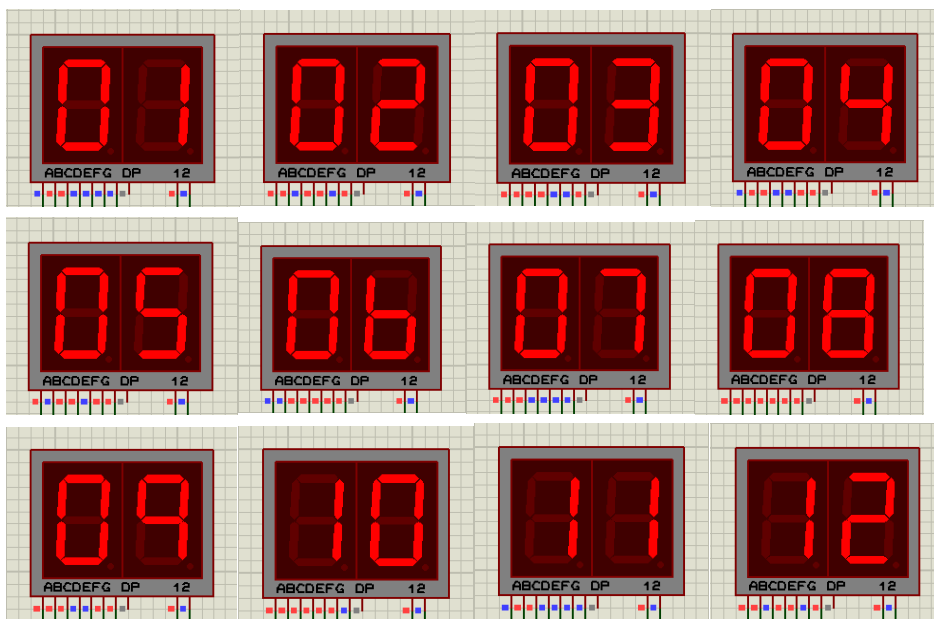
驱动方程

$$\begin{aligned}
 J_3 &= \bar{Q}_2\bar{Q}_1Q_0 & K_3 &= \overline{Q_2Q_1Q_0} \\
 J_2 &= \bar{Q}_1(\bar{Q}_0 + Q_3) & K_2 &= \bar{Q}_1(Q_3 + \bar{Q}_0) \\
 J_1 &= \bar{Q}_0 & K_1 &= \bar{Q}_0 \\
 J_0 &= 1 & K_0 &= 1
 \end{aligned}$$

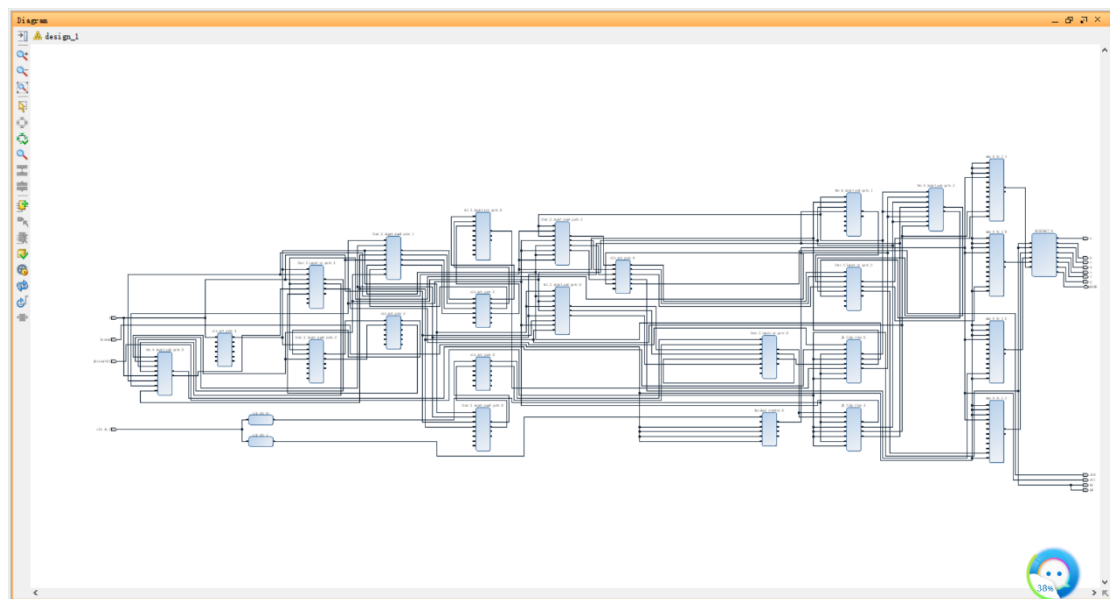
6. Proteus 仿真：



8. Proteus 结果：



7.Vivado :



```
test_cons.xdc
D:/The Second Semester/VIVADO/project_3/project_3.srcs/constrs_1/new/test_cons.xdc
1 set_property IOSTANDARD LVCMOS33 [get_ports a]
2 set_property IOSTANDARD LVCMOS33 [get_ports AN0]
3 set_property IOSTANDARD LVCMOS33 [get_ports AN1]
4 set_property IOSTANDARD LVCMOS33 [get_ports b]
5 set_property IOSTANDARD LVCMOS33 [get_ports c]
6 set_property IOSTANDARD LVCMOS33 [get_ports d]
7 set_property IOSTANDARD LVCMOS33 [get_ports X]
8 set_property IOSTANDARD LVCMOS33 [get_ports Qd]
9 set_property IOSTANDARD LVCMOS33 [get_ports Qc]
10 set_property IOSTANDARD LVCMOS33 [get_ports jkclearVCC]
11 set_property IOSTANDARD LVCMOS33 [get_ports HIGH]
12 set_property IOSTANDARD LVCMOS33 [get_ports Ground]
13 set_property IOSTANDARD LVCMOS33 [get_ports g]
14 set_property IOSTANDARD LVCMOS33 [get_ports f]
15 set_property IOSTANDARD LVCMOS33 [get_ports e]
16 set_property PACKAGE_PIN W7 [get_ports a]
17 set_property PACKAGE_PIN U2 [get_ports AN0]
18 set_property PACKAGE_PIN W6 [get_ports b]
19 set_property PACKAGE_PIN U8 [get_ports c]
20 set_property PACKAGE_PIN V8 [get_ports d]
21 set_property PACKAGE_PIN U5 [get_ports e]
22 set_property PACKAGE_PIN V5 [get_ports f]
23 set_property PACKAGE_PIN U7 [get_ports g]
24 set_property PACKAGE_PIN R2 [get_ports Ground]
25 set_property PACKAGE_PIN T1 [get_ports HIGH]
26 set_property PACKAGE_PIN U1 [get_ports jkclearVCC]
27 set_property PACKAGE_PIN V4 [get_ports Qc]
28 set_property PACKAGE_PIN W2 [get_ports X]
29
30
31 set_property IOSTANDARD LVCMOS33 [get_ports clk_in_1]
32 set_property PACKAGE_PIN W5 [get_ports clk_in_1]
33 set_property PACKAGE_PIN U4 [get_ports AN1]
34 set_property PACKAGE_PIN W4 [get_ports Qd]
35
```

8.实验结果：



六、实验心得：

- 1.在用实验箱连线前，一定要检测各个芯片是否正常工作，否则无论耗费多长时间都不会得到正确的结果。
- 2.连线时要细心对照 Proteus 的电路图，防止出错。
3. 使用 proteus 进行预习仿真的时候，要考虑到实验箱上有的元件的种类和数目。
- 4.状态转换图，卡诺图，状态方程，驱动方程，一定要仔细，不然会一步错，步步错