

数字电路与逻辑设计实验报告

学院：数据科学与计算机学院

专业：软件工程

姓名：张伟焜

学号：17343155

实验名称：译码显示电路

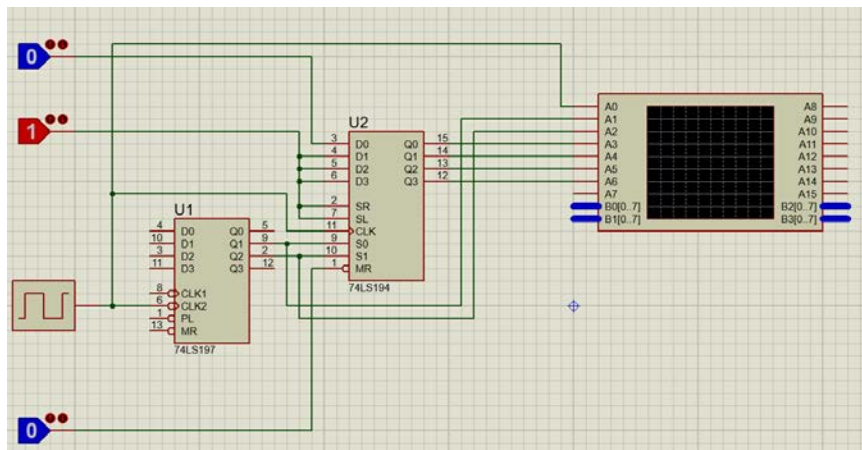
一、实验内容一

1.要求：测试 74LS94

2.74LS194 功能表:

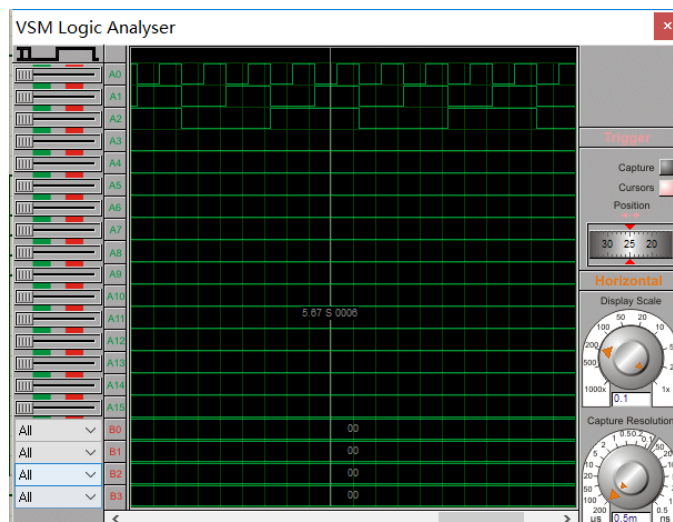
\overline{CR}	S1	S0	工作状态
0	X	X	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行送数

3.Proteus 仿真

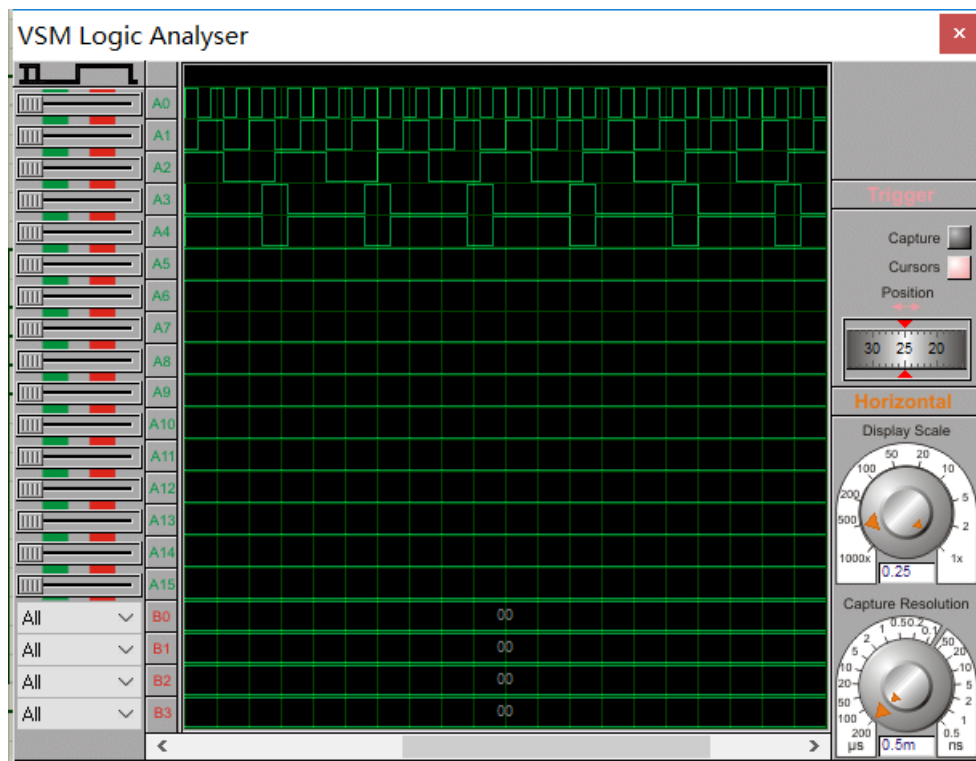


4.逻辑分析仪

MR=0:



MR=1:



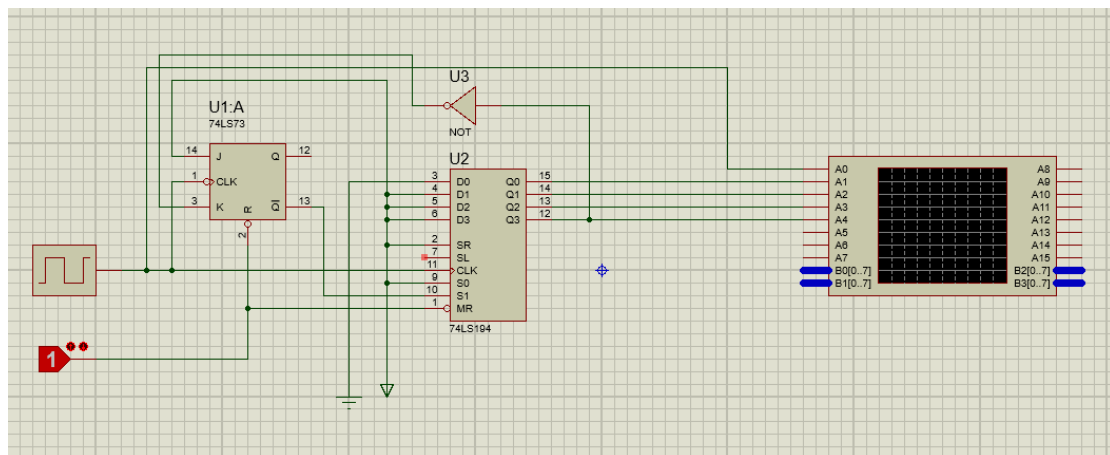
二、实验内容二

1.要求：实现四节拍顺序脉冲发生器

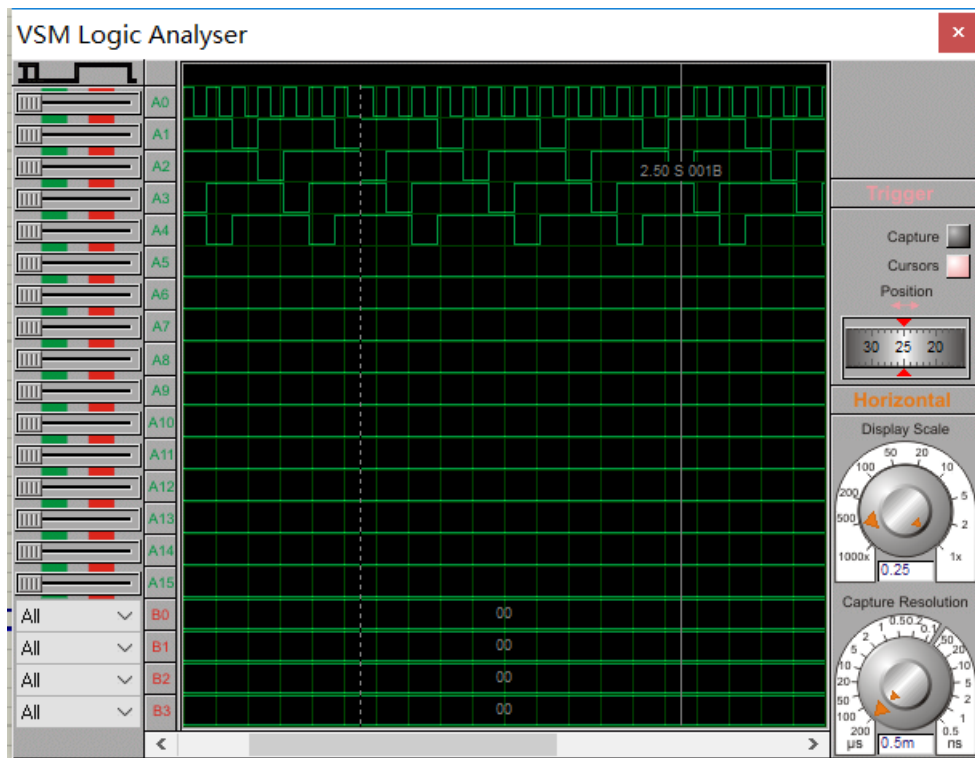
2.真值表

Q0	Q1	Q2	Q3
0	1	1	1
1	0	1	1
1	1	0	1
1	1	1	0

3.proteus 仿真

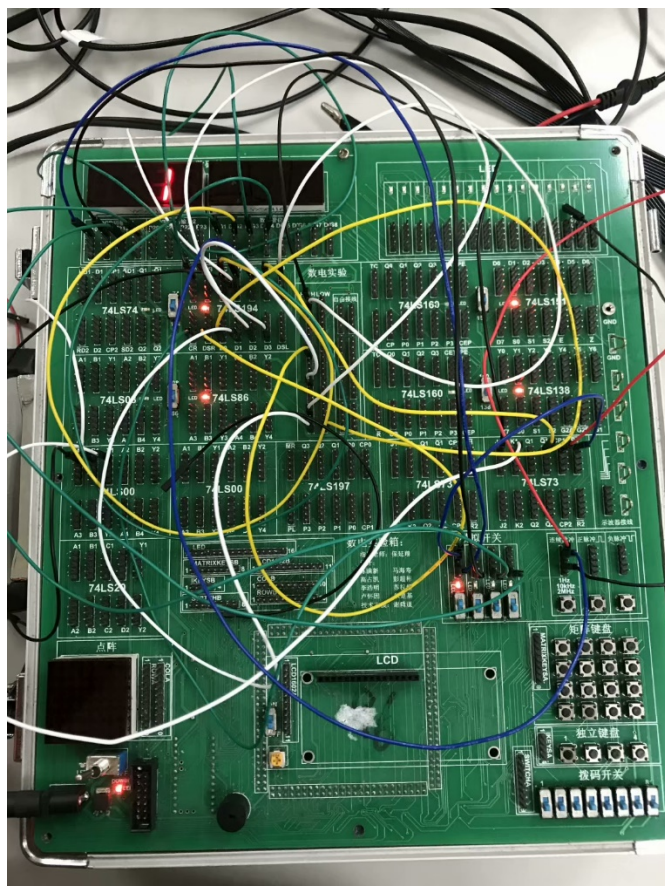


4.逻辑分析仪



三、实验内容三

- 1.要求：实现四维扫描译码显示电路。采用内容二顺序脉冲作为Ds信号。8421BCD码用逻辑模拟开关输入
- 2.实验箱模拟：



四、设计电路在 LED 数码管同时显示出 8 位学号

1.真值表

Q0	Q1	Q2	Q3	S1	D1	C1	B1	A1
0	1	1	1	1	0	0	0	1
1	0	1	1	7	0	1	1	1
1	1	0	1	3	0	0	1	1
1	1	1	0	4	0	1	0	0
Q0	Q1	Q2	Q3	S2	D2	C2	B2	A2
0	1	1	1	3	0	0	1	1
1	0	1	1	1	0	0	0	1
1	1	0	1	5	0	1	0	1
1	1	1	0	5	0	1	0	1

2.表达式

$$D_1 = 0$$

$$C_1 = Q_0 Q_2$$

$$B_1 = Q_0 Q_3$$

$$A_1 = Q_3$$

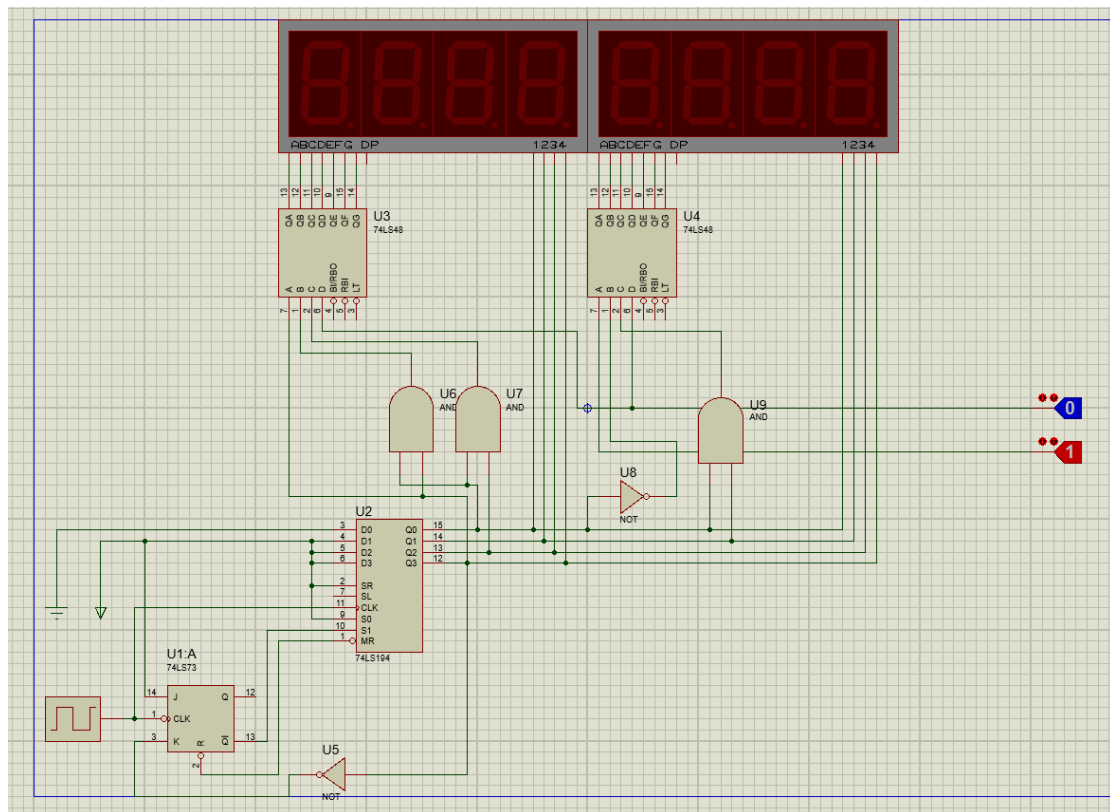
$$D_2 = 0$$

$$C_2 = Q_0 Q_1$$

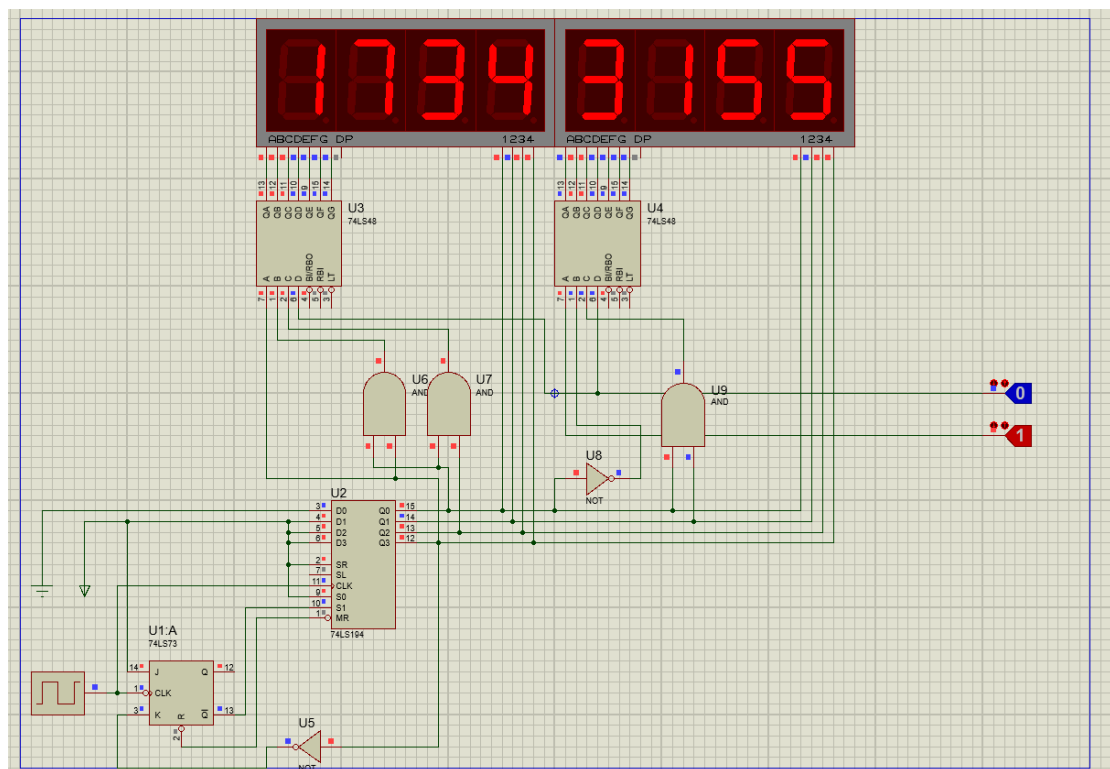
$$B_2 = \overline{Q_0}$$

$$A_2 = 1$$

3.Proteus 仿真电路



4.结果



五、使用实验箱完成点阵显示任意图案，检查实验结果。

1.表

	0	1	2	3	4	5	6	7
0	*	*				*	*	
1	*			*	*			*
2	*							*
3	*							*
4		*					*	
5			*			*		
6				*	*			
7								

2.表达式

(下面八个口控制行 R (低电平选通)，上面八个口控制列 C (高电平选通))

$$R_n = Y_n$$

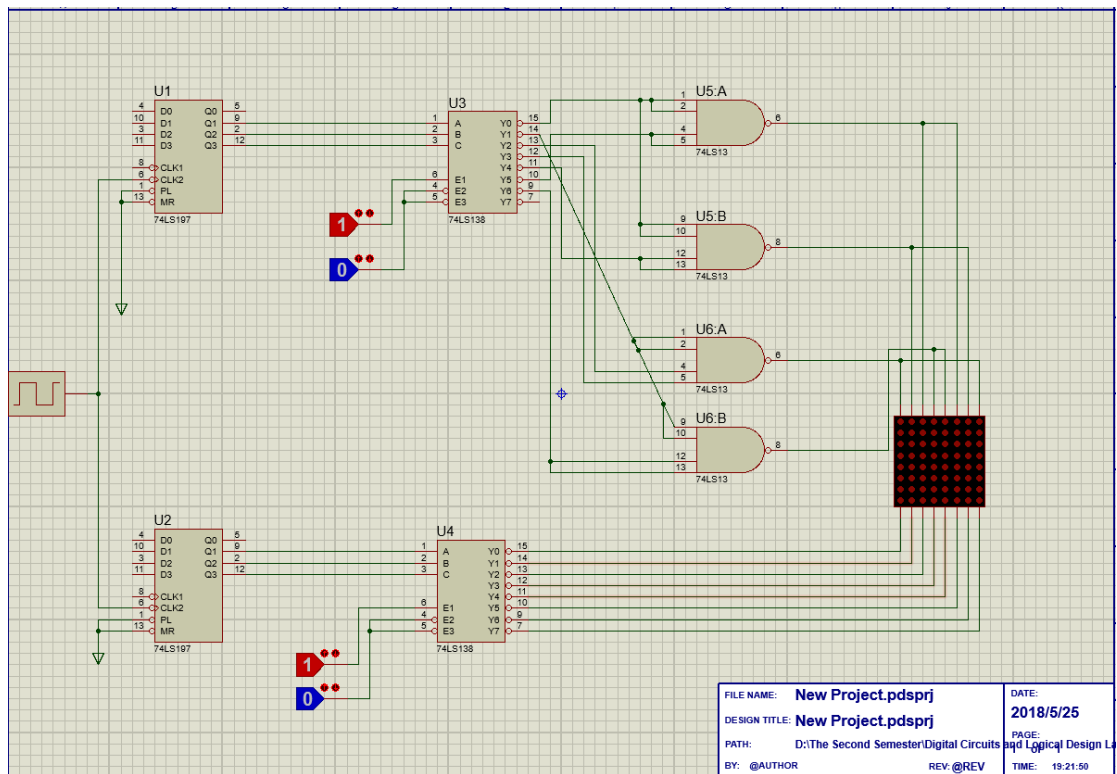
$$C_0 = C_7 = \overline{R_1 R_2 R_3}$$

$$C_1 = C_6 = \overline{R_0 R_4}$$

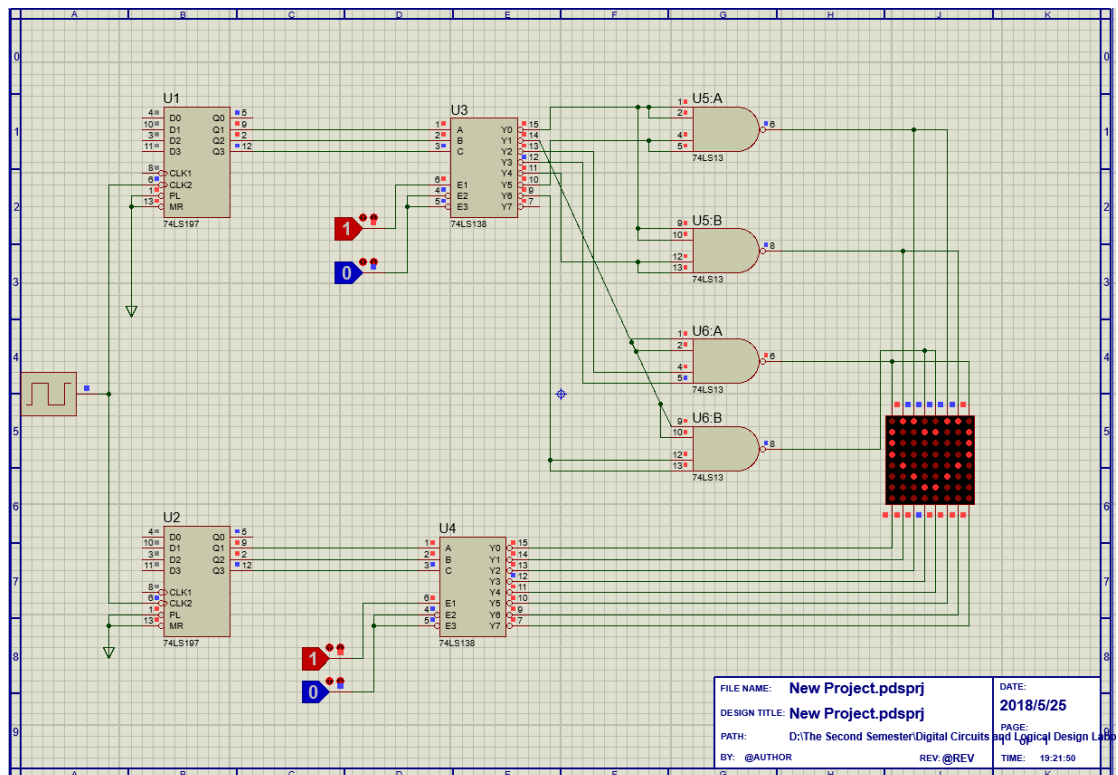
$$C_2 = C_5 = \overline{R_0 R_5}$$

$$C_3 = C_4 = \overline{R_1 R_6}$$

3. Proteus 仿真



4. 结果



六、加分项

1.要求：完成在 Basys3 实验板实现 LED 数码管显示 8 位学号，使用开关切换前后 4 位的显示。

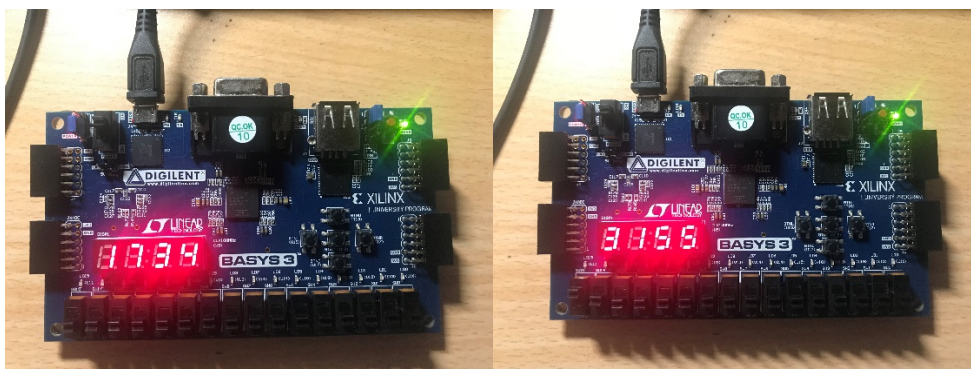
2.代码：

```
D:/The Second Semester/TIAD0/student_number/project_1/srcs/sources_1/new/student_id.v
1 timescale 1ns / 1ps
2 //////////////////////////////////////////////////
3 // Company:
4 // Engineer:
5 //
6 // Create Date: 2018/05/31 09:30:07
7 // Design Name:
8 // Module Name: student_id
9 // Project Name:
10 // Target Device:
11 // Tool Versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 //////////////////////////////////////////////////
21
22
23 module student_id(
24     input CLK,
25     input SF_in,
26     output reg[10:0] display_out
27 );
28 reg [19:0] count=0;
29 reg [2:0] sel=0;
30 parameter TMS=60000;
31 always@(posedge CLK)
32 begin
33     if(SF_in==0)
34     begin
35         case(sel)
36             0: display_out<='b1011_100111;
37             1: display_out<='b011_000111;
38             2: display_out<='b101_0000110;
39             3: display_out<='b110_100110;
40             default: display_out<='b111_111111;
41         endcase
42     end
43     else
44     begin
45         case(sel)
46             0: display_out<='b011_0000110;
47             1: display_out<='b101_100111;
48             2: display_out<='b101_0100100;
49             3: display_out<='b110_0100100;
50             default: display_out<='b111_111111;
51         endcase
52     end
53 end
54 always@(posedge CLK)
55 begin
56     count<=count+1;
57     if(count==TMS)
58     begin
59         count<=0;
60         sel<=sel+1;
61         if(sel==4)
62             sel<=0;
63     end
64 end
65 endmodule
```

3.引脚分配

All ports (13)												
display_out (11)	OUT											
-> display_out[10]	OUT	F4										
-> display_out[9]	OUT	U4										
-> display_out[8]	OUT	U4										
-> display_out[7]	OUT	U2										
-> display_out[6]	OUT	F7										
-> display_out[5]	OUT	F6										
-> display_out[4]	OUT	U8										
-> display_out[3]	OUT	F8										
-> display_out[2]	OUT	U5										
-> display_out[1]	OUT	F5										
-> display_out[0]	OUT	U7										
Scalar ports (2)												

4.结果



七、分析 CP 脉冲上升沿和下降沿的输入顺序对实验结果的影响

CP 脉冲上升沿和下降沿的输入顺序主要会对四节拍顺序脉冲发生器的工作产生影响。因为 74LS194 是上升沿触发,JK 触发器是下降沿触发。CP 脉冲上升沿和下降沿的输入顺序最终都会使四节拍顺序脉冲发生器正常工作,但如果 CP 脉冲是下降沿输入则会比其为上升沿输入的情况慢一个半时钟周期达到正常工作的状态。