**本科试题（六）**

1. **选择题（每小题2分，共20分）**

1、函数F(ABCD)=∑m(0,2,8,10,13,15)，它的最简与或表达式F=\_\_\_\_\_\_\_\_\_\_\_。

A. 

B. 

C. 

D. 

2、在下列电路中，不是组合逻辑电路的是\_\_\_\_\_\_\_\_\_\_。

A. 编码器 B. 锁存器 C. 全加器 D. 门电路

3、八路数据分配器，其数据输入端有\_\_\_\_\_\_\_\_\_\_\_\_个。

A. 1 B. 2 C. 3 D.8

4、电路如图1所示，其中完成电路是\_\_\_\_\_\_\_\_。

|  |
| --- |
| Q |



|  |
| --- |
| **A** |

|  |
| --- |
| J |

|  |
| --- |
| **CP** |

|  |
| --- |
| K |

|  |
| --- |
| **Q** |



|  |
| --- |
| **A** |

|  |
| --- |
| **T** |

|  |
| --- |
| **CP** |

(a) (b)

图1

5、采用四位比较器（74LS85）对两个四位数进行比较时，先比较\_\_\_\_\_\_\_\_\_\_位。

A. 最低 B. 最高 C. 次低 D.次高

6、用n个触发器构成计数器，可得到的最大计数模为\_\_\_\_\_\_\_\_\_\_。

A. n B. 2n C. 2n D.2n-1

7、FPLA器件的与门阵列\_\_\_\_\_\_\_\_\_\_，或门阵列\_\_\_\_\_\_\_\_\_\_。

A. 不可编程，不可编程 B. 不可编程，可编程

C. 可编程，不可编程 D.可编程，可编程

8、使用2K×8的EEPROM芯片，构成4096×32的存储器，共需要\_\_\_\_\_\_\_\_\_片EEPROM芯片。

A. 4 B. 8 C. 16 D. 2048

9、ispLSI器件中的缩写GLB是指\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

A. 巨块 B. 通用逻辑块

C. 全局布线区 D. 输出布线区

10、构成数字系统必不可少的逻辑执行部件为\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

A. 控制器 B. 计数器

C. 基本子系统 D. 逻辑门

**二、简答题（每小题5分，共20分）**

1、八路数据选择器电路如图2所示，该电路实现的逻辑函数最小项表达式是什么？

|  |
| --- |
| **A0** |

|  |
| --- |
| **A1** |

|  |
| --- |
| **A2** |

|  |
| --- |
| **F** |

|  |
| --- |
| **B** |

|  |
| --- |
| **A** |

|  |
| --- |
| **D1** |

|  |
| --- |
| **D0** |

|  |
| --- |
| **D2** |

|  |
| --- |
| **D3** |

|  |
| --- |
| **D4** |

|  |
| --- |
| **D5** |

|  |
| --- |
| **D6** |

|  |
| --- |
| **D7** |

|  |
| --- |
| **Y** |

|  |
| --- |
| **EN** |

|  |
| --- |
| **E** |

|  |
| --- |
| **“1”** |

|  |
| --- |
| **C** |

图2

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| PS | | | NS | | | Z |
| Q3 | Q2 | Q1 | Q3 | Q2 | Q1 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |

2、某时序电路的状态转移真值表如右表，该电路

是模几计数器？电路是否能够自启动？

3、分析由FPLA组成的电路如图3，写出F1和F2的表达式。

|  |
| --- |
| W |

|  |
| --- |
| X |

|  |
| --- |
| Y |

|  |
| --- |
| 或阵列 |

|  |
| --- |
| 与阵列 |

|  |
| --- |
| F1 |

|  |
| --- |
| F2 |

图3

4、简述算法流程定义及作用。

**三、应用题（每小题10分，共60分）**

1. 设计一个将8421BCD码转换成余3码的电路，用与非门实现。

(1)列出真值表；

(2)卡诺图化简；

(3)写出表达式；

(4)画出由与非门实现的逻辑图。

1. 分析图4所示同步计数电路。
   1. 写出激励方程和状态方程；
   2. 做出状态转移表和状态转移图；

(3)计数器是几进制计数器？能否自启动？

(4)画出在时钟作用下各触发器输出波形。

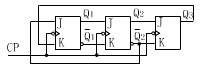


图4

3、画出1011序列检测器的状态转移图。（序列不重叠）

* 1. 确定该状态转移图是什么型的时序逻辑描述？
  2. 列出状态转移真值表；
  3. 若采用“计数器法”需要几个D触发器；

4、用JK触发器设计同步五进制递减计数器。状态转换图5如下。

⑴写出状态转移表

⑵写出激励方程、状态方程

⑶画出逻辑图

图5

5、用VHDL设计一个七进制计数器。设时钟输入为CLK，复位输入为CR，进位输出为CAO。写出完整设计源程序。

|  |
| --- |
| **0/0** |

|  |
| --- |
| **1/0** |

|  |
| --- |
| **0/1** |

|  |
| --- |
| **1/0** |

|  |
| --- |
| **1/0** |

|  |
| --- |
| **0/0** |

6、将图6所示的状态图：

1. 转换为ASM图；
2. 并根据ASM图设计多路选择器型控制器。

图6