**本科试卷（八）**

**一、选择题（每小题2分，共30分）**

1.逻辑函数F1=∑m（2，3，4，8，9，10，14，15）,

 它们之间的关系是\_\_\_\_\_\_\_\_。

A． B．  C． D．、互为对偶式

2. 最小项的逻辑相邻项是\_\_\_\_\_\_\_\_。

A．ABCD B.  C.  D. 

3. 逻辑函数F（ABC）=A⊙C的最小项标准式为\_\_\_\_\_\_\_\_。

A.F=∑（0，3） B. 

C.F=m0+m2+m5+m7 D. F=∑（0，1，6，7）

4. 一个四输入端与非门，使其输出为0的输入变量取值组合有\_\_\_\_\_\_\_种。

A. 15 B. 8 C. 7 D. 1

5. 设计一个四位二进制码的奇偶位发生器（假定采用偶检验码），需要\_\_\_\_\_\_\_个异或门。

A．2 B. 3 C. 4 D. 5

6. 八路数据选择器如图1-1所示，该电路实现的逻辑函数是F=\_\_\_\_\_\_。

A． B． C． D．



图1-1

7. 下列电路中，不属于时序逻辑电路的是\_\_\_\_\_\_\_。

A．计数器B．触发器 C．寄存器 D．译码器

8. 对于JK触发器，输入J=0，K=1，CP脉冲作用后，触发器的次态应为\_\_\_\_\_。

A．0 B. 1 C. 保持 D. 翻转

9. Moore型时序电路的输出\_\_\_\_\_。

A.与当前输入有关 B. 与当前状态有关

C. 与当前输入和状态都有关 D. 与当前输入和状态都无关

10. 一个五位的二进制加法计数器，由0000状态开始，按自然二进制码的顺序计数，问经过75个输入脉冲后，此计数器的状态为\_\_\_\_\_。

A.01011 B.11010 C.11111 D.10011

11. 有关ＲＯＭ的描述，下列说法正确的是\_\_\_\_\_。

A．需要定时作刷新损伤 B．可以读出也可以写入

C．可读出，但不能写入 D．信息读出后，即遭破坏

12. 1M×1位RAM芯片，其地址线有\_\_\_\_\_条。

A．20 B．1 C．19 D．10

13. PAL是指\_\_\_\_\_\_。

A．可编程逻辑阵列 B.可编程阵列逻辑

C.通用阵列逻辑 D.只读存储器

14. FPLA器件的与门阵列\_\_\_\_\_\_\_\_\_\_，或门阵列\_\_\_\_\_\_\_\_\_\_。

A. 不可编程，不可编程 B. 不可编程，可编程

C. 可编程，不可编程 D.可编程，可编程

15. 数字系统工作的特点是具有\_\_\_\_\_\_。

A．周期性 B．一次性 C．非周期性 D．随机性

**二、填空题（每小题2分，共18分）**

1. 与运算的布尔代数和VHDL表示分别为\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

2. 利用并项法A＋A＝1，ABC＋ABC的简化表达式为\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

3. 译码器的逻辑功能是将某一是可的\_\_\_\_\_\_\_\_\_\_\_\_\_\_输入信号译成一个输出信号。

4. 组合逻辑电路在结构上不存在输出到输入的反馈，因此，输出状态不影响\_\_\_\_\_\_\_\_\_\_\_\_\_\_状态。

5. 锁存器或触发器再电路上具有两个稳定的物理状态，我们把输入信号变化之前的状态称为\_\_\_\_\_\_\_\_，输入信号变化后的状态称为\_\_\_\_\_\_\_\_。

6. 用计数器产生110010序列，至少需要\_\_\_\_\_\_\_\_个触发器。

7. RAM是随机读写存储器，优点是读写方便，缺点是\_\_\_\_\_\_\_\_\_\_。

8. PLD中采用的可编程连接技术有\_\_\_\_\_\_\_\_，反熔丝技术，\_\_\_\_\_\_\_\_和SRAM技术。

9. 数字系统指交互式的以离散形式表示的具有存储，\_\_\_\_\_\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_\_\_\_\_\_能力的逻辑子系统的集合物。

**三、组合逻辑设计（12分）**

设计一个多输出组合逻辑电路，输入为842lBCD码，三个输出分别定义为：L1为检测

到的输入数字能被4整除；L2为检测到的输入数字大于等于3；L3为检测到的输入数字小于

7。

（1）列出真值表。

（2）画出卡诺图并化简，写出最简逻辑函数表达式。

（3）画出电路图。（门电路实现或中规模集成电路芯片实现两种方法任选）。

**四、时序逻辑设计（14分）**

用D触发器设计同步五进制计数器。已知状态转换过程的编码是000→100→011→010

→001→000。要求:

(1)列出状态转移表；

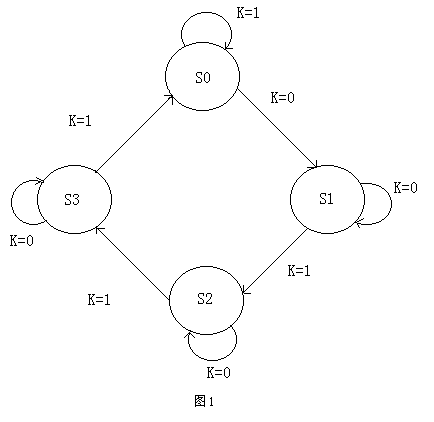
(2)写出状态方程；

(3)写出激励方程；

(4)画出允许自启动的状态转移图。

**五、VHDL语言设计（12分）**

用VHDL设计如图1所示的有限状态机。



**六、小型控制器设计（14分）**

某数字系统，它的ASM图如图2所示，设计多路选择器型控制器电路。

（1）列出状态转移真值表

（2）写出多路选择器MUX的输入表达式

（3）画出控制电路图

