**本科试卷（九）**

**一、选择题（每小题2分，共30分）**

1.八进制数(573.7)8的十六进制数是\_\_\_\_\_\_\_\_。

A.(17C.7)16 B.( 17C.E)16 C. (17B.7)16 D. (17B.5)16

2.与最小项相邻的逻辑最小项有\_\_\_\_\_\_\_\_\_\_个。

A. 1 B. 2 C. 4 D.15

3.函数F(ABCD)=∑m(0,2,8,10,13,15)，它的最简与或表达式F=\_\_\_\_\_\_\_\_\_\_\_。

A.  B. 

C.  D. 

4.\_\_\_\_\_\_\_ 电路在任何时刻只能有一个输入端有效。

A.普通二进制编码器 B.优先编码器

C.七段显示译码器 D. 二进制译码器

5.能实现从多个输入端中选出一路作为输出的电路称为\_\_\_\_\_\_。

A.触发器 B.计数器 C.数据选择器 D.译码器

6.八路数据选择器如图1-1所示，该电路所实现的逻辑函数是\_\_\_\_\_\_。

A． B．

C．  D．

图1-1

7.下列触发器中，没有约束条件的是\_\_\_\_\_\_\_。

A．基本RS触发器 B.主从RS触发器 C.钟控RS触发器 D.边沿D触发器

8.若将D触发器的D端连在端上，经100个脉冲作用后，它的次态，则现态应为\_\_\_\_\_。

A．=0 B. =1 C.与现态无关 D.以上都不对

9.用反馈移位寄存器产生11101000序列，至少需要\_\_\_\_\_个触发器。

A．2 B．3 C．4 D．8

10.某时序逻辑电路的波形如图1-2所示，由此判定该电路是\_\_\_\_\_\_。

A. 二进制计数器 B. 十进制计数器 C. 移位寄存器 D. 以上均不是

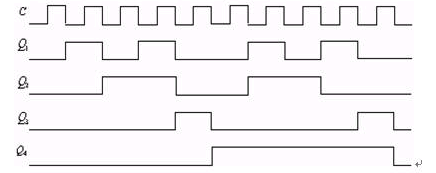


图1-2

11.以下四种类型的半导体存储器中，以传输同样多的字为比较条件，则读出数据传输率最高的是\_\_\_\_\_\_。

A．ＤＲＡＭ B.ＳＲＡＭ C．闪速存储器 D．ＥＰＲＯＭ

12.一个ROM其共有10根地址线，8根位线（数据输出线），则其存储容量为\_\_\_\_\_\_。

A．10×8 B．102×8 C．10×82 D．210×8

13.可编程逻辑器件PLD，其内部均由与阵列和或阵列组成。其中，不是与阵列可编程的器件有\_\_\_\_\_\_。

A. ROM B.PLA

C. PAL D.GAL

14.使用PROM和FPLA实现组合逻辑时，要将逻辑表达式分别写成\_\_\_\_\_\_\_。

A. 最小项之和、最小项之和 B. 最简与-或式、最简与-或式

C. 最简与-或式、最小项之和 D.最小项之和、最简与-或式

15.数字系统中使用通用寄存器的目的是\_\_\_\_\_\_\_。

A．保存更多的数据 B．减少访问存储器，提高运行速度

C．保存状态信号 D．保存控制信号

**二、填空题（每小题2分，共18分）**

1. 最基本的三种逻辑运算是\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

2. 利用吸收法A＋AB＝A，F＝AB＋ABCD（E＋F）的简化表达式为\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

3. 编码器的逻辑功能是对处理的输入信号赋予\_\_\_\_\_\_\_\_\_\_\_\_\_\_，它实现一对多译码。

4. 根据已知组合逻辑电路图，找出其输入与输出关系，确定在什么样的输入取值组合下，对应的输出为1，这种过程称为\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

5. 时序电路的描述方程通常有输出方程、\_\_\_\_\_\_\_\_方程和激励方程。

6. 同步时序逻辑电路按其输入与输出的关系不同，分为\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_两类。

7. RAM的存储矩阵有64行，64列，其存储容量为\_\_\_\_\_\_\_\_\_\_个存储元。

8. PLD称为\_\_\_\_\_\_\_\_，它是有与阵列和\_\_\_\_\_\_\_\_组成的可编程阵列组成。

9. 数字系统由\_\_\_\_\_\_\_\_\_\_\_\_\_、逻辑系统和\_\_\_\_\_\_\_\_\_\_\_\_\_三大部分组成。

**三、组合逻辑分析（12分）**

分析图1所示电路的逻辑功能。



图1

**四、时序逻辑设计（14分）**

用JK触发器设计同步五进制递减计数器。状态转换图如下（图2）。

⑴写出状态转移表

⑵写出激励方程、状态方程

⑶画出逻辑图

图2

**五、VHDL语言设计（12分）**

用VHDL语言设计如下六个基本逻辑门：

  *F6=A6⊙B6*

要求：

⑴包含ABLE\_HDL标准结构语句

(2)采用逻辑方程法

(3)用测试向量部进行四组值的测试（输入值自选）

**六、小型控制器设计（14分）**

某控制器的算法流程图如下（图3）所示，设计一个计数器型控制器。

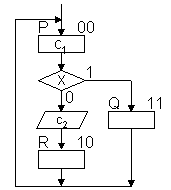


图3