1. 电子电路分为模拟电子电路和数字电子电路。数值的度量采用直流电压或电流的连续值，称模拟量。
2. 数字电路比模拟电路有许多优点。如：电路便于集成化、系列化生产，成本低廉，使用方便；抗干扰性强，可靠性高，精度高；处理功能强，不仅能实现数值运算，还可以实现逻辑运算和判断；可编程数字电路可容易地实现各种算法，具有很大的灵活性；数字信号更易于存储、加密、压缩、传输和再现。
3. 数字量具有精度高、传输高效、易存储、易处理等优点（上升沿10%—90%）
4. 自然码：有权码，每位代码都有固定权值，结构形式与二进制数完全相同，最大计数为2n－1，n为二进制数的位数
5. 可靠性代码：(1) 奇偶校验码(2) 格雷码(Gray 码，又称循环码（循环码的一种）<格雷码的特点是任何相邻的两个码组中，仅有一位代码不同，抗干扰能力强，主要用在计数器中>
6. 数字电路是传递和处理数字信号的电子电路。它有组合逻辑电路和时序逻辑电路两大类。
7. 数字电路的优点：便于高度集成化，工作可靠性强，抗干扰能力强，保密性好等。
8. 时序逻辑电路中一定包含：触发器。时序电路中必须有：时钟。从本质上讲，控制器是一种时序电路。

时序逻辑电路：逻辑功能特点：任何时刻的输出不仅取决于该时刻的输入信号（输入变量）的状态，而且与电路原有的状态（原来的输出）（Qn+1 = f(Qn, input)）有关。即历史状态相关性。时序逻辑电路具有记忆功能（适当的控制）

电路结构特点：由存储电路和组合逻辑电路组成。包含锁存器或触发器它的输出往往反馈到输入端，与输入变量一起决定电路的输出状态。

//时序逻辑电路的类型（都跟触发器或其组合有关）同步时序逻辑电路 :所有触发器的时钟端连在一起。所有触发器在同一个时钟脉冲 CP 控制下同步工作。

异步时序逻辑电路 :时钟脉冲 CP 只触发部分触发器，其余触发器由电路内部信号触发。因此，触发器不在同一时钟作用下同步工作。

1. 一位十进制计数器至少需要    4个触发器
2. 锁存器、触发器和门电路是构成数字电路的基本单元。

锁存器、触发器有记忆功能，由它构成的电路在某时刻的输出不仅取决于该时刻的输入，还与电路原来状态有关。而门电路(组合电路)无记忆功能，由它构成的电路在某时刻的输出完全取决于该时刻的输入，与电路原来状态无关

1. 布尔代数的三个最重要规则是代入规则，反演规则和对偶规划
2. 数字量的特定是数值为离散量，运算结果也是离散量。
3. 二进制系统的两个数字0和1是一个开关量，常称比特。用来表示1和0的电平称为逻辑电平。
4. 自然二进制有叫有权码。循环码（又叫单位距离码）：任何相邻的两个码字中，仅有一位不同。
5. 二进制对十进制编码，简称BCD码。8421码（eg：1592是0001 0101 1001 0010）<当相加和大于9时加6修正，无1010~1111>余3码：在8421码的基础上加0011。优点执行十进制相加时，能正确的产生进位信号，而且会给减法运算带来方便。 格雷码是使任何两个相邻的代码只有一个二进制状态不同（主要用于计数器）。格雷码是一种循环码。 无权码：余3 码和格雷码。有利于得到更好的译码波形。可靠性代码（奇偶校验码，格雷码）
6. 化简的意义：使逻辑式最简，以便设计出最简的逻辑电路，从而节省元器件，优化生产工艺，降低成本和提高系统可靠性。
7. 逻辑函数的描述工具：布尔代数{（布尔代数中的变量称为逻辑变量）<0和1代表两种对立的逻辑状态>}；真值表（n变量，2^n种可能）；逻辑图法（）；卡诺图法（变量数基本上少于5）；波形图；硬件描述语言法。
8. 正逻辑，负逻辑，三态门（逻辑1，逻辑0，高阻抗）<使能端有效时（逻辑1）输出状态取决于输入状态>
9. 卡诺图



16.

|  |  |  |  |
| --- | --- | --- | --- |
|  | **名称** | **符号** | **表达式** |
| **基**  **本**  **门**  **电**  **路** | **与门** | **and.bmp** | **Y = AB** |
| **或门** | **p2.bmp** | **Y = A+B** |
| **非门** | **p3.bmp** | **Y =** |
| **复**  **合**  **门**  **电**  **路** | **与非门** | **p4.bmp** | **Y =** |
| **或非门** | **p5.bmp** | **Y =** |
| **与或非门** | **p6.bmp** | **Y =** |
| **异或门** | **p7.bmp** | **Y = A⊕B**  **=** |
| **同或门** | **p8.bmp** | **Y = A⊙B**  **=** |

1. 组合逻辑电路的特点：任一时刻的稳定输出状态，只决定于该时刻输入信号的状态，而与输入信号作用前电路原来所处的状态无关。不具有记忆功能。组合逻辑电路由**门电路**组成。
2. Multiplexer多路（复用）器; 多工器网络：（多路选择器）；多路转换器; 多路复用器; 复用器（支持一个输入端能允许多个输出端）
3. De-multiplexer（多路）信号分离器，多路输出选择器网络：解复用器; 多路分配器; 数据分配器
4. 集成数据选择器的种类很多，常见的有：1位数据选择器——从“1组”输入数据中选择1路进行传输。例如：8选1(如CT54LS151)、16选1(CT74LS150)等。 N位数据选择器——从“N组”输入数据中“各选”1路进行传输。<2位(双位)4选1数据选择器(如74LS153)，表示从2组4路输入数据中各选择1路数据进行传输；4位2选1数据选择器(如74LS157)，表示从4组2路输入数据中各选择1路数据进行传输；等等。>
5. 用数据选择器实现组合逻辑函数:由于数据选择器在输入数据全部为 1 时，输出为地址输入变量全体最小项的和。而任何一个逻辑函数都可表示成最小项表达式，因此用数据选择器可实现任何组合逻辑函数。当逻辑函数的变量个数和数据选择器的地址输入变量个数相同时，可直接将逻辑函数输入变量有序地接数据选择器的地址输入端
6. [例] 试用数据选择器实现函数

解：先求出F的最小项表达式为

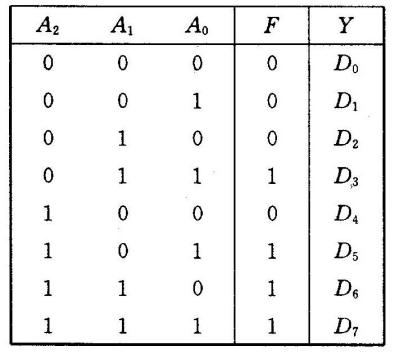
因为函数有A、B、C三个逻辑变量，可选用1片8选1 数据选择器。

如果令8选1 MUX的地址变量为逻辑变量，即A2A1A0=ABC,则由真值表可知：只要令

 D3=D5=D6=D7=1

D0=D1=D2=D4=0

就可用8选1MUX来产生上述函数了，其逻辑图如下。



23.地址变量数n小于逻辑变量数m的函数产生器?

要用n个地址变量来反映m个变量函数的最小项，则必定会在函数的最小项中缺少(m-n)个因子，这种情况下可让Di作所缺的因子，也即缺少的(m-n)个因子在数据输入端Di中体现。这样就可用此MUX来产生此类逻辑函数了。当然，从N中选出的n个变量不同时，MUX输入端的连接方式也会不同。

1. 优先编码器原理:不同于普通编码器： 它允许多个输入线上同时有信号。

如何解决混乱？

 答：按优先顺序进行排队，仅对优先级别最高的输入信号编码。74LS148是8:3线优先编码器：

25.加法器小结

能对两个1位二进制数进行相加而求得和及进位（不考虑低位来的进位）的逻辑电路称为半加器。

　能对两个1位二进制数进行相加并考虑低位来的进位，即相当于3个1位二进制数的相加，求得和及进位的逻辑电路称为全加器。

　实现多位二进制数相加的电路称为加法器。按照进位方式的不同，加法器分为串行进位加法器和超前进位加法器两种。串行进位加法器电路简单、但速度较慢，超前进位加法器速度较快、但电路复杂。

　加法器除用来实现两个二进制数相加外，还可用来设计代码转换电路、二进制减法器和十进制加法器等。

1. 数值比较器小结

在各种数字系统尤其是在计算机中，经常需要对两个二进制数进行大小判别，然后根据判别结果转向执行某种操作。

用来完成两个二进制数的大小比较的逻辑电路称为数值比较器，简称比较器。在数字电路中，数值比较器的输入是要进行比较的两个二进制数，输出是比较的结果。

利用集成数值比较器的级联输入端，很容易构成更多位数的数值比较器。数值比较器的扩展方式有串联和并联两种。

27.奇偶校验的基本原理

什么是奇偶校验器?

利用奇(偶)校验方法进行检错的组合逻辑电路称为奇偶校验器。

原理： 根据代码中全部位数叠加累计入一位的“和”来进行奇校验或偶校验。

“和”操作的特点：偶数个1，它的和总是0；奇数个1，它的和总是1。

28.二章小结

//组合逻辑电路指任一时刻的输出仅取决于该时刻输入信号的取值组合，而与电路原有状态无关的电路。它在逻辑功能上的特点是：没有存储和记忆作用；在电路结构上的特点是：由种门电路组成，不含记忆单元，只存在从输入到输出的通路，没有反馈回路。

//组合逻辑电路的描述方法主要有逻辑表达式、真值表、卡诺图和逻辑图等。

组合逻辑电路的基本分析方法是：根据给定电路逐级写出输出函数式，并进行必要的化简和变换，然后列出真值表，确定电路的逻辑功能

//组合逻辑电路的基本设计方法是：根据给定设计任务进行逻辑抽象，列出真值表，然后写出输出函数式并进行适当化简和变换，求出最简表达式，从而画出最简(或称最佳)逻辑电路。

//以逻辑门为基本单元的电路设计，其最简含义是：逻辑门数目最少，且各个逻辑门输入端的数目和电路的级数也最少，没有竟争冒险。

//以 MSI 组件为基本单元的电路设计，其最简含义是：MSI 组件个数最少，品种最少，组件之间的连线最少。 MSI: 中规模集成电路

//用于实现组合逻辑电路的 MSI 组件主要有译码器和数据选择器。

//数据选择器、数据分配器、编码器、译码器、数值比较器、和加法器等是常用的 MSI 组合逻辑部件

//数据选择器的作用是根据地址码的要求，从多路输入信号中选择其中一路输出。

//数据分配器的作用是根据地址码的要求，将一路数据分配到指定输出通道上去

//编码器的作用是将具有特定含义的信息编成相应二进制代码输出，常用的有二进制编码器、二-十进制编码器和优先编码器。

//译码器的作用是将表示特定意义信息的二进制代码翻译出来，常用的有二进制译码器、二-十进制译码器和数码显示译码器。

//数值比较器用于比较两个二进制数的大小

//加法器用于实现多位加法运算，其单元电路有半加器和全加器；其集成电路主要有串行进位加法器和超前进位加法器。

//同一个门的一组输入信号到达的时间有先有后，这种现象称为竞争。竞争而导致输出产生尖峰干扰脉冲的现象，称为冒险。竞争冒险可能导致负载电路误动作，应用中需加以注意。

1. 锁存器的特点

锁存器的触发方式为电平触发式指触发脉冲信号控制锁存器工作的方式

EN = 1 期间翻转的称正电平触发式；（与触发器上升边沿相似??）

EN = 0 期间翻转的称负电平触发式。 （）锁存器的共同缺点是存在空翻 触发脉冲作用期间，输入信号发生多次变化时，锁存器输出状态也相应发生多次变化的现象称为空翻。空翻可导致电路工作失控?

29.8421BCD译码器的数据输入线与译码器输出线组合是：4:10.

1. 数字比较器（comp）只能输出A>B和A=B<这二者是低电平> A<B（高电平）三种情况。
2. 一位全加器（FA）的输入信号：Ai：加数，Bi：被加数，Ci-1：进位信号，输出信号：Si：和数，Ci：向高位进位信号。
3. 串行加法器进位信号采用逐位传递，而并行加法器进位信号采用超前传递。
4. MUX：数据选择器DMUX：数据分配器
5. 锁存器基本特性：输出端的互补：两个互补的输出端Q 和Q’ ；输出端的两个稳定状态：简称稳态，正好用来表示逻辑 0 和 1；输出端的两个稳定状态可相互转换（翻转）：在输入信号作用下，锁存器的两个稳定状态可相互转换(称为状态的翻转)；输出端的新状态可长期保持：输入信号消失后，新状态可长期保持下来，因此具有记忆功能，可存储二进制信息。 一个锁存器可存储 1 位二进制数码
6. 基本 SR 锁存器的优缺点 .优点:电路简单，是构成各种锁存器的基础.缺点:输出受输入信号直接控制，不能定时控制.有约束条件
7. 门控SR锁存器简介：有时候锁存器的工作状态不仅要由输入信号决定，而且要求在一定的控制信号下工作。为此，需要增加一个控制端 EN。 EN 即使能信号 ，只有在EN = 1高电平时，锁存器才允许接受数据输入信号。 具有使能信号控制的锁存器称为门控锁存器。
8. 触发器基本特性：触发器 Flip - Flop，简写为 FF，又称同步双稳态触发器。同步是指触发器的记忆状态按时钟脉冲（CLK）规定的起动指示点（脉冲边沿）来改变。有两个稳定状态(简称稳态)，正好用来表示逻辑 0 和 1。在输入信号作用下，触发器的两个稳定状态可相互转换(称为状态的翻转)。输入信号消失后，新状态可长期保持下来，因此具有记忆功能，可存储二进制信息。 一个触发器可存储 1 位二进制数码
9. 边沿触发器的特点：在时钟为稳定的0或1期间,输入信号都不能进入触发器,触发器的新状态仅决定于时钟脉冲有效边沿到达前一瞬间以及到达后极短一段时间内的输入信号.能够触发变化的时间极大缩短，故而抗干扰性能强(来自输入变化波动的干扰)。
10. 触发器 vs. 锁存器：

//电路结构：触发器包含一个称为时钟的控制信号，和其他信号一起控制电路的状态。锁存器有时包含使能控制信号。

//工作特点：触发器只能在 CP 上升沿(或下降沿)时刻接收输入信号，因此，电路状态只能在 CP 上升沿(或下降沿)时刻翻转。这种触发方式称为边沿触发式。锁存器在使能控制信号发生干扰时可能引起空翻??。

//电路结构和工作特点不同，因此电路功能不同。为保证电路正常工作，要求锁存器的使能控制信号??在EN = 1 期间保持不变；而边沿触发器没有这种限制，其功能较完善，因此应用更广。

1. 触发器可以在时钟脉冲的正沿（上升沿）改变状态，也可以在时钟脉冲的负沿（下降沿，只能选一种，不能两种都选）改变状态。
2. D锁存器 vs. D触发器:

D锁存器:“电平触发”,在EN=1 时，D输入“上升沿”和“下降沿”都驱动Q变化,有空翻!

D触发器:“边沿”触发,CLK“上升沿”触发驱动Q变化,没有空翻!

1. 触发器的类型:SR 触发器 、D 触发器、JK 触发器。
2. SR 触发器:SR 触发器是构成D 触发器和JK 触发器的基础。SR 触发器与门控SR 锁存器不同：它有一个窄脉冲转换器。其功能是对应时钟脉冲的上升沿而产生一个持续时间很短的窄脉冲，称尖锋脉冲。
3. D触发器以SR触发器为基础区别在于：增加了一个非门,变为单输入端D;S和R不会同时为高，避免了SR触发器不稳定问题。如果用CLK表示时钟，且CLK=1时，D触发器特征方程为：Qn+1=D•CLK=D.
4. JK 触发器:JK 触发器功能同SR 触发器类似，也是双输入 ,JK 触发器主要改进： 解决SR 触发器不稳定问题。
5. 触发器小结:

//触发器和门电路是构成数字系统的基本逻辑单元。前者具有记忆功能，用于构成时序逻辑电路.后者没有记忆功能，用于构成组合逻辑电路。

//触发器有两个基本特性：有两个稳定状态；在外信号作用下，两个稳定状态可相互转换，没有外信号作用时，保持原状态不变。因此，触发器具有记忆功能，常用来保存二进制信息。

一个触发器可存储 1 位二进制码，存储 n 位二进制码则需用 n 个触发器。

//触发器的逻辑功能：是指触发器的次态与现态及输入信号之间的逻辑关系

//触发器描述方法：主要有功能表、状态方程、驱动表、状态转换图和波形图(又称时序图)等。

//不同触发方式的工作特点:使能端正电平有效的锁存器状态在CP (EN) = 1期间翻转??，在CP = 0 期间保持不变。锁存器的缺点是存在空翻现象，通常只能用于数据锁存??。

//分析触发器时应弄清楚：触发器的功能、触发方式和触发沿(或触发电平)，并弄清楚异步输入端是否加上了有效电平。

1. 寄存器:由若干个正沿D触发器构成的一次能存储多位二进制代码的时序逻辑电路，叫寄存器.（输出采用三态门控制，因而适合于挂接在数据总线上。常用的寄存器大多由D触发器构成。）
2. 移位寄存器:在时钟信号控制下，将所寄存的数据向左或向右移位的寄存器称为移位寄存器。分类：按移位方向、数据串行、并行传送方式不同，移位寄存器的结构有7类组合，见CAI演示。

1）通用移位寄存器功能：并行置数、保持、左移、右移四种功能。  
（2）逻辑结构:以8位通用移位寄存器74LS299为例，其逻辑结构见图,通用移位寄存器用途十分广泛，累加寄存器、缓冲寄存器、乘除部件中寄存器。

应用中，不外乎采用四种工作方式：串入--串出、串入--并出、并入--串出、并入--并出。

50.触发器是构成复杂时序逻辑电路最基本的组成单元。它的应用主要包括以下方面：

用作并行数据寄存器;用作计数器;用作分频器;用作时序脉冲产生器;用作控制器

1. 计数器分类方法:按时钟控制方式不同分（异步计数器，同步计数器<同步计数器比异步计数器的速度快得多>）;按计数增减分;按计数进制分.
2. 计数器的作用与分类：计数器(Counter)用于计算输入脉冲个数，还常用于分频、定时等。

